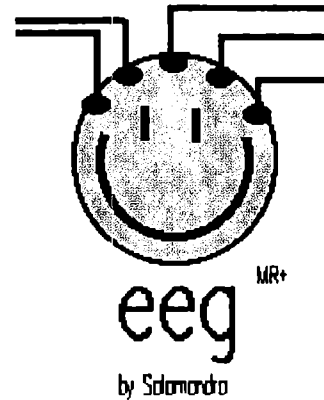


Instituto Tecnológico y de Estudios  
Superiores de Monterrey  
Campus Estado de México

Departamento de Ciencias del Comportamiento y Recursos Humanos.



**ELECTROENCEFALÓGRAFO  
DIGITAL INTERFASABLE A UNA  
COMPUTADORA PERSONAL**

**PROYECTO DE INGENIERÍA  
QUE PARA OBTENER EL TÍTULO DE  
INGENIERO EN ELECTRÓNICA Y  
COMUNICACIONES  
P R E S E N T A N  
CARLOS A. LÓPEZ PASTOR  
RODRIGO LLOP FERNÁNDEZ  
CARLOS ROMERO GARCÍA**

México 1995

80, 812

## Índice

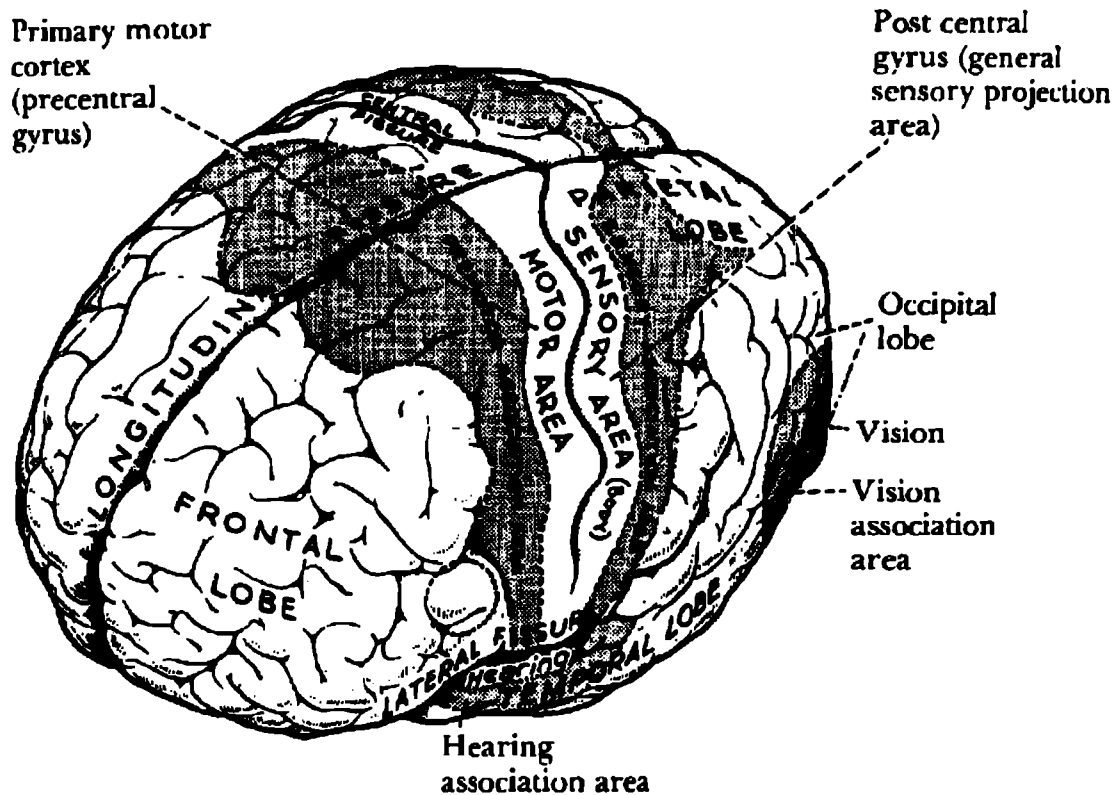
<b>Introducción</b>	<b>1</b>
EEG Clínico	1
Posicionamiento de los electrodos	3
Disposición del paciente	4
La formación reticular	4
Patrones de sueño	5
Tipos de ondas cerebrales	6
<b>Capítulo I. Etapa de adquisición y amplificación de las señales electrocorticoides</b>	<b>9</b>
I.1 Etapa de adquisición	9
I.2 Etapa de amplificación	9
I.2.a Amplificador de instrumentación	9
Razón de rechazo en modo común	11
I.3 Eliminación de CD y offset	12
<b>Capítulo II. Etapa de filtrado</b>	<b>13</b>
II.1 Filtro pasabajas	13
Selección del tipo de filtro	13
Butterworth.	15
Chebyshev	15
Diseño del filtro pasabajas	16
Respuesta en la frecuencia	17
II.2 Filtro rechazabanda	18
Selección del filtro	18
Diseño del filtro	19
Respuesta en la frecuencia	20
<b>Capítulo III. Amplificación final y montaje en CD</b>	<b>21</b>
<b>Capítulo IV. Alimentación de la etapa de adquisición, amplificación y filtrado</b>	<b>22</b>
<b>Capítulo V. Etapa de optoacoplamiento</b>	<b>23</b>
<b>Capítulo VI. Interfase analógica - digital</b>	<b>25</b>
VI.1 Convertidor analógico - digital	26
VI.2 Microcontrolador	27
VI.3 Memoria EPROM	29
VI.4 Dispositivo de transmisión serial	30
VI.5 Programa conversión analógica - digital y transmisión serial	30

<b>Capítulo VII. Fuente de alimentación de la interfase</b>	<b>33</b>
<b>Capítulo VIII. Interfase gráfica</b>	<b>35</b>
VIII.1 Presentación	35
VIII.2 Menú principal	38
VIII.3 Historia clínica	39
VIII.4 Pantalla de graficación	43
VIII.5 Reescalamiento	48
VIII.6 Subrutina de impresión	49
Diagrama de flujo general	53
<b>Capítulo IX. Ventajas del sistema</b>	<b>54</b>
<b>Capítulo X. Costo del proyecto hasta el momento</b>	<b>55</b>
<b>Capítulo XI. Conclusiones</b>	<b>57</b>
<b>Capítulo XII. Hojas de diagramas y circuitos impresos</b>	<b>58</b>
<b>Bibliografía</b>	<b>110</b>
<b>Agradecimientos</b>	<b>112</b>
<b>Agradecimientos sarcásticos</b>	<b>113</b>

## Introducción

### EEG clínico:

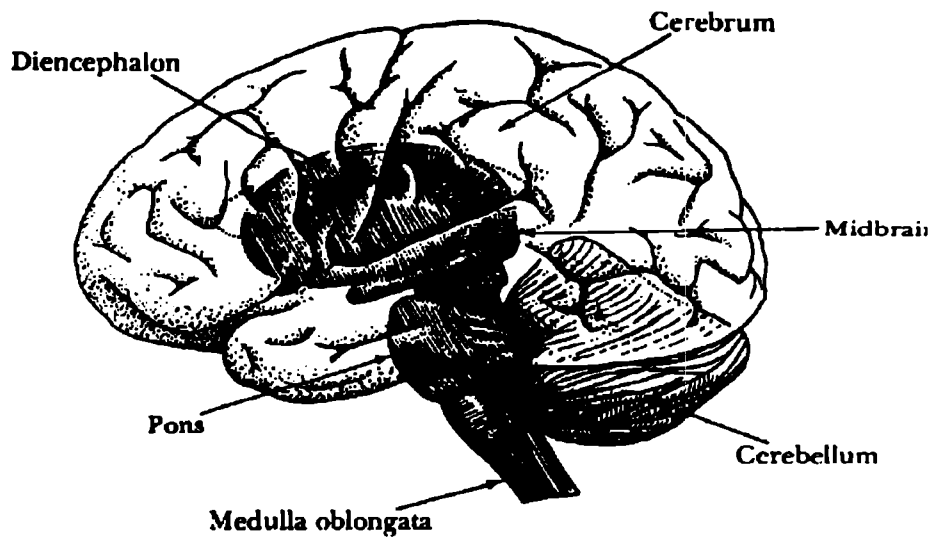
Se entiende como electroencefalógrafo a un aparato capaz de medir y desplegar en forma gráfica la actividad eléctrica (potenciales cambiantes) que ocurre en el cerebro (Figura I.1), a esta gráfica se le conoce con el nombre de *electroencefalograma*. Convencionalmente la actividad eléctrica del cerebro se mide con tres tipos de electrodos: Electrodos de profundidad (*depth electrodes*), electrodos para el cuero cabelludo (*scalp electrodes*), y electrodos para la corteza cerebral (*cortical electrodes*). Cuando los electrodos son colocados en la superficie expuesta del cerebro, el despliegue de los datos es conocido con el nombre de *electrocorticograma* y cuando se utilizan electrodos de profundidad que se insertan en forma de agujas aisladas en los tejidos neurales del cerebro se le conoce como *registro de profundidad*. De cualquier manera que estos registros de actividad eléctrica se obtengan representan la superposición de campos producidos por la actividad neuronal.



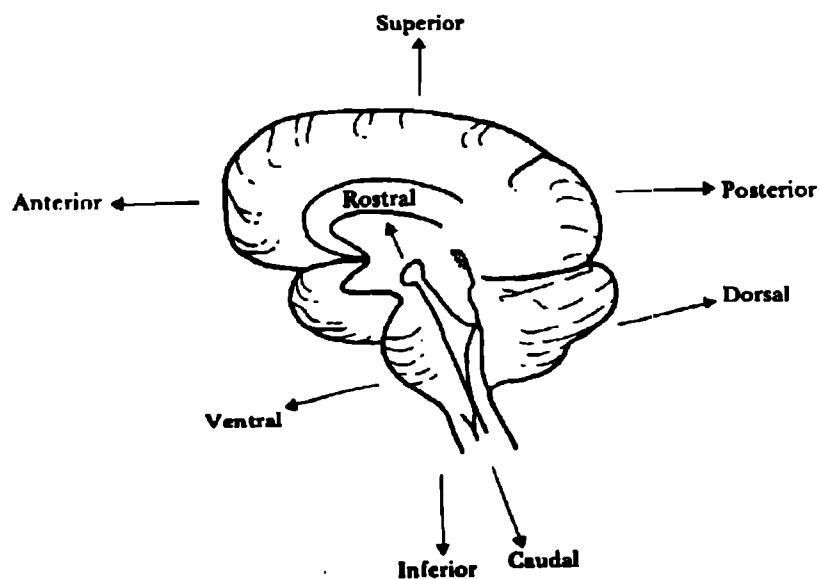
*Figura I.1 El cerebro, se muestran los cuatro lóbulos (Frontal, parietal, temporal y occipital), las fisuras laterales y longitudinales, y el surco central.*

Cuando registramos diferencias de potenciales entre un electrodo colocado sobre el cuero cabelludo y un electrodo de referencia distante (generalmente colocado en el lóbulo de la oreja), estamos registrando la

actividad eléctrica generada por un gran número de elementos neuronales, por lo que resulta imposible intentar aislar la respuesta de una sola zona cerebral, ya que todas las zonas del cerebro presentan de alguna u otra manera actividad eléctrica ante cualquier estímulo. Sin embargo, mediante una colocación correcta de los electrodos es posible registrar respuestas aparentemente propias de algunas zonas específicas (ver figura 1.2). Sin embargo es importante recordar que la actividad registrada no es más que una diferencia entre dos o más zonas del cerebro.



(a)



**Figura 1.2 (a) Relación anatómica de las estructuras cerebrales (Medulla oblongata, pons, cerebro medio (midbrain), y diencephalon) con el cerebro y el cerebelo. (b) Zonas generales anatómicas de orientación en el sistema nervioso central.**

### Posicionamiento de los electrodos:

El sistema de posicionamiento más comúnmente usado para colocar los electrodos en el monitoreo de EEG es el de la Federación Internacional conocido como sistema 10-20 que se muestra en la figura 1.3. Este sistema usa ciertas señas anatómicas para estandarizar el posicionamiento de los electrodos. Tres tipos de conexiones de electrodos se usan: (1) Entre cada miembro de un par (bipolar), (2) entre una zona monopolar y un electrodo de referencia distante (generalmente en el lóbulo de la oreja) y (3) entre una zona monopolar y el promedio de todas las demás. En este caso se utilizará el sistema bipolar, obteniendo mediciones diferenciales entre pares sucesivos de electrodos. La ventaja de utilizar un registro diferencial entre electrodos separados es la cancelación de la actividad de campos lejanos comunes a ambos electrodos, es decir, se eliminan los efectos del ruido.

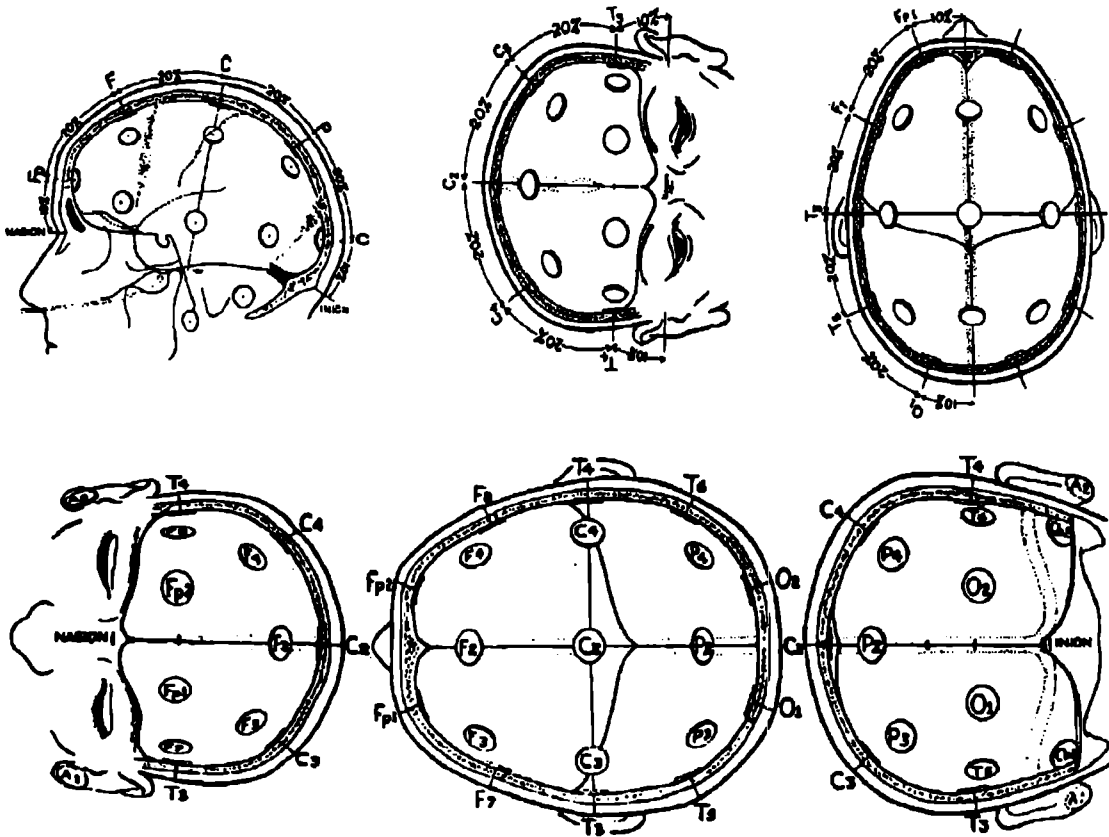


Figura 1.3. Sistema 10-20 de electrodos. Este sistema es recomendado por la Federación Internacional de Sociedades de EEG.

En el uso cotidiano de EEG, los electrodos utilizados suelen presentar problemas, estos deben ser pequeños, se deben adherir fácilmente al cuero cabelludo (el cual debe de tener el menor cabello posible), no deben causar molestias y deben poder permanecer en un lugar por un largo periodo de

tiempo. Los técnicos que utilicen el EEG deben preparar la superficie del cuero cabelludo rasurándola para eliminar la mayor cantidad de cabello, eliminar la grasa producida por la piel con un algodón con alcohol, agregar el gel conductor, y colocar los electrodos autoadheribles no polarizables de Ag-AgCl en el cuero cabelludo.

#### *Disposición del paciente:*

El EEG suele ser registrado con el sujeto despierto pero descansando cómodamente en una cama con los ojos cerrados. Con el paciente relajado de esta manera los efectos producidos por el movimiento de los electrodos y la estática producida por el cuerpo se disminuyen considerablemente. La actividad muscular de la cara, cuello, orejas y otros músculos es quizá la más contaminante en los registros, ya que esta actividad suele ser mucho mayor en amplitud que la del cerebro además de encontrarse en rangos de frecuencia similares (0.5-100Hz), por lo que es necesario el completo reposo del paciente. Una vez que el técnico ha logrado las condiciones necesarias, los registros obtenidos suelen mostrar un ritmo alfa dominante en la región parietal-occipital (ver figura 1.2). Si es en la región frontal suele encontrarse también ondas beta cuya amplitud suele ser menor y la frecuencia mayor. En un individuo normal existe una simetría entre los registros del hemisferio derecho y el izquierdo. Es también importante resaltar que el paciente no debe tocar ningún objeto mientras se le aplica un EEG, y mucho menos operar equipo que utilice alimentación eléctrica (computadoras, calculadoras, teléfonos, etc.), ya que esta actividad eléctrica interfiere directamente con el registro. También se recomienda que el paciente utilice zapatos con suela de goma mientras se le aplica un EEG.

En general existe una relación entre el grado de actividad cerebral y el promedio de la frecuencia del ritmo EEG (ver figura 1.4); La frecuencia aumenta progresivamente mientras mayor sea el grado de actividad. Por ejemplo las ondas delta suelen encontrarse en pacientes anestesiados o dormidos mientras que las ondas beta se encuentran en altos grados de actividad mental consciente. Durante largos periodos de actividad mental las ondas suelen volverse asíncronas.

#### *La Formación Reticular:*

En toda la extensión del cerebro, existe un conjunto difuso de neuronas y núcleos conocidos colectivamente como la *formación reticular*. Dentro de esta formación reticular hay muchos núcleos pequeños, algunos de tipo motor, y otros de función sensorial. Unos cuantos los núcleos motores operan en asociación directa con las neuronas reticulares difusas para estimular muchas de las actividades motoras subconscientes del cuerpo. Además de esta actividad motora, esta formación provee estímulos al *sistema reticular activador (RAS)*. La estimulación de este tan importante sistema causa la conciencia

inmediata después del sueño en cualquier animal. Para activar este mecanismo, dominante en el sueño, es necesario una señal activadora (auditiva, dolorosa, visual, etc.). Cuando esto sucede existe un cambio inmediato en los registros típicos de EEG de estados de sueño a estados de alerta.

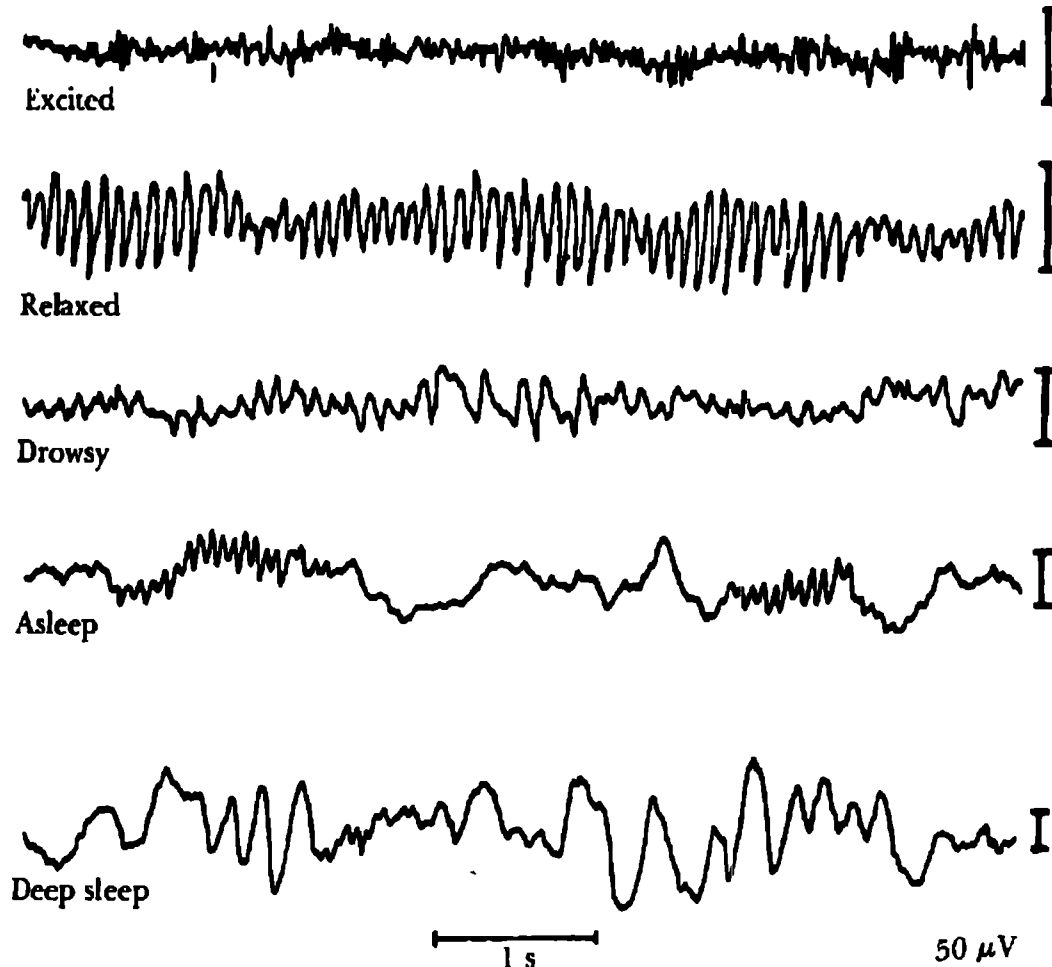


Figura 1.4. Los cambios electroencefalográficos que ocurren cuando un paciente concilia el sueño.

#### Patrones de sueño:

Cuando un individuo se encuentra relajado, somnoliento y eventualmente se duerme, el ritmo de las ondas alfa se reemplaza por uno más lento y largo. En un sueño profundo, muy largo, suelen observarse ondas delta irregulares, junto con estas ondas pueden haber también ráfagas de actividad tipo alfa llamadas *sueños spindles*. El ritmo alfa y los patrones del sujeto somnoliento y dormido están sincronizados, en contraste con las ondas de bajo voltaje de sincronizadas y de actividad irregular que se observan en un sujeto alerta y despierto.



Las ondas lentas y de alta amplitud que se ven en un electroencefalograma de un sujeto que se encuentra dormido son a veces reemplazadas por actividad irregular y de bajo voltaje que se asemejan a aquellas obtenidas en sujetos despiertos. De cualquier manera el sueño del sujeto que presenta este patrón irregular no se interrumpe, de hecho el umbral de excitación por los estímulos sensoriales se eleva. Esta condición ha sido llamada *sueño paradójico*. Durante el sueño paradójico el sujeto exhibe un movimiento ocular rápido, por esta razón es también llamado *sueño de movimiento ocular rápido* o *sueño REM (rapid eye movement)*. De esta manera al sueño *spindle* o *desincronizado* se le llama frecuentemente *sueño de movimiento ocular no-rápido*, sueño *NREM (nonrapid eye movement)* o sueño de ondas bajas. Los sujetos humanos que experimentan patrones de sueños paradójicos (REM) reportan al confrontarse con el registro EEG que se encontraban soñando, mientras que los sujetos que despiertan de sueños *spindle* reportan que no se encontraban soñando. Esta observación junto con otras evidencias indican que el sueño REM y el soñar se encuentran estrechamente relacionados.

#### *Tipos de ondas cerebrales:*

La actividad eléctrica registrada de los electrodos colocados en el cuero cabelludo demuestran actividad eléctrica oscilante continua provocada por el cerebro. Tanto la intensidad como los patrones de esta actividad están determinados, como se menciono anteriormente, por la excitación de las células del cerebro en general; esta excitación es producida en su mayor parte por el *Sistema de Activación Reticular (RAS)*. Las ondulaciones en los potenciales registrados son llamados *ondas cerebrales*, y el registro completo es llamado *electroencefalograma*.

La intensidad de las ondas cerebrales en la superficie del cerebro pueden ser tan amplias como hasta los 10mV, pero al intentar detectarlas en el cuero cabelludo su amplitud puede disminuir hasta los 100uV. Las frecuencias de estas ondas cerebrales tienen un rango desde los 0.5 hasta los 100Hz, y su carácter depende directamente de la actividad en la corteza cerebral. Por ejemplo, estas ondas cambian de manera pronunciada entre los estados de alerta total y sueño. De esta manera existe una clasificación específica para las ondas cerebrales en los distintos estados de alerta del paciente. Se clasifican en *alfa*, *beta*, *theta* y *delta*.

Las ondas *alfa* son ondas rítmicas que ocurren a frecuencias entre los 8 y los 13 Hz. Se encuentran en los registros de electroencefalografía de casi todas las personas normales cuando están despiertas calladas y descansando. Estas ondas ocurren más intensamente en la región occipital pero también pueden ser encontradas en la región parietal y frontal del cuero cabelludo. Sus voltajes varían entre los 20 y 200 uV. Cuando el sujeto está dormido las ondas alfa desaparecen completamente. Cuando la tensión del sujeto despierto es dirigida a algún tipo de actividad mental especial, las ondas alfa son reemplazadas por

ondas asíncronas de mayor frecuencia pero menor amplitud. En la figura 1.5 se puede ver el efecto en las ondas alfa con simplemente abrir los ojos e inducir alguna luz brillante directamente en ellos para después volverlos a cerrar. Nótese también que las sensaciones visuales causan inmediatamente el cese de las ondas alfa, siendo sustituidas por ondas asíncronas y de bajo voltaje.



*Figura 1.5. Cambio en el tipo de onda cerebral cuando el paciente abre los ojos.*

Las ondas beta ocurren normalmente a frecuencias de 14 a 30 Hz, y algunas veces (particularmente durante actividades mentales intensas) tan alto como los 50 Hz. Estas ondas son registradas más frecuentemente en la región parietal y frontal. Pueden ser divididas en 2 tipos: *beta I* y *beta II*. Las *beta I* son ondas que tienen frecuencias casi tan altas como el doble de las ondas alfa, son afectadas por actividad mental en casi la misma manera que las alfa. Las *beta II* por otro lado, aparecen durante actividad intensa del sistema nervioso central y durante tensiones en el paciente.

Las ondas theta tienen frecuencias entre los 4 y los 7 Hz. Estas ocurren principalmente en la región parietal y temporal en los niños, pero también ocurren durante presiones emocionales en algunos adultos, particularmente durante periodos de estrés y frustración. Por ejemplo, es posible registrar estas ondas permitiendo a un paciente experimentar una experiencia o sensación placentera, para después suspenderla, esto causa aproximadamente 20 segundos de ondas theta.

Las ondas delta incluyen a todas las ondas registradas en un electroencefalograma menores a los 3.5 Hz. Algunas veces estas ondas se presentan solamente una vez cada 2 ó 3 segundos. Estas ondas ocurren en los sueños profundos, en la infancia y en enfermedades orgánicas cerebrales severas. En la figura 1.6 se pueden ver los distintos tipos de onda cerebral.

Una célula cortical por si sola puede únicamente brindarnos una pequeñísima corriente extracelular, por lo que es necesario que un gran número de neuronas se activen sincronamente para darle amplitud a las potenciales registrados en la superficie cerebral.

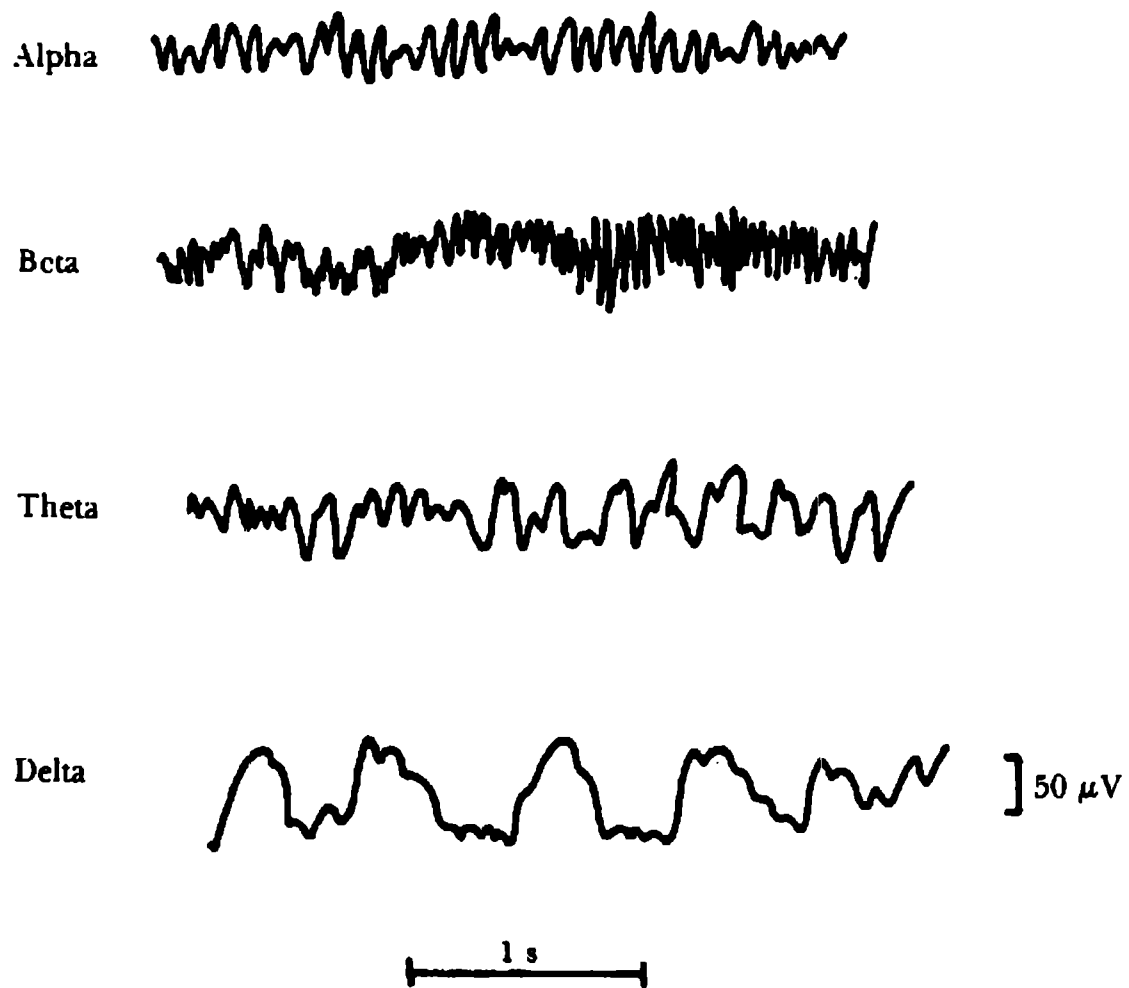


Figura 1.6. Diferentes tipos de ondas EEG normales.

# **Capítulo I**

## **Etapa de adquisición y amplificación de las señales electrocorticoides.**

### **I.1.- Etapa de adquisición.**

Para lograr registrar los potenciales producidos por la actividad cerebral es necesario utilizar electrodos especializados que presenten características específicas. Físicamente los electrodos de electroencefalografía deben ser pequeños, se deben adherir fácilmente al cuero cabelludo (el cual debe de tener el menor cabello posible), no deben causar molestias y deben poder permanecer en un lugar por un largo periodo de tiempo. Pero además los electrodos utilizados deben presentar una baja impedancia de entrada y una gran sensibilidad para poder detectar los cambios de potenciales que ocurren en la corteza cerebral. Los electrodos no polarizables de electroencefalografía suelen estar hechos de aleaciones de materiales altamente conductores como el Ag-AgCl. De esta manera es importante recordar que para lograr una correcta adquisición de las señales corticoides se deben utilizar los electrodos especializados de electroencefalografía. También es necesario aplicar la solución o gel conductor para lograr una correcta conducción entre la piel y la "pila" del electrodo.

### **I.2.- Etapa de amplificación.**

El análisis de señales extraídas de la corteza cerebral resulta una labor muy complicada debido a la magnitud, medida en voltaje, de dichas señales. La amplificación de señales cuyos valores oscilan entre los 10 y 100 microvolts debe realizarse con amplificadores de instrumentación.

#### **I.2.a.- Amplificador de Instrumentación.**

En algunas aplicaciones biomédicas un mejoramiento entre la razón señal a ruido es requerido, ya que el nivel de la señal que se desea adquirir suele ser menor que el nivel de la señal de ruido. Para tales aplicaciones suelen utilizarse amplificadores de instrumentación ya que este tipo de amplificadores presentan un alto rechazo a las señales de ruido. En un amplificador de instrumentación ambas entradas son aisladas de la tierra y tienen la misma resistencia hacia la tierra. Si asumimos niveles de ruido iguales en ambas entradas el nivel de salida de ruido de un amplificador de instrumentación será cero, ya que estos amplificadores presentan configuraciones diferenciales.

En la práctica la salida del ruido depende del valor de la impedancia de entrada del amplificador de instrumentación; la ganancia que le deseamos dar a la señal que viene del transductor cuando usamos un amplificador de instrumentación como el que se muestra en la figura 1 es:

$$\frac{V_{out}}{V_s} = -\frac{R_2}{R_1} \left( 1 + \frac{R_f}{R_{in}} \right)$$

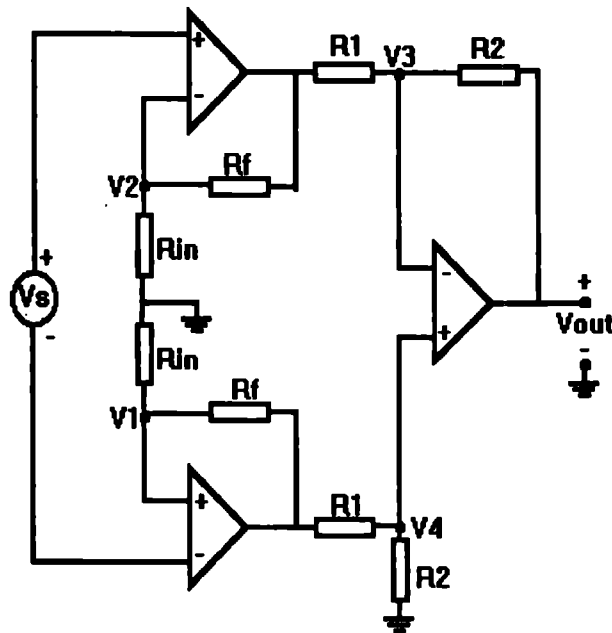


Figura 1. Amplificador de Instrumentación<sup>1</sup>.

Como vemos ambas entradas de la señal se introducen por el pin no inversor del OPAM<sup>2</sup>, esto proporciona mayor seguridad, ya que no existen elementos conectados directamente a los electrodos que van al paciente, evitando así descargas de corriente que pongan en peligro su salud. El amplificador de instrumentación se construye utilizando dos amplificadores no inversores y un amplificador diferencial.

Dado que la señal a amplificar puede variar desde valores de 1 microVolt hasta 100 microVolts, es necesario que la etapa de amplificación tenga una ganancia aproximada de 1,000,000 por lo que será necesario amplificarla dos veces con etapas de ganancias aproximadas de 1000. La ganancia del amplificador de instrumentación de la figura 1 es:

$$\frac{V_{out}}{V_s} = -\frac{R_2}{R_1} \left( 1 + \frac{R_f}{R_{in}} \right)$$

<sup>1</sup> *Biomedical Instruments, Theory and Design; Welkowitz, Deutsch, Akay (Academic Press, Inc.1992), pag.250*

<sup>2</sup> *Operational Amplifiers*

$$000 = -\frac{R2}{R1} \left( 1 + \frac{Rf}{Rin} \right)$$

De esta ecuación se obtienen los siguientes valores de resistencias.

$$R1 = 1K\Omega$$

$$R2 = 100K\Omega$$

$$Rin = 1.5K\Omega$$

$$Rf = 13.5K\Omega$$

Existen varios tipos de configuraciones para este tipo de amplificadores de instrumentación; la decisión de elegir entre unos u otros depende de las ventajas y desventajas que estos nos traigan. Debe considerarse que como limitantes principales tenemos la de que el sistema de electroencefalografía (EEG) debe ser un módulo compacto y portátil fácil de interfazar con una PC, por lo que la implementación y uso de muchos amplificadores operacionales (OPAMs) debe limitarse lo mas posible. Así como la alta sensibilidad del sistema al ruido.

Con esto en mente se buscó un circuito integrado (C.I.) que reuniera las características principales necesarias para implementar el amplificador de instrumentación que se utilizara en la adquisición y amplificación de las señales cerebrales.

- Muy alta impedancia de entrada.
- Alta razón de rechazo en modo común (CMRR)
- Bajo consumo de energía.
- Disponibilidad del C.I.
- Costo del C.I.
- Tamaño y maniobrabilidad.

#### *Razón de rechazo en modo común.*

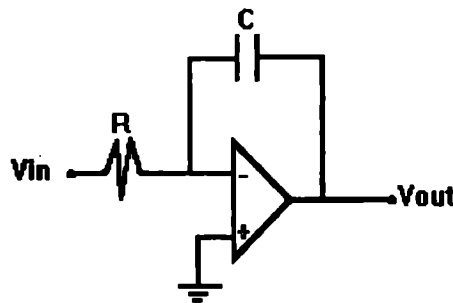
Una de las características mas importantes de un amplificador diferencial es su capacidad para cancelar o rechazar cierto tipo de señales de voltaje indeseables. Estas señales no deseadas se conocen como "ruido" y pueden ocurrir como voltajes inducidos por campos magnéticos parásitos en tierra o alambres de la señal, como variaciones de voltaje en la alimentación de voltaje. Lo importante aquí es que estas señales de ruido no son señales que se desean amplificar en el amplificador diferencial. Su rasgo distintivo es que la señal de ruido aparece igualmente en las dos entradas del circuito.

Podemos afirmar entonces que cualesquiera señales indeseables (ruido) que aparezcan en polaridad, o comunes a ambas terminales de entrada, serán rechazadas (canceladas) en la salida del amplificador diferencial. La señal que se va a amplificar aparece en una sola entrada, o bien con polaridad opuesta en ambas entradas. Una medida de este rechazo de señal común a ambas entradas se denomina como rechazo en modo común del amplificador, y se le asigna un valor numérico que se denomina *relación de rechazo en modo común*. (CMRR: *common mode rejection ratio*). Lo que deseamos nosotros es que el amplificador de instrumentación diferencial que se utilice cancele el ruido y amplifique la señal cerebral (la cual suele ser menor en amplitud que la del ruido inducido).

De aquí se partió para construir la etapa de amplificación armando los amplificadores de instrumentación con OPAMs individuales del tipo LF351n o LF347n<sup>3</sup> fabricados por *National Semiconductors*. Se diseñaron dos amplificadores de instrumentación, uno con cada tipo de C.I., para de esta manera, al utilizar el paquete de diseño P-CAD se pudieran ver las ventajas y desventajas de usar ya sea OPAMs empaquetados en un solo circuito (como lo es el LF347n) o OPAMs sencillos (como el LF351).

### I.3.- Eliminación de corriente directa y off-set.

Otro punto que se debe tomar en cuenta en la adquisición de dicha señal cerebral es la presencia de componentes de corriente directa (C.D.), que se amplifican junto con la señal de entrada, y afectan directamente provocando que nuestro sistema de amplificación se sature. Este problema, junto con el voltaje de off-set propio del OPAM, se pueden solucionar agregando una etapa de integración retroalimentada, como se muestra en la figura 2.



*Figura 2. Configuración Integradora.*

---

<sup>3</sup>Las hojas de especificaciones técnicas se anexan al final de este reporte.

Donde la función de dicho integrador es:

$$out = -\frac{1}{RC} \int (Vin) dt$$

Al estar trabajando con señales corporales, se utiliza una constante de integración aproximada de 1 segundo, con esto en mente se utiliza un capacitor no polarizado de 1 uF y una resistencia de entrada de 100 Kohms.

De esta manera se tiene completa la etapa de adquisición y amplificación de las señales cerebrales. El siguiente paso será el filtrado tanto de ruido provocado por la línea como de frecuencias demasiado altas.

## **Capítulo II Etapa de Filtrado.**

Una vez que la señal adquirida de la corteza cerebral se ha amplificado, es necesario filtrarle algunos componentes de ruido provocados tanto por la línea como por la estática propia del cuerpo. Es importante recordar que las señales con las que se trabajará son de frecuencias muy bajas (entre 0.5 y 100Hz), por lo que cualquier señal con frecuencia superior resulta inútil de analizar, de aquí se puede deducir que el filtro a utilizar será del tipo pasabajas con una frecuencia de corte aproximada  $f_c=100\text{Hz}$ . También cabe recordar que la fuente de alimentación de la interfase con la computadora trabaja a una frecuencia de 60 Hz, y esta frecuencia se hace presente generalmente en las señales ya amplificadas, por lo que se implementará un filtro rechazabanda exactamente a la frecuencia de 60 Hz. Todos estos efectos de ruido pueden ser atenuados con el uso de filtros especializados. A continuación se presentan algunas características necesarias en dichos filtros:

- Que tengan ganancia unitaria o no muy alta.
- Que su implementación sea sencilla y no utilice muchos componentes.
- Que su respuesta no presente "riscos".

### **II.1.- Filtro pasabajas.**

#### *Selección del tipo de filtro.*

Cuando se utilizan filtros en circuitos analógicos se pretende que los dispositivos implementados no permitan el paso de ciertas frecuencias específicas atenuando rápidamente a partir de una o más frecuencias de corte.

Existen dos categorías fundamentales de los filtros: Activos y pasivos, en este caso se decidió emplear filtros activos, ya que son mas fáciles de



implementar, utilizan menos componentes, presentan una alta impedancia de entrada y una baja impedancia de salida.

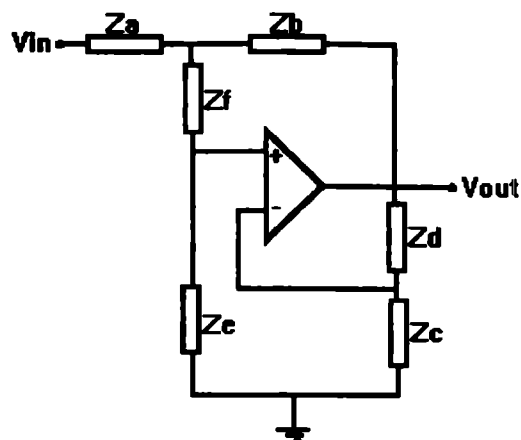


Figura 3. Filtro pasabajas.

El análisis de filtros activos requiere de métodos matemáticos que son muy complejos para presentarlos en esta investigación. Partiendo de ahí, nos concentraremos en los métodos de diseño práctico que nos permitan construir filtros Butterworth y Chebyshev de los tipos y orden requeridos. Los procedimientos que se siguieron para hacer el diseño se basaron en tablas de valores<sup>4</sup>. En la figura 3 se muestra una configuración general que puede ser usada para construir filtros pasabajas o pasaaltas de segundo orden de ambos tipos Butterworth y Chebyshev. El amplificador básicamente opera como un no-inversor, fuente de voltaje controlada por voltaje conocido como VCVS (*Voltage-controlled voltage source*). También se le llama circuito *Sallen-Key*. Cada bloque de impedancias representa una resistencia o capacitancia, dependiendo si el filtro deseado es pasabajas o pasaaltas. La tabla 1 que a continuación se presenta indica si la impedancia requerida para el diseño es capacitiva o resistiva.

Tabla 1. Tipos de componente para un filtro VCVS.

	Za	Zb	Zc	Zd	Ze	Zf
Filtro Pasabajas	R1	R2	R3	R4	C1	C
Filtro Pasaaltas	C	C	R3	R4	R2	R1

El valor de los componentes depende de si la respuesta requerida por el filtro es de tipo Butterworth o Chebyshev, para decidir esto es necesario conocer las características de cada uno de ellos.

<sup>4</sup>Linear Electronics, por Theodore F. Bogart, Jr.(MERRILL, 1994)

**Butterworth:**

- Presenta baja atenuación en la banda de transición.
- Presenta una amplitud constante en la banda de paso.
- La atenuación después de la frecuencia de corte tiene una caída asintótica fuera de la banda de paso de -20 n dB por década. (n= orden del filtro)

**Chebyshev:**

- La respuesta en amplitud de la banda de paso presenta un rizo.
- La atenuación después de la frecuencia de corte es alta.
- Su cambio de fase es discontinuo y no lineal.

Partiendo de estas características se utilizó un filtro Butterworth, ya que su amplitud en la banda de paso es la más plana, y dado que se desea que la señal filtrada sea lo más apegada posible a la señal adquirida, este filtro resulta el ideal.

El procedimiento de diseño comienza con la selección de un valor para la capacitancia C. Después se designa una constante K que se calcula de la siguiente manera:

$$K = \frac{10^{-4}}{fC}$$

Donde f es la frecuencia de corte deseada en Hz y C es el valor de capacitancia elegido en Farads. Cuando consultamos la tabla<sup>5</sup> para filtros de segundo orden pasabajas Butterworth VCVS, encontramos los diferentes valores para la resistencia, dependiendo de la ganancia como se muestra a continuación:

**Tabla 2. Diseño para filtro pasabajas de segundo orden Butterworth VCVS.**

Ganancia	Valores de los elementos del circuito			
	1	2	4	6
R1	1.422	1.126	0.824	0.617
R2	5.399	2.250	1.537	2.051
R3	Abierto	6.752	3.148	3.203
R4	0	6.752	9.444	16.012
C1	0.33C	C	2C	2C

Resistencias en kilo Ohms para un parámetro K=1

<sup>5</sup> Linear Electronics, Bogart (MERRILL, 1994) pag. 417, tabla 9.2

### ***Diseño del filtro pasabajas.***

De esta manera calculando la K para un filtro pasabajas de segundo orden Butterworth tipo VCVS con una frecuencia de corte de 100 Hz y fijando el capacitor C en 0.1 uF tenemos:

$$K = \frac{10^{-4}}{(100\text{Hz})(0.1 \times 10^{-6}\text{F})}$$
$$K = 10$$

Deseamos una ganancia unitaria, y el factor K es igual a 10, por lo que si consultamos en la tabla 2 podremos ver que los valores de los componentes quedan como sigue:

$$R1 = 14.22\text{K}\Omega$$

$$R2 = 53.99\text{K}\Omega$$

$$R3 = \text{Abierto}$$

$$R4 = 0$$

$$C1 = 0.33\text{C}$$

Como podemos ver los valores de resistencia y capacitancia obtenidos no son comerciales, por lo que utilizando una forma mas práctica se pueden calcular de la siguiente manera:

La frecuencia de corte del filtro pasabajas se calcula con la siguiente ecuación.

$$f_c = \frac{1}{2\pi RC}$$

Ahora fijamos el valor de los capacitores en 0.1uF, los valores de resistencias se calculan de la siguiente manera:

$$R = \frac{1}{2\pi f_c C}$$

$$R = \frac{1}{2\pi (100\text{Hz})(0.1 \times 10^{-6}\text{F})}$$

$$R = 15.92\text{K}$$

De esta manera los valores de C=C1=0.1uF y el valor de las resistencias R1=R2=15KOhms.

Siguiendo la regla del filtro de que R4=.586R3 se calculan los valores:

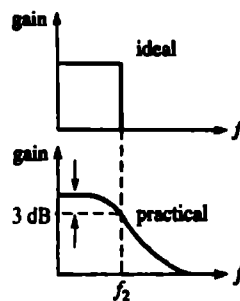
$$R4=33\text{Kohms}$$

$$R3=56\text{Kohms}$$

Obteniendo una ganancia aproximada (R3/R4)=1.69

### Respuesta en la frecuencia.

Los filtros se clasifican por su orden o número de polos, por ejemplo, un filtro de segundo orden tiene dos polos. En general, mientras más alto sea el orden del filtro, más cerca se encontrará su respuesta de las condiciones ideales del filtro. Desgraciadamente, los filtros de alto orden son muy complicados y difíciles de construir, debido a que requieren de muchos componentes. La respuesta en la frecuencia fuera de la banda de paso de un filtro, tiene una caída asintótica de  $20n$  dB/década, donde  $n$  es el número de polos u orden del filtro. En la gráfica 1 podemos ver la diferencia entre las características ideales y las prácticas de un filtro pasabajas.



Gráfica 1. Respuesta en frecuencia de un filtro ideal y respuesta de un filtro práctico

Los filtros también se clasifican de acuerdo a ciertas especificaciones de diseño, que como el orden, afectan sus características de respuesta afuera de su banda de paso.

En este caso se implementará un filtro *Butterworth* VCVS de segundo orden ( $n=2$ ), también llamado *Sallen Key*, que presenta las siguientes características en su función de transferencia, la cual se expresa de la siguiente manera:

$$T(s) = \frac{H_0 \omega_0^2}{s^2 + (\omega_0^2 / Q)s + \omega_0^2}$$

y cuya forma normalizada esta dada como:

$$T(s) = \frac{1}{s^2 + 1.414s + 1}$$

Haciendo el análisis del circuito, e insertando las variables de resistencia y capacitancia obtenemos:

$$T(s) = \frac{K / R1R2CC1}{s^2 + s[1 / R1C + 1 / R2C + (1 - K) / R2C1] + 1 / R1R2CC1}$$

donde la ganancia K es:

$$K = \frac{R3 + R4}{R3}$$

Es posible obtener el diagrama de Bode de esta función de transferencia, para así poder ver la respuesta del filtro en la frecuencia. Una de las maneras de obtener este diagrama de Bode es introduciendo la función de transferencia en el paquete computacional *MATLAB*, la otra es introduciendo el circuito en el simulador *HSPICE*, y después graficarlo en el paquete *HSPLIT*. La gráfica resultante se puede ver en la hoja#1 de diagramas que se encuentra al final de este reporte. El listado que se introdujo el paquete de simulación *HSPICE* es el siguiente:

```
Filtro pasabajos Butterworth n=2 VCVS fc=100Hz
Vi 1 0 ac 1
Vcc 6 0 9
Vee 0 7 9
X2 3 4 6 7 5 If351
R1 1 2 15K
R2 2 3 15K
R3 4 5 33K
R4 0 4 56K
Cp 2 5 0.1u
C2 3 0 0.1u
.ac dec 100 1m 1meg
.graph ac ganancia=par('20*log10(v(5)/v(1))')
.options post
.optios searchpath=('/paquetes/h93a/parts')
.end
```

## II.2.- Filtro rechazabanda.

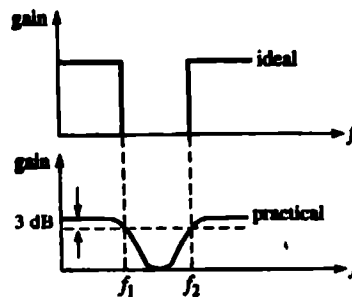
### Selección del filtro.

Los filtros rechazabanda tienen como objetivo eliminar ciertas frecuencias específicas que, por lo general, suelen tener efectos contaminantes en las señales con las que se desea trabajar.

Una clase de filtro de rechazo de banda son los llamados filtros *notch* o filtro de muesca. Son secciones sencillas que se caracterizan por tener una transmisión nula a una frecuencia o banda muy angosta de frecuencias.

Los filtros muesca son llamados así por la forma peculiar de su curva de respuesta en frecuencia, que se puede observar en la gráfica 2. Las frecuencias indeseables quedan atenuadas en la banda de detención *B*. Las frecuencias

deseadas son transmitidas en la pasabanda que está a ambos lados de la muesca.



**Gráfica 2. Respuesta ideal y práctica en frecuencia de un filtro Notch.**

Casi siempre los filtros muesca tienen una ganancia unitaria en la pasabanda o de 0 dB. Como se mencionó anteriormente, una de las principales aplicaciones de los filtros rechazabanda o *notch*, es la de eliminar componentes de frecuencia indeseadas, comunmente llamadas ruido. Una de las principales fuentes de ruido es la línea de alimentación de A.C., esta línea tiene un alto voltaje y una frecuencia característica de 60Hz.

Debido a que los fines de este proyecto no son los de desarrollar nuevos filtros, no resultaría práctico diseñar un filtro habiendo tantos diseños ya establecidos que cumplen perfectamente las características requeridas; de aquí se partió para buscar una configuración que satisficiera nuestras necesidades.

#### **Diseño del filtro.**

Los parámetros mas comúnmente usados para distinguir un filtro rechazabanda son su *selectividad Q (quality factor)*, su ancho de banda *BW (band width)* su frecuencia central  $f_c$  y sus frecuencias de corte. De esta manera, era necesario obtener un filtro que presentara características específicas para que sólo atenuara a la frecuencia de 60Hz. Uno de los filtros que mejor satisficieron estos requerimientos fué el filtro notch puente de Wien.

Pasando ahora al cálculo del filtro Notch puente de Wien con una frecuencia de 60 Hz y suponiendo un valor de  $C=0.1\mu F$ , se tienen los siguientes valores de resistencias para el arreglo:

$$R_{N1}=R_{N2}=R_{N3}=R_{N4}=R_{N5}=27K$$
$$C_{N1}=C_{N2}=0.1\mu F$$

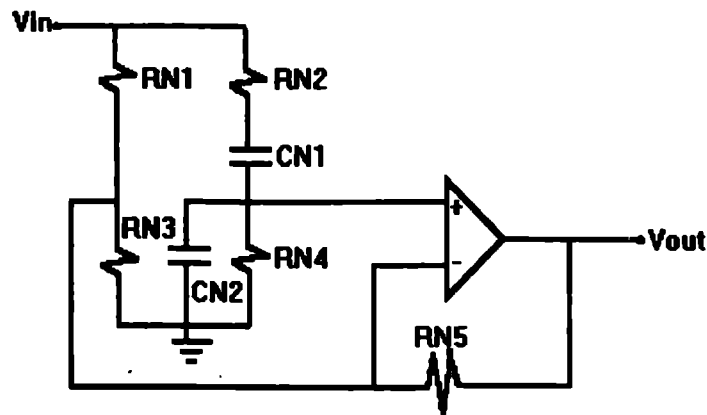


Figura 4. Filtro Notch Puente de Wien

**Respuesta en la frecuencia.**

Como se menciona anteriormente, el diseño de filtros activos de segundo orden requiere de análisis matemáticos muy complicados y extensos como para presentarse en esta investigación, con esto en mente se puede recurrir al uso de herramientas alternas que nos permiten análisis prácticos muy completos.

En este caso se utilizó otro método para calcular la respuesta en frecuencia, y el comportamiento del filtro en diferentes condiciones. Se utilizó el paquete computacional especializado *HSPICE*. En este paquete se introduce el diseño del filtro de manera *nodal*<sup>6</sup>, y de esta manera se obtiene el diagrama de Bode, entre otros resultados. A continuación se describe el listado que se utilizó:

```

Filtro notch puente de Wien fc=60Hz
Vi 1 0 ac 1
Vcc 6 0 9
Vee 0 7 9
X1 4 2 6 7 5 lf351
Rn1 1 2 27K
Rn2 1 3 27K
Rn3 2 0 27K
Rn4 4 0 27K
Rn5 2 5 27K
Cn1 3 4 0.1u
Cn2 4 0 0.1u
.ac dec 100 1m 1meg
.options acout=0
.graph ac ganancia=par("20*log10(v(5)/v(1))")

```

<sup>6</sup>Se introduce el diseño numerando los nodos y especificando los componentes que hay entre cada par de nodos.

BIBLIOTECA



```
.options post
.options searchpath=('/paquetes/h93a/parts')
.end
```

Y el diagrama de Bode obtenido se muestra en la hoja#2 de diagramas que se anexa a esta investigación.

### Capítulo III Amplificación final y montaje en C.D.

Una vez que se filtró la señal, eliminando las componentes a 60Hz y las mayores a 100Hz, se procede a la etapa de amplificación final y a montar la señal en una componente de corriente directa, para que esta señal, ya procesada, pueda ser convertida a una señal digital por el ADC0809. Recordemos que la ganancia de un amplificador inversor es la siguiente:

$$out = -\frac{Rf}{Rin}(Vin)$$

Además de amplificarla, hay que sumarle un nivel de corriente directa para así poder procesarla en el ADC0809. Por lo que la función final de esta etapa quedaría de la siguiente manera:

$$out = -\left[\frac{Rf}{Rin}(Vin) + (Vcc)\frac{Rfi}{Rfi + Rf2}\right]$$

La configuración de esta etapa se muestra en la figura 5, que se muestra a continuación:

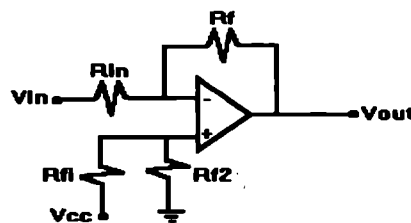


Figura 5. Amplificador inversor y sumador de C.D..

El voltaje que se introducirá al ADC0809, tiene que tener un rango de variación de 0-5 Volts, por lo que si se considera que la ganancia del amplificador de instrumentación es de aproximadamente 1,000; se requiere amplificar la señal adquirida (50 micro Volts) 50 veces más, por lo que se calculan las resistencias con los siguientes valores:

$$Rin = 1K\Omega$$

$$Rf = 50K$$

Como se verá más adelante, la alimentación de la etapa de adquisición, amplificación y filtrado, será con 9 Volts, por lo que si hacemos el divisor de



voltaje indicado en la ecuación, para que nuestra señal salga con variaciones de voltaje de 0 hasta 5 volts, los valores de las resistencias quedan así:

$$R_{fi} = 10K\Omega$$

$$R_{fi2} = 180\Omega$$

Es posible comprender mejor el sistema observando el diagrama a bloques que se presenta en la figura 6.

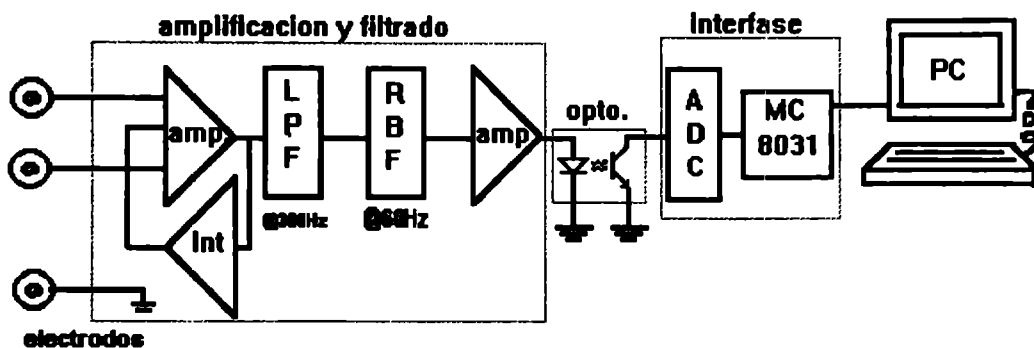


Figura 6. Diagrama a bloques del sistema.

El diagrama final de la etapa de adquisición y amplificación de las señales electrocorticoides utilizando el C.I. LF347n se anexa en la hoja de diagramas #3. Este diagrama fue simulado en el paquete computacional especializado *P-CAD*, para de esta manera obtener su diagrama de circuito impreso a partir de su dibujo esquemático. El diseño final de la tarjeta PCB<sup>7</sup> se anexa también en las hojas de diagramas #4, #5 y #6.

#### Capítulo IV Alimentación de la etapa de adquisición, amplificación y filtrado.

Una de las principales características que debe presentar este sistema es la de seguridad, ya que este dispositivo se utilizará en paciente reales, es necesario que no exista ninguna posibilidad de fallo que ponga en peligro la salud o la vida del paciente. El principal peligro que existe es el de una descarga de corriente del sistema por los electrodos hasta el paciente. Para evitar este riesgo se tomaron varias consideraciones.

<sup>7</sup>Se anexa el diagrama de pistas de la cara superior, la inferior y la referencia de los componentes.

La primera es la de utilizar una configuración en el amplificador de instrumentación que no presentara retoalimentaciones directas en las entradas de los electrodos (como se vió en la etapa de amplificación). La segunda fue la de utilizar una alimentación segura en los amplificadores operacionales. Es por esto que se decidió utilizar pilas alcalinas de nueve Volts para alimentar dichos amplificadores. Este tipo de pilas, presentan una corriente muy limitada, la cual no produce efectos nocivos en casos de descarga directa sobre el paciente. Además, este tipo de pilas logran una mayor maniobrabilidad del sistema, y por otra parte lo vuelven, también, más compacto.

El voltaje máximo aceptado por el ADC0809<sup>8</sup> es de 5 volts, permitiendo esto un rango de descarga de las baterías de hasta 4Volts. Además, se implementó un sistema indicador de descarga de batería, que permite al usuario reconocer cuando el voltaje proporcionado por la pila es menor a los 6 Volts mediante la activación un LED de color rojo, para que de esta manera el operador del dispositivo tenga tiempo para sustituir las baterías de alimentación.

## **Capítulo V**

### **Etapa de optoacoplamiento.**

Como se mencionó anteriormente, una de las principales características del sistema es que debe de ser seguro. Las normas de salud establecen que en todos los aparatos biomédicos debe de aislarse al paciente de las etapas que utilicen altos voltajes, que potencialmente puedan causar daños en la salud del paciente.

Para cumplir con este requisito fue necesario utilizar optoacopladores para aislar completamente la etapa de adquisición, amplificación y filtrado de la etapa de la interfase, que utiliza valores de voltaje más altos.

La optoacoplación se realizó con el circuito integrado 4N25<sup>9</sup>, para después amplificar y montar la señal de nuevo a la manera en que se tenía antes de la etapa de optoacoplamiento. La configuración de esta etapa se muestra en la figura 7. Como se puede ver en esta figura, fue necesario amplificar y montar la señal de nuevo, ya que desgraciadamente la etapa de optoacoplamiento presenta atenuación. Los valores de los capacitores y resistencias quedaron de la siguiente manera:

Q1=2N2222  
Ro1=180KOhms  
Ro2=1MOhms  
Ro3=100Ohms  
Ro4=Ro5=120Ohms  
Co1=Co2=10uF

---

<sup>8</sup>La hoja de especificaciones se anexa al final de este reporte.

<sup>9</sup>La Hoja de especificaciones se anexa al final de este reporte.

$R_{ina}=1K\Omega$   
 $R_{fa}=8.2K\Omega$   
 $R_{a1}=10K\Omega$   
 $R_{a2}=5K\Omega$

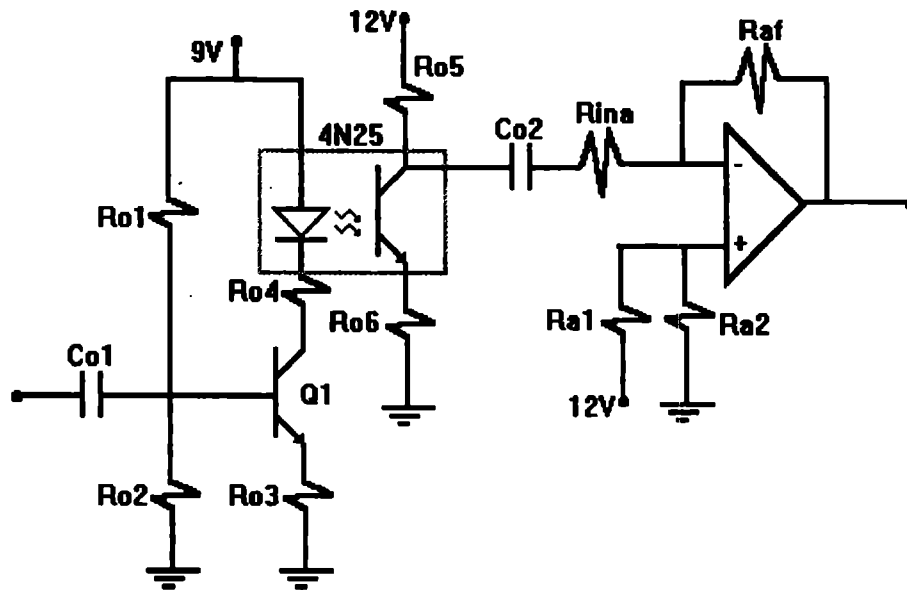


Figura 7. Optoacoplador con amplificador sumador.

Para diseñar el circuito impreso de esta etapa se utilizó el paquete de diseño *EASY TRACKS*, y la tarjeta PCB obtenida se anexa en la hoja de diagramas #7.

## **Capítulo VI**

### **Interfase Analógica-Digital**

Las conexiones de diferentes tipos de circuitos, de diferentes unidades analógicas o digitales y las de las entradas o cargas en otros dispositivos electrónicos requieren de alguna clase de interfase. Los circuitos de diferentes interfaces pueden categorizarse básicamente como unidades excitadoras y receptoras. Esencialmente un receptor acepta entradas proporcionando una elevada impedancia de entrada para minimizar el efecto de carga para la señal de entrada, mientras que un circuito excitador produce la señal de salida a niveles de voltaje o corriente adecuados para poder operar una, varias cargas o algún otro tipo de dispositivos.

La interfase analógica digital es el medio necesario para poder conectar el medio analógico con la computadora. El objetivo de esta interfase es poder convertir la señal eléctrica de los impulsos cerebrales, los cuales denotan la actividad cerebral previamente amplificada, en un valor numérico en base hexadecimal, el cual es almacenado un instante de tiempo en la memoria RAM (*Random Access Memory*) del microcontrolador, de donde posteriormente es tomado para poder ser enviado a la computadora por medio de un cable conectado al puerto serial de ésta.

El hecho de contar con un sistema que pueda ser fácilmente conectable a una computadora mediante el puerto serial, hace posible que el dispositivo pueda ser conectado a cualquier computadora que tenga la capacidad de trabajar en ambiente Windows y que presente un puerto serial.

También cuenta con la ventaja de que es portátil, lo que hace posible que pueda ser transportado fácilmente, pudiendo conectarse así a una computadora portátil o Laptop.

El sistema cuenta con su propia fuente de alimentación, por lo que sólo es necesario conectarlo a cualquier toma de corriente eléctrica que se encuentre conectado a tierra física, pues con esto se impide que pueda existir algún tipo de descarga eléctrica que pueda dañar al sistema, a la vez de que impide que el paciente pueda sufrir algún tipo de descarga. También, como medida de seguridad, como se explicó previamente, el paciente se encuentra completamente separado de la corriente eléctrica de la línea por medio de optoacopladres.

La primera parte de la interfase analógica digital es el convertidor, dispositivo encargado de digitalizar las señales eléctricas y convertirlas en un dato binario capaz de ser interpretado por la computadora.

## **VI.1.- Convertidor Analógico-Digital.**

El convertidor analógico-digital seleccionado es el ADC0809<sup>10</sup>. El ADC0809 es un componente de adquisición de datos, monolítico del tipo CMOS (*Complementary Metal Oxide Silicon*), que presenta una salida digital de ocho bits de resolución, ocho canales analógicos de entrada multiplexados y la capacidad de ser compatible con microcontroladores y microprocesadores.

El convertidor analógico digital utiliza la técnica de conversión por aproximaciones sucesivas, y cuenta con un comparador estabilizado de cobre, un arreglo de divisor de voltaje de 256R con selector analógico y un registro de aproximaciones sucesivas.

Por otro lado, cuenta con las características necesarias para su utilización en este proyecto. Presenta un tiempo de conversión de 100ms cuando se le alimenta con una señal de reloj de 625kHz. Esto indica que es posible la digitalización de señales de frecuencias de hasta 5kHz, determinado por el teorema de Nyquist<sup>11</sup>.

Las señales del cerebro se encuentran limitadas hasta los 100Hz por cada canal, de tal modo que para seis canales, es necesario considerar como si se tratara de una sola señal de seis veces la frecuencia original, es decir, una señal de 600Hz, para la cual se requeriría samplear a una velocidad de 1200Hz, o lo que es equivalente a tener un tiempo de conversión de 833.3ms, periodo de tiempo mucho mayor al necesario para que el convertidor realice las operaciones necesarias, por lo que este convertidor analógico digital cumple con lo requerido.

El convertidor analógico digital se encuentra conectado en el bus de datos y de direcciones del microcontrolador, el cual es el que determina, mediante el bus de direcciones, cual es el canal correspondiente que tiene que ser adquirido, regresando el valor de la conversión al bus de datos, el cual es habilitado mediante un registro conocido como *Latch*.

Cuando el convertidor termina la digitalización de la señal, una señal de interrupción es enviada al microcontrolador, habilitando así la interrupción externa del mismo, el cual determina si se ha terminado de adquirir los seis canales, iniciando posteriormente la transmisión por el puerto serial de los datos. Cuando se ha terminado de transmitir, se habilita nuevamente el convertidor, haciendo que este realice otro ciclo de conversiones.

El convertidor se encuentra conectado en el mapa de memoria externa a partir de la localidad 8000H (base hexadecimal, equivalente a la dirección 32768 de base decimal), de modo que se utilizan las primeras 6 direcciones a partir de la 8000H para poder acceder los seis canales diferentes (8000H-8005H). La dirección 8000H corresponde al canal uno, la dirección 8001H al canal dos, y así sucesivamente hasta la 8005H (32773 en base decimal), de

---

<sup>10</sup> Las hojas de especificaciones se anexan al final.

<sup>11</sup> "La mínima velocidad de muestreo de una señal está determinada por el doble del valor de la máxima frecuencia que ésta presente". Proakis G. John, *"Digital Communications"*, De. Mc Graw Hill, 2nd Edition, p.53.

modo que el canal adquirido es determinado por la dirección habilitada del convertidor, tal y como se muestra en la figura 6.1.

Mapa de Memoria del Microcontrolador	
Dirección	Contenido
0010H	RAM interna de canal 1
0011H	RAM interna de canal 2
0012H	RAM interna de canal 3
0013H	RAM interna de canal 4
0014H	RAM interna de canal 5
0015H	RAM interna de canal 6
.....	.....
8000H	ADC, canal 1
8001H	ADC, canal 2
8002H	ADC, canal 3
8003H	ADC, canal 4
8004H	ADC, canal 5
8005H	ADC, canal 6

*Fig. 6.1 Mapa de Memoria del Microcontrolador.*

El microcontrolador es el dispositivo encargado de habilitar las señales del convertidor, tanto de determinar las direcciones de conversión, iniciar la conversión, recibir la señal de fin de conversión, y tomar el dato ya digitalizado, para poder ser procesado posteriormente.

## **VI.2.- Microcontrolador**

Existe una gran variedad de microcontroladores en el mercado, sin embargo una de los principales elementos condicionantes en la elección de este microcontrolador es su precio, el cual es relativamente bajo a comparación de otros microcontroladores del mismo tipo, a la vez de ser un dispositivo muy fácil de encontrar en el mercado. El microcontrolador seleccionado es el P8031AH<sup>12</sup>, conocido también como MCS-51, de la familia Intel, el cual presenta la posibilidad de direccionar hasta 64Kbytes de memoria externa o periféricos, los cuales son accedidos a través de las direcciones de memoria del microcontrolador junto con otras señales de control como lo pueden ser Read, Write, Ale, Psen, etc, como se observa en la figura 6.2.

<sup>12</sup>Las hojas de especificaciones se anexan al final.

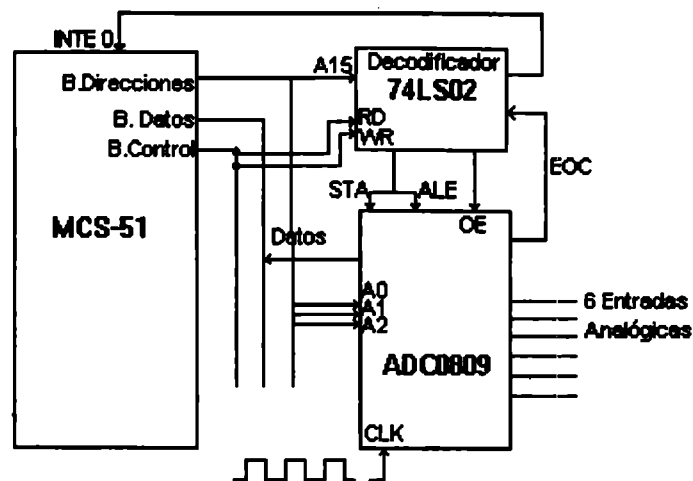


Figura 6.2 Conexión del MCS51 con el ADC0809

Cuenta un puerto serial el cual puede transmitir cualquier dato a través de éste. Trabaja asincrónicamente a una frecuencia determinada por medio de software haciéndolo compatible con el protocolo utilizado por la mayoría de los equipos de cómputo. El formato de transmisión serial empleado es el utilizado por cualquier computadora (RS-232-C), protocolo asíncrono con velocidades de transmisión de 1200, 2400, 4800, 9600, 19200 y hasta 115200 baud, lo cual hace posible el muestreo y la transmisión de datos de frecuencias de hasta 960Hz cuando se transmite a una velocidad de 19200baud, determinado también por el teorema de Nyquist.

Se define un protocolo asíncrono a aquel que no necesita una sincronización continua y simultánea tanto del transmisor como del receptor. Sin embargo, tiene que existir algún tipo de sincronía entre ambos para que se establezca la comunicación, y como las señales de reloj de ambos tienen cierta diferencia tanto en la frecuencia como en la fase, es necesario considerar un bit de inicio también conocido como bit de start.

Con el protocolo utilizado, la ausencia de datos es definida por un valor de señal en alto, conocido como "marca". Cuando el transmisor está a punto de enviar datos manda un código de inicio en forma de un bit bajo conocido como "bit de inicio". Posteriormente es enviado el tren de bits de información, el cual puede estar compuesto de 5 a 9 bits, que en este caso son ocho.

Después de que se han enviado los bits de datos, un bit opcional de paridad puede ser enviado. Este bit de paridad puede ser definido como paridad non o paridad par. Para paridad par, este bit presenta una marca o estado lógico activo si el número de unos enviado es non, y un estado lógico de cero si el número de unos enviado es par. La paridad es utilizada cuando el nivel de ruido dentro de una transmisión es lo suficientemente alto como para poder asegurar la fidelidad de la transmisión. Como la transmisión es de muy corta distancia, en este proyecto no se enviará bits de paridad, pues el ruido es muy bajo, aparte, disminuiría el ancho de banda del sistema en un 10%, pues en lugar de ser 10 bits los que se envían, se tendrían que transmitir 11.

Finalmente, después de estos bits, el transmisor inserta en la cadena uno o más bits de estado lógico alto como bits de paro. Esto le permite al receptor sincronizarse nuevamente para poder recibir un nuevo bit de inicio.

En este dispositivo, se envían ocho bits de información, uno de inicio y uno de paro para indicar el fin de la transmisión, haciendo un total de 10 bits.

En el interior del microcontrolador, cuando es transmitido el bit de paro, una bandera denominada interrupción serial, indica que el dato ha sido enviado en su totalidad, permitiendo entonces que se habilite la transmisión de otro dato o que se mande la señal de inicio al convertidor analógico digital.

Los datos obtenidos del convertidor analógico digital, son ingresados al microcontrolador a través del bus de direcciones-datos y son almacenados momentáneamente en la memoria ram del microcontrolador, el cual cuenta con 255 bytes de memoria ram interna, de donde posteriormente van a ser tomados para ser transmitidos por el puerto serial de modo que puedan ingresar al puerto serial de la computadora donde posteriormente van a ser procesados para poder ser representados en la pantalla.

El sistema del microcontrolador P8031AH y el ADC0809 requieren de un programa el cual se encarga de dictar las instrucciones necesarias que controlan al microcontrolador. El programa del microcontrolador con las instrucciones necesarias para el propósito, es almacenado en una memoria, del tipo EPROM la cual se especifica posteriormente.

### **VI.3.- Memoria EPROM**

La memoria utilizada es del tipo EPROM 27C256<sup>13</sup>, del tipo CMOS, con la capacidad de almacenar 32Kbytes de programa. Este tipo de memorias pueden ser escritas y borradas una gran cantidad de veces. El programa es editado en cualquier pantalla de texto de una computadora personal y ensamblado (conversión a códigos binarios) con dos diferentes programas: *AVMAC51* y *AVLINK*, de donde se obtiene un archivo compuesto de unos y ceros que componen un código hexadecimal identificable por el microcontrolador como el conjunto de instrucciones, es decir, el programa, el cual puede ser transmitido al programador de memorias, en donde se realiza la grabación de las mismas, quedando de modo fijo sin importar la falta de suministro de energía eléctrica.

Las memorias EPROM pueden ser borradas mediante su exposición a luz ultravioleta, por lo que una vez programadas son protegidas con una etiqueta opaca que evita su exposición a la luz solar.

---

<sup>13</sup>Las hojas de especificaciones se anexan al final.



#### **VI.4.- Dispositivo de Transmisión Serial**

El microcontrolador es un dispositivo compatible con los dispositivos lógicos de la familia TTL (*Transistor-Transistor Logic*), por lo que los voltajes de salida son de 0 y 5 volts para estados lógicos de 0 y 1 respectivamente. Sin embargo, la interfase serial tiene que trabajar con voltajes de +12V para indicar un estado de cero lógico y de -12V para indicar un estado lógico de uno, por lo que se conecta un dispositivo conocido como Driver, que en este caso es el SN75188N<sup>14</sup>, de la familia TTL que se encarga de convertir los voltajes TTL (0 y 5V) al formato RS-232-C de modo que la computadora pueda recibirlos.

#### **VI.5.- Programa Conversión Analógica Digital y Transmisión Serial**

El programa del sistema se encuentra dividido en cuatro partes principales: la primera parte es la que se encarga de determinar que lo que se escriba en el editor de texto es un programa entendible y que va a ser compilado por los programas *AVMAC51* y *AVLINK*, y que lleva también la información de cual va a ser la dirección en la cual se va a comenzar a escribir el programa.

La segunda parte, que lleva el nombre de *PREPARA*, es donde se encuentran los preparativos necesarios para utilizar diferentes características del microcontrolador, pues tanto las interrupciones externa y serial tienen que ser habilitadas por software. También se cargan los datos necesarios para llevar los conteos necesarios de los datos convertidos y enviados, al igual de que se habilita el contador-temporizador interno del microcontrolador con el fin de poder transmitir a las velocidades necesarias para que pueda existir compatibilidad con la computadora. En esta parte del programa, también se habilita la primera conversión del convertidor analógico digital, de modo que las demás van a ser habilitadas mediante las partes subsecuentes del programa.

La tercera parte comienza cuando se genera la primera interrupción externa del ADC. En este momento el microcontrolador se cicla pidiendo el canal siguiente y almacenando los datos obtenidos en las localidades de memoria determinadas por el registro R0 hasta el instante en que el canal pedido es el canal 7, el cual no es deseado. En este momento inicia la cuarta parte del programa y el microcontrolador envía mediante el puerto serial el dato FF en base hexadecimal, código que la computadora descifra como inicio de la transmisión de datos. Los datos son tomados de la memoria ram en la cual habían sido previamente almacenados gracias al registro R1, el cual se encarga de llevar el conteo de los datos enviados al puerto serial. En el tren de datos enviados, el primer dato recibido corresponde al canal uno, el siguiente al canal dos, y así sucesivamente hasta que son enviados los seis canales.

---

<sup>14</sup>Las hojas de especificaciones se anexan al final.

Cuando el microcontrolador ha finalizado la transmisión de los seis canales, brinca para volver a preparar los datos de los registros R0, R1 y DPTR en la rutina llamada "OTRO", habilitando nuevamente el ADC con la dirección 8000H, correspondiente al canal uno. A continuación se presenta el programa que realiza la conversión analógica digital de los seis canales del ADC, los almacena en memoria ram, y los envía al puerto serial, al cual se encuentra conectada la computadora.

```

DEFSEG MAIN, CLASS=CODE, START=00H
SEG MAIN
NOP
AJMP PREPARA
ORG 0003H ;RUTINA INTERRUPCIÓN EXTERNA
CJNE R0,#16H,C ;COMPARA EL REGISTRO R0 PARA SABER
;SI SE TERMINARON DE CONVERTIR LOS
;SEIS CANALES
L: MOV SBUF,#FFH ;MANDA EL COMANDO DE INICIO A LA
;COMPUTADORA
RETI ;SE VA A ESPERAR A QUE ACABE DE MANDAR
;EL DATO
C: MOVX A,@DPTR ;TOMA EL DATO DIGITAL
MOV @R0,A ;GUARDA EL DATO EN RAM
INC R0 ;INCREMENTA LA DIRECCIÓN DE RAM
INC DPTR ;INCREMENTA EL CANAL A CONVERTIR
MOV A,#00H ;LIMPIA EL ACUMULADOR
CJNE R0,#16H,BIN ;COMPARA SI SE CONVIRTIERON TODOS LOS
;CANALES
AJMP L ;SI YA SE CONVIRTIERON, BRINCA A "L" BIN:
MOVX@DPTR,A ;ARRANCA EL ADC CON LA DIRECCIÓN DEL
;DPTR
RETI ;REGRESA A ESPERAR EL EOC
ORG 00023H ;ORGANIZA ESTA PARTE DE LA MEMORIA EN LA
;DIRECCIÓN 00023H
DOS: CJNE R1,#16H,TRES ;COMPARA SI YA SE ENVIARON LOS SEIS
;CANALES Y SI NO, BRINCA A MANDAR OTRO.
;SI YA MANDO TODOS,
;CONTINUA CON LA LINEA SIGUIENTE
CLR TI ;LIMPIA LA BANDERA DE INTERRUPCIÓN SERIAL
ACALL OTRO ;LLAMA LA SUBRUTINA "OTRO" PARA VOLVER A
;EMPEZAR
RETI ;REGRESA A ESPERAR LA INTERRUPCIÓN DEL
;ADC
TRES:CLR TI ;COMO NO SE HAN TERMINADO DE TRANSMITIR
;LOS DATOS

```

```

MOV A,@R1      ;MUEVE AL ACUMULADOR LO QUE HAY EN LA
                ;DIRECCIÓN DE MEMORIA ESPECIFICADA POR
                ;R0
CJNE A,#0FFH,D ;COMPARA EL DATO CON EL NÚMERO
                ;HEXADECIMAL FF PARA EVITAR QUE SE
                ;CONFUNDA CON EL DATO DE INICIO
D:  MENOS:DEC A ;SI ES IGUAL A FF, ES DISMINUIDO EN UNO
    INC  R1     ;SE INCREMENTA EL REGISTRO R1
    MOV  SBUF,A ;ENVÍA EL DATO EXISTENTE EN EL
                ;ACUMULADOR
    RETI       ;REGRESA A ESPERAR EL FIN DE TRANSMISIÓN
PREPARA:MOV IE,#91H ;HABILITA INTERRUP EXTERNA CERO Y LA
                ;SERIAL
    SETB IP.4  ;ASIGNA PRIORIDAD A LA INTERRUPCIÓN SERIAL
    MOV  SCON,#40H ;PROGRAMA EL PUERTO SERIAL CON OCHO
                ;BITS DE INFORMACIÓN
    MOV  PCON,#80H ;DOBLA EL CLOCK PARA 19200BAUD
    MOV  TMOD,#20H ;HABILITA EL CONTADOR EN MODO
                ;TEMPORIZADOR PARA USARLO COMO
                ;GENERADOR DE VELOCIDAD DE TRANSMISIÓN
    MOV  TL1,#0FDH ;SE ASIGNAN LOS VALORES DE RECARGA PARA
    MOV  TH1,#0FDH ;GENERAR EL BAUD RATE DESEADO
    MOV  TCON,#41H ;HABILITA LA INTERRUPCIÓN EXTERNA CERO
                ;POR FLANCOS
    MOV  DPTR,#8000H ;CARGA EL REGISTRO APUNTADEOR DE DATOS
                ;CON LA DIRECCIÓN INICIAL DEL ADC (CANAL 1)
    MOV  R0,#10H   ;SE CARGA EL REGISTRO CERO CON 10H PARA
                ;USARLO COMO REGISTRO DE LAS
                ;LOCALIDADES DE MEMORIA
    MOV  R1,#10H   ;SE CARGA EL REGISTRO UNO CON 10H PARA
                ;SER USADO COMO CONTADOR DE LOS DATOS
                ;TRANSMITIDOS VIA SERIAL
    MOVX @DPTR,A  ;ARRANCA EL ADC CON LA DIRECCIÓN
                ;DETERMINADA POR DPTR
ESPERA:AJMP ESPERA ;SE CICLA A ESPERAR QUE SE PRESENTE
                ;ALGUNA INTERRUPCIÓN
OTRO:MOV R1,#10H  ;SE RECARGA EL REGISTRO R1 PARA VOLVER A
                ;EMPEZAR
    MOV  DPTR,#8000H ;SE PREPARA NUEVAMENTE LA DIRECCIÓN
                ;DEL
                ;CANAL 1 DEL ADC
    MOV  R0,#10H   ;SE RECARGA EL REGISTRO R0 PARA VOLVER A
                ;EMPEZAR
    MOVX @DPTR,A  ;SE ARRANCA EL CONVERTIDOR CON EL CANAL
                ;CORRESPONDIENTE

```

```

RETI          ;SE REGRESA A ESPERAR A QUE SE PRESENTE
              ;LA INTERRUPCIÓN DE FIN DE CONVERSIÓN DEL
              ;ADC
END           ;FIN DEL PROGRAMA

```

## Capítulo VII

### Fuente de Alimentación de la Interfase

La demanda de corriente del sistema de interfase analógica digital requiere ser alimentado por tres diferentes voltajes. En primer lugar, un voltaje de +5V es requerido por toda la parte de procesamiento digital. Tanto el microcontrolador, el convertidor analógico digital, la memoria y el latch utilizan voltajes compatibles con la tecnología TTL, por lo que la fuente de alimentación está diseñada para poder soportar la carga del sistema.

Voltajes de +12 y -12 volts son también necesitados en el sistema debido a que el formato de transmisión serial RS-232-C requiere de estos voltajes para poder operar debidamente. Todos los voltajes requeridos son suministrados mediante tres reguladores de voltaje: LM7805, LM7812 y LM7912 los cuales alimentan al sistema con voltajes de +12, -12 y +5V respectivamente y cuentan con la capacidad de poder suministrar hasta 1.0A de corriente sin modificar su voltaje de salida. Cuenta con un nivel de rechazo de ripple de 60dB, es decir, que el voltaje de la salida va a tener un rechazo de ripple de 1000 veces.

El voltaje de ripple de entrada es el rizo de voltaje que se presenta después de rectificar la señal y después de ser almacenada en los capacitores.

Para un sistema, el voltaje de rizo o ripple puede ser calculado mediante la siguiente expresión:

$$V_r = 2.4 \cdot i_{max} / C_1$$

donde  $i_{max}$  es la corriente máxima demandada por el circuito (mA)

y  $C_1$  es al valor de los capacitores de entrada (uF)

de donde se obtiene que:

$$V_r = 0.76V$$

Como el voltaje de ripple ya calculado es 1000 menor que el voltaje de ripple de entrada, a la salida se tendría un voltaje de ripple de 0.76mV, lo cual es suficiente para no generar ningún problema a partir del margen de ruido del sistema.

Esta fuente de alimentación va conectada a tierra física, lo que permite que cualquier tipo de descarga que pueda ser generada y que pueda dañar el sistema, pueda ser eliminada a tierra, por lo que el sistema no debe ser flotado ni se deben ocupar adaptadores para eliminar la tercer terminal de la conexión de corriente de la línea. En caso de no contar con la instalación eléctrica con conexión a tierra física, se debe adaptar con un dispositivo correspondiente, pero conectando el tercer cable a cualquier punto de tierra física, tal y como puede ser alguna llave de agua, a alguna varilla que esté enterrada en la tierra por lo menos una profundidad de medio metro, o a cualquier otro punto que

pueda ser considerado como tierra. El hecho de no considerar este punto, puede ser motivo de que se origine el mal funcionamiento del sistema, pudiendo incluso originar el daño irreversible de alguno o de varios componentes del sistema.

Sin embargo, el paciente de todos modos se encuentra protegido para evitar que cualquier tipo de descarga pueda llegar a él mediante la etapa de optoacoplación, que evita que el paciente se encuentre conectado a la misma tierra del sistema.

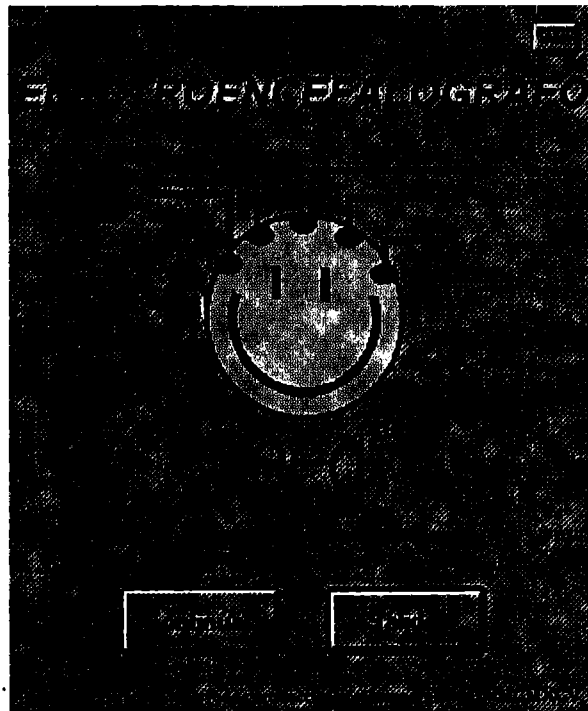
## Capítulo VIII Interfase gráfica

Todo el sistema fué diseñado con base en las necesidades y conveniencia del usuario. Por ello, el uso del puerto serial fué un factor importante en el diseño por su versatilidad y su facilidad de uso. De igual manera, se realizó un software amigable que le permitiera al usuario cambiar los elementos de graficación de manera sencilla y sin códigos especiales para memorizar. Por estos y otros elementos se decidió realizar la programación en Visual Basic, un lenguaje de programación que nos permite, literalmente, crear aplicaciones para Windows.

Este sistema, nos presenta un sencillo menú de opciones que nos permite elegir las diferentes pantallas, mediante el manejo del *mouse* y sin tener que pasar por interminables menús de opciones. Gracias a este tipo de programación, el usuario podrá cambiar las opciones de escala de amplitud y tiempo mientras está viendo la señal recibida, es decir, sin tener que salir de la pantalla de despliegue. Esto le da al usuario, una manera mas rápida para analizar la señal recibida.

### VIII.1.- Presentación

El programa permite un desarrollo en el cual el usuario tiene total control sobre sus acciones. En primera instancia, nos encontramos con una pantalla de presentación, donde se le introduce al usuario el nombre del paquete a utilizar, la versión, y otros datos importantes. Dicha pantalla se muestra en la figura 8.1.



*Figura 8.1 Pantalla de presentación*

En esta pantalla, se le da la opción al usuario de continuar con el programa o de salir en caso de así desearlo.

A continuación, se muestra la lista de elementos que conforman la forma de Presentación, así como sus propiedades.

```
Begin Form presentaecg  
  AutoRedraw    = -1 'True  
  BackColor    = &H00C0C0C0&  
  BorderStyle   = 0 'None  
  Caption       = "Presentación"  
  ClientHeight  = 5250  
  ClientLeft   = 2670  
  ClientTop    = 1245  
  ClientWidth   = 4455  
  DrawWidth    = 100  
  FontBold     = -1 | True  
  FontItalic   = 0 ' False  
  FontName     = "Script"  
  FontSize     = 8.25  
  FontStrikethru = 0 'False  
  FontUnderline = 0 'False  
  Height       = 5655  
  Left         = 2610  
  LinkTopic    = "Form4"  
  ScaleHeight  = 5250  
  ScaleWidth   = 4455  
  Top          = 900  
  Width        = 4575  
Begin CommandButton Command3  
  Caption      = "Info"  
  FontBold    = 0 'False  
  FontItalic  = 0 'False  
  FontName    = "MS Serif"  
  FontSize    = 6  
  FontStrikethru = 0 'False'  
  FontUnderline = 0 'False'  
  Height      = 255  
  Left        = 3960  
  TabIndex   = 5  
  Top         = 120  
  Width       = 375  
End  
Begin Timer Timer1  
  Left        = 0  
  Top         = 0  
End  
Begin CommandButton Command2
```

```

Caption      = "Salida"
Height      = 495
Left       = 2400
TabIndex   = 2
Top        = 4320
Width      = 1215
End
Begin CommandButton Command1
Cancel     = -1 'True
Caption    = "Continuar"
Height    = 495
Left     = 840
MousePointer = 1 'Arrow
TabIndex  = 3
Top      = 4320
Width    = 1215
End
Begin Image Image2
Height    = 3030
Left     = 960
Picture   = (Bitmap)
Top      = 1080
Width    = 2520
End
Begin Label Label3
BackColor = &H00C0C0C0&
Caption   = "copyright derechos reservados"
FontBold  = 0 'False
FontItalic = 0 'False
FontName  = "MS Serif"
FontSize  = 6
FontStrikethru = 0 'False
FontUnderline = 0 'False
Height    = 135
Left     = 120
TabIndex  = 4
Top      = 5040
Width    = 4575
End
Begin Label Label4
BackColor = &H00C0C0C0&
Caption   = " "
FontBold  = -1 'True
FontItalic = 0 'False
FontName  = "Arial"
FontSize  = 9
FontStrikethru = 0 'False

```



```

FontUnderline= 0 'False
Height = 375
Left = 0
TabIndex = 0
Top = 0
Width = 975
End
begin Label Label1
Alignment = 2 'Center
BackColor = &H00C0C0C0
Caption = "ELECTROENCEFALÓGRAFO"
FontBold = -1 'True
FontItalic = -1 'True
FontName = "Arial"
FontSize = 15.75
FontStrikethru= 0 'False
FontUnderline= 0'False
ForeColor = &H00000000&
Height = 495
Left = 0
TabIndex = 0
Top = 480
Width = 4455
End
End

```

De igual manera, a continuación, se presenta el listado de dicha forma.

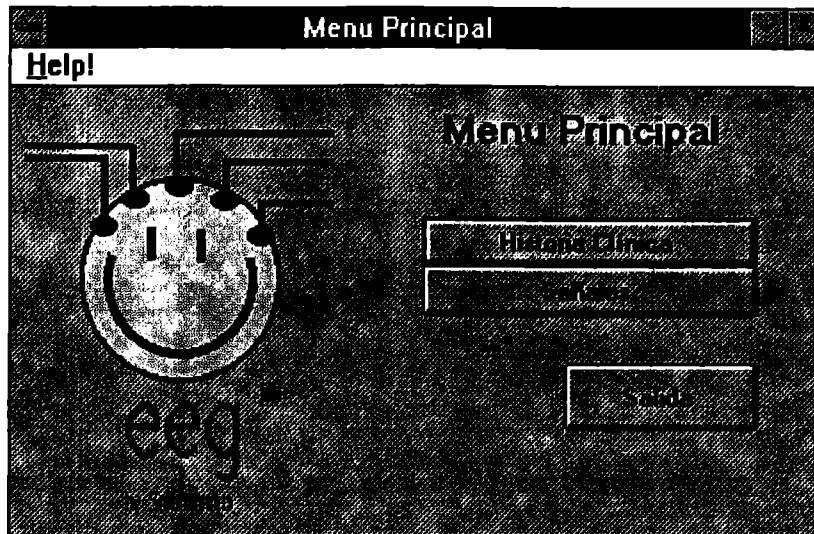
```

Sub Command1_Click t)
menprin.Show 0
presentaecg.Hide
End Sub
Sub Command2_Click ()
End
End Sub

```

## VIII.2.- Menú principal

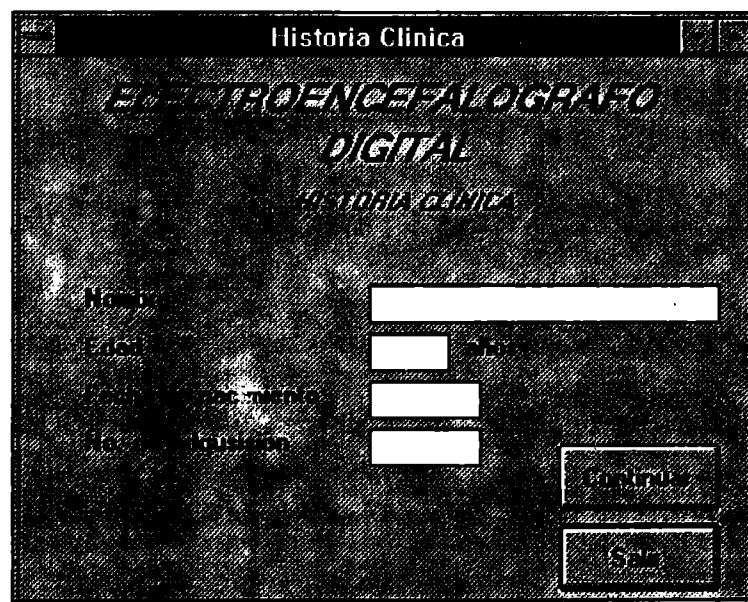
Inmediatamente despues de la pantalla de presentación, se nos muestra un menú del cual parten las dos subrutinas principales del programa. Una de ellas, es la correspondiente a una nueva pantalla denominada historia clínica. La otra, es la pantalla de graficación. De igual manera, se nos muestra una opción de salida, la cual es la única manera de salir del programa. La figura 8.2 nos muestra la pantalla del menú principal.



*Figura 8.2 Pantalla del menú principal*

### VIII.3.- Historia Clínica

Esta opción del programa, nos permite personalizar la gráfica con los datos del paciente para posteriormente ser grabada o impresa. Esta pantalla puede ser pasada por alto en caso de que el usuario no quiera personalizar la gráfica o no sea indispensable hacerlo. Dicha opción, nos regresa al menú principal, en donde podremos seguir con la graficación de los canales. En la figura 8.3, se muestra la pantalla de la historia clínica.



*Figura 8.3 Pantalla de la historia clínica (personalización de gráficas)*

A continuación se presenta una lista de los elementos de la forma historia clínica. En ella, podemos encontrar todos los elementos que forman la pantalla de Historia Clínica, así como sus propiedades:

## HISTCLIN.FRM

### VERSION 2.00

#### Begin Form Histclin

**BackColor** = &H00C0C0C0&  
**Caption** = "Historia Clínica"  
**ClientHeight** = 4035  
**ClientLeft** = 1980  
**ClientTop** = 1785  
**ClientWidth** = 5550  
**Height** = 4440  
**Left** = 1920  
**LinkTopic** = "Form2"  
**ScaleHeight** = 4035  
**ScaleWidth** = 5550  
**Top** = 1440  
**Width** = 5670

#### Begin TextBox adq

**Height** = 285  
**Left** = 2640  
**TabIndex** = 5  
**Text** = " "  
**Top** = 2640  
**Width** = 855

#### End

#### Begin TextBox nac

**Height** = 285  
**Left** = 2640  
**TabIndex** = 4  
**Text** = " "  
**Top** = 2280  
**Width** = 855

#### End

#### Begin TextBox edad

**Height** = 285  
**Left** = 2640  
**TabIndex** = 3  
**Text** = " "  
**Top** = 1920  
**Width** = 615

#### End

#### Begin TextBox nombre

**Height** = 285  
**Left** = 2640  
**TabIndex** = 2  
**Text** = " "

```

Top          = 1560
Width       = 2655
End
Begin CommandButton Command2
Caption     = "Continuar"
Height     = 495
Left       = 4080
TabIndex   = 1
Top        = 2880
Width      = 1215
End
Begin CommandButton Command1
Caption     = "Salir"
Height     = 495
Left       = 4080
TabIndex   = 0
Top        = 3480
Width      = 1215
End
Begin Label Label7
Alignment  = 2 'Center
BackColor  = &H00C0C0C0&
caption    = "DIGITAL"
FontBold   = -1 'True
FontItalic = 0 'False
FontName   = "MS Sans Serif"
FontSize   = 12
FontStrikethru= 0 'False
FontUnderline= 0 'False
Height     = 255
Left       = 1440
TabIndex   = 12
Top        = 720
Width      = 2895
End
Begin Label Label6
Alignment  = 2 'Center
BackColor  = &H00C0C0C0&
Caption    = " ELECTROENCEFALÓGRAFO"
FontBold   = -1 'True
FontItalic = 0 'False
FontName   = "MS Sans Serif"
FontSize   = 12
FontStrikethru = 0 'False
FontUnderline = 0 'False
Height     = 375
Left       = 960

```

```

TabIndex      = 11
Top           = 360
Width        = 3855
End
Begin Label Label5
BackColor    = &H00C0C0C0&
caption      = "años"
Height      = 255
Left        = 3360
TabIndex    = 10
Top         = 1920
Width      = 615
End
Begin Label Label4
BackColor    = &H00C0C0C0&
Caption     = "No. de Adquisición"
Height     = 255
Left       = 480
TabIndex   = 9
Top        = 2640
Width     = 1935
End
Begin label Label3
Backcolor   = &H00C0C0C0&
Caption    = "Fecha de nacimiento"
Height    = 255
Left     = 480
TabIndex = 8
Top      = 2280
Width   = 1935
End
Begin Label Label2
BackColor   = &H00C0C0C0&
Caption    = "Edad"
Height    = 255
Left     = 480
TabIndex = 7
Top      = 1920
Width   = 1215
End
Begin Label Label1
BackColor   = &H00C0C0C0&
Caption    = "Nombre"
Height    = 255
Left     = 480
TabIndex = 6
Top      = 1560

```

```

Width = 1215
End
End

Sub Command1_Click ()
MENPRIN . Show 0
End Sub

Sub Command2_Click ()
HISTCLIN . Hide
MENPRIN . Show 0

End Sub

```

#### **VIII.4.- Pantalla de graficación**

En esta etapa, se reciben las señales digitales convertidas por el ADC 0809 y procesadas y multiplexadas por el microcontrolador 8031. La recepción se hace por medio del puerto serial de la computadora, introducidas por el microcontrolador mediante un cable con entrada DB-9.

El *software* realizado para la utilización de este sistema, se divide en varias subrutinas, de las cuales la más importante es la subrutina de adquisición y despliegue de datos. Esta subrutina es la espina dorsal del programa, ya que es la que va a desplegar la información que el usuario va a utilizar. En términos generales, esta subrutina recibe una serie de datos enviados por el microcontrolador, los procesa y prepara para el despliegue, y finalmente los despliega. A continuación, se presenta la subrutina de recepción de un solo canal, junto con la explicación paso a paso de cada uno de los elementos que intervienen en ella.

```

Sub Command1_Click ()

Static num(1000) As Double 'NUEVO
Dim dummy As Integer
Dim instring$
instring$ = ""
Dim ciclo

comm1.CommPort = 1
comm1.Settings = "19200,N,8,1"
comm1.InputLen = 0
comm1.PortOpen = True

For ciclo = 1 To 1000
Do
dummy = DoEvents()
Loop Until comm1.InBufferCount >= 1

```

```
instring$ = comm1.Input  
num(ciclo) = 255 - Asc(instring$)  
Next ciclo
```

```
For ciclo = 1 To 1000  
ForeColor = QBColor(0)  
pic_señales.Line ((ciclo - 1), num(ciclo - 1))-(ciclo, num(ciclo))
```

```
Next ciclo
```

```
comm1.PortOpen = False  
End Sub
```

La subrutina de adquisición consta de varios elementos importantes para el uso y programación del puerto serial. En primera instancia, se deben dimensionar todas las variables a utilizar. Así, debido a que la adquisición y despliegue de datos se hará mediante un arreglo, es importante dimensionar el nombre, el tamaño y el tipo de arreglo en el cual se van a introducir los datos. A continuación, se explicará el programa de manera detallada.

No menos importante es la programación del puerto a utilizar. En este caso, se utiliza el puerto serial COM1, el cual se programa con la siguiente línea:

```
comm1.CommPort = 1
```

Se eligió hacer una transmisión serial debido a la facilidad que esta lleva consigo. De esta manera, el usuario no tendrá más que instalar el software adecuado y conectar externamente el sistema, sin tener que abrir la computadora para instalar una tarjeta. De igual manera, se pensó en hacer un sistema portátil, el cual podrá ser conectado a una computadora personal portátil (*laptop* o similar) y ser conectado y desconectado al gusto del usuario.

En este caso la transmisión será unidireccional, es decir, la computadora sólo recibirá datos del microcontrolador. La velocidad de transmisión, llamada también Baud Rate, y cuyas unidades son Bits por segundo (BPS), será de 19200 BPS. De igual manera, el siguiente parámetro indica la paridad a utilizar en la transmisión. Este parámetro permite la corrección de errores en transmisiones seriales, pero debido a la naturaleza de los datos a recibir y del tipo de transmisión-recepción, este parámetro no se utiliza. De ahí, la letra N cuyo significado es *NON PARITY* o no paridad. El siguiente dato indica el número de bits a recibir. En este caso, se recibirán paquetes de ocho bits, es decir, un byte. Cada punto que se despliegue en la gráfica es un dato formado por ocho bits. El último parámetro, es el bit de paro, el cual nos indica el momento en el que finaliza el paquete de información o byte. Estos parámetros se definen en el programa mediante la siguiente instrucción:

```
comm1.Settings = "19200,N,8,1"
```

Una vez habiendo programado los parámetros de recepción de datos del puerto serial, se le debe indicar al control que queremos leer el *buffer* completo cuando la entrada esté en uso. Esto se hace mediante la siguiente instrucción:

***comm1.InputLen = 0***

Finalmente, lo que nos queda, es abrir el puerto, es decir, prepararlo para la recepción de datos con la siguiente instrucción:

***comm1.PortOpen = True***

Una vez programados estos parámetros, se tiene listo el puerto para una correcta recepción de datos. Es importante enfatizar, que la transmisión del microcontrolador, debe adecuarse a la recepción de la computadora. Por ello, los parámetros de transmisión de uno, son iguales que los de recepción del otro.

A continuación, se prepara a la computadora a entrar en un ciclo, en el cual espere un dato, y no se salga de ese ciclo hasta haberlo recibido. Con esto, nos aseguramos de que la computadora reciba uno y sólo un dato, evitando así, pérdida o extravío de información. Una vez obtenido el dato, la computadora sale de dicho ciclo para pasar al proceso de graficación. A continuación, se presenta el ciclo en el cual, la computadora espera el dato hasta recibirlo.

***Do***

***dummy = DoEvents()***

***Loop Until comm1.InBufferCount >= 1***

Una vez obtenido el dato se pasa a una variable temporal, para después ser introducida al arreglo, mediante un previo procesado del dato y ser desplegada. El ciclo anterior, se mete en otro ciclo para volver a recibir otro dato y prepararlo de igual manera para despliegue. Dicho ciclo, se realiza un número predeterminado de veces, con el cual se forma el arreglo. A continuación, se ilustra como quedan ambos ciclos:

***For ciclo = 1 To 1000***

***Do***

***dummy = DoEvents()***

***Loop Until comm1.InBufferCount >= 1***

***Next ciclo***

Una vez formado el arreglo, de 1000 datos, estos se despliegan en la pantalla. Para ello, se realiza un ciclo del mismo tamaño, el cual incluye la instrucción de despliegue. Dicho despliegue se realiza mediante el trazo de líneas del punto anterior al punto actual. Esta serie de instrucciones se presenta a continuación.

***For ciclo = 1 To 1000***

***ForeColor = QBColor(0)***



***pic\_señales.Line ((ciclo - 1), num(ciclo - 1))-(ciclo, num(ciclo))***  
***Next ciclo***

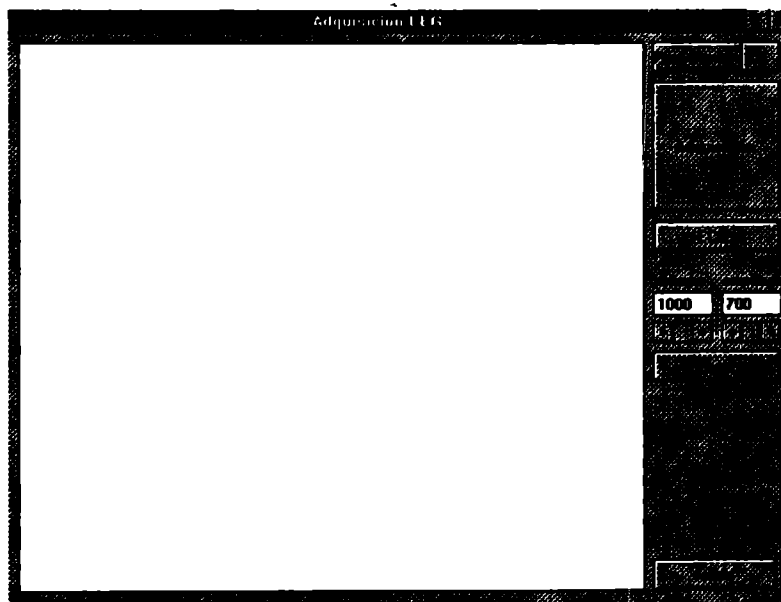
En la anterior serie de instrucciones, se presenta la programación del color en el cual se va a dibujar la gráfica, es decir, color cero (el cual equivale al color negro) y la línea que se va a dibujar de dicho color. Esta línea, nos presenta el punto inicial de la línea y punto final de la línea. *ciclo-1* representa la coordenada x de la señal, es decir, el equivalente al tiempo de la adquisición, y *num(ciclo-1)* representa el valor la señal recibida, es decir, la amplitud, ambos en el tiempo anterior. La siguiente coordenada, corresponde a *ciclo, num(ciclo)*, el cual representa el punto del tiempo actual. Gracias al arreglo, aseguramos no perder el tiempo anterior, aprovechándolo para la graficación del punto siguiente.

Una vez terminada la graficación del arreglo, nos queda volver al ciclo de recepción de datos y así sucesivamente hasta que el usuario decida salir.

Finalmente, nos queda una última instrucción, la cual es cerrar el puerto. De no hacer esto, podríamos tener problemas posteriores con la recepción de datos al intentar abrir un puerto que ya está abierto. Por ello, la siguiente instrucción es indispensable:

***comm1.PortOpen = False***

Es importante mencionar, que el tamaño del arreglo, nos va a determinar que tan apegada esté nuestra señal de un tiempo real. Mientras más pequeño sea este, se aproximará más al tiempo real, pero perderemos más datos debido al salto de adquisición a despliegue y viceversa. De igual manera, mientras más grande sea el arreglo, más datos podremos obtener debido a la casi nula pérdida de tiempo entre recepción de dato y dato, sin embargo perderemos el tiempo real en razones de segundos. La figura 8.4 nos muestra la pantalla de graficación.



***Figura 8.4 Pantalla de graficación***

Sin embargo, la importancia de este proyecto, radica en obtener información de seis canales diferentes, y presentarla al usuario en forma gráfica. A continuación, se presenta la subrutina que recibe los seis canales y los despliega gráficamente en la pantalla anterior.

Al igual que en la subrutina anterior, lo primero que se hizo, fue dimensionar las variables que se van a utilizar durante la corrida del programa. Esto se hace con base en la función que tienen cada una de ellas. A continuación se presenta dicho dimensionamiento.

```
Static num(6) As Double  
Dim dummy As Integer  
Dim InString$  
InString$ = ""  
Dim a, b  
Dim datos As String  
Static dato(6) As Integer  
Dim cont As Integer
```

Una vez más, debemos programar el puerto, pero en esta ocasión, cambiamos varios parámetros. Uno de ellos es la velocidad, la cual se cambia de 9600 BPS a 19200 BPS, lo cual equivale a recibir el doble de datos en la misma cantidad de tiempo. De igual manera, la longitud de la cadena a recibir, se aumento a 7 datos. Este programa recibe siete de los seis datos correspondientes a cada canal, más un dato extra correspondiente a un dato de sincronía. A continuación, se presenta la programación del puerto.

```
If comm1.PortOpen = True Then comm1.PortOpen = False Else GoTo abrir  
abrir:  
comm1.CommPort = 1  
comm1.Settings = "19200,N,8,1"  
comm1.InputLen = 7  
comm1.PortOpen = True
```

Una vez programado el puerto, el siguiente paso es recibir este dato para sincronizar el microcontrolador con la computadora. Inmediatamente después del dato de sincronía, se envían los datos correspondientes al canal uno, canal dos, canal tres, canal cuatro, canal cinco, canal seis y una vez más el dato de sincronía. En este momento, se verifica una vez más la sincronización del microcontrolador y la computadora. Si la sincronización es correcta, se procede a recibir los seis canales una vez más. En caso de tener una desincronización, la computadora automáticamente buscará la sincronización y desplegará los canales una vez más. A continuación se presenta el ciclo de sincronización y despliegue.

```

regresar:
pic_señales.Cls
For b = 1 To X
    a = DoEvents()
    datos = comm1.Input
    If datos <> "" Then
        If Asc(datos) = 255 Then
            For cont = 2 To 7
                dato(cont - 1) = Asc(Mid$(datos, cont, 1))
                pic_señales.PSet (b, (cont * 5 + dato(cont - 1)))
            Next
        Else
            For cont = 2 To 7
                pic_señales.PSet (b, cont * 5 + dato(cont - 1))
            Next

            comm1.InBufferCount = 0
        End If
    End If

Next b
GoTo regresar
End Sub

```

Dicho ciclo, se repite  $X$  veces, donde  $X$  es el tamaño de la pantalla de graficación. Una vez que se termina el ciclo de  $X$  veces, se limpia la pantalla y se vuelve a graficar desde el inicio.

### VIII.5.- Reescalamiento

De igual manera, esta pantalla cuenta con varios comandos, los cuales le permiten al usuario realizar cambios en el despliegue de las señales. En primer lugar, se encuentra la Barra de Desenrollamiento de la escala de tiempo y de amplitud. Manipulando estas barras, el usuario podrá cambiar la escala de tiempo y de amplitud según mejor le parezca para así obtener la información que desee. Dichos cambios se verán reflejados inmediatamente en las cajas de texto que se encuentran arriba de dichos comandos. A continuación se muestra el listado de la subrutina de reescalamiento.

```

Dim X As Integer
Dim Y As Integer
X = txtx
Y = txty
pic_señales.Scale (0, 0)-(X, Y)
pic_señales.Cls

```

En esta subrutina, se dimensionan las variables X y Y como enteras. En estas variables, se guardaran los datos bajo los cuales el usuario quiere que se haga el reescalamiento. Se hace el autoescalamiento con base en esos datos introducidos por el usuario mediante las Barras de Desenrollamiento o mediante la introducción manual de texto en las cajas de texto correspondientes. Finalmente se limpia la señal para comenzar a graficar de nueva cuenta.

#### VIII.6.- Subrutina de impresión

Un elemento básico en el desarrollo de este proyecto es el almacenamiento e impresión de gráficas importantes para el usuario. Esta subrutina, se desarrollo, pensando en la utilización de los elementos de Windows, por su facilidad para guardar, abrir, editar e imprimir. De esta manera, se eligió el protocolo BMP para guardar las imágenes, posteriormente abrirlas, editarlas e imprimirlas desde cualquier aplicación que lea este tipo de formato, como lo es *Paintbrush*. A continuación, se presenta la subrutina de grabado de la señal. En términos generales, en esta subrutina, se dimensiona la variable del mensaje a desplegar, se programa el mensaje, se abre una caja de mensaje, desplegándolo y se graba la gráfica en el subdirectorio *c:\windows* con el nombre de *test.bmp*. Esto nos permite grabar una grafica, para uso posterior, en un formato muy general.

```
Sub cmd_screen_Click ()  
Dim Msg  
Msg = "Choose OK to save the graphics from this form "  
Msg = Msg & "to a bitmap file."  
MsgBox Msg  
SavePicture pic_señales.Image, "c:\windows\test.bmp"  
  
End Sub
```

De igual forma, se presentan a continuación todos los elementos que componen esta forma, así como sus respectivas propiedades.

```
Begin Form prueba_serial  
BackColor = &H00C0C0C0&  
BorderStyle = 1 Fixed Single  
Caption = "Prueba de adquis  
ClientHeight = 6870  
ClientLeft = 0  
ClientTop = 345  
ClientWidth = 9600  
ClipControls = 0 False  
ControlBox = 0 False  
FillColor = &H00C0C0C0&  
Height = 7275  
Left = -60
```

```

LinkTopic      = "Form1"
ScaleHeight   = 540
ScaleWidth    = 540
Top           = 0
Width         = 9720
Begin CommandButton Command4
  Caption      = "GRAPH (serial6
  Height       = 255
  Left        = 7920
  TabIndex    = 11
  Top         = 1560
  Width       = 1575
End
Begin SSRibbon GroupPush3DI
  AutoSize    = 0 'None
  BackColor  = &H00C0C0C0&
  Height     = 375
  Left       = 9000
  PictureDisabled = (none)
  PictureDn   = (none)
  PictureDnChange = 1 'Dither 'Pict
  PictureUp  = (none)
  Top        = 120
  Width     = 495
End
Begin CommandButton cmd_screen
  caption     = "Print Screen"
  Height     = 375
  Left       = 7920
  TabIndex  = 10
  Top        = 120
  Width     = 1095
End
Begin CommandButton salida
  Caption    = "salida"
  Height     = 375
  Left       = 7920
  TabIndex  = 9
  Top        = 6360
  Width     = 1515
End
Begin PictureBox pic_ señales
  AutoSize   = -1 'True
  ClipControls = 0 'False
  Height     = 6615
  Left       = 120
  ScaleHeight = 6585

```

```

ScaleWidth = 7665
TabIndex = 8
Top = 120
Width = 7695
End
Begin MSComm Comm1
Interval = 1000
Left = 120
Top = 63 60
End
Begin CommandButton cmd_Zoom
Caption = "Zoom"
Height = 375
Left = 7920
TabIndex = 5
Top = 3480
Width = 1575
End
Begin HScrollBar HScrolly
Height = 255
Left = 8760
TabIndex = 4
Top = 3120
Width = 735
End
Begin HScrollBar HScrollx
Height = 255
Left = 7920
TabIndex = 3
Top = 3120
Width = 735
End
Begin TextBox txty
BackColor = &H00FFFFFF&
Height = 285
Left = 8760
TabIndex = 2
Text = " "
Top = 2760
Width = 735
End
Begin TextBox txtx
Alignment = 1 'Right Just
BackColor = &H00FFFFFF&
Height = 2 8 5
HelpContextID= 1000
Left = 7920

```

```

TabIndex    = - 1
Tag         = // //
Text        = " "
Top         = 2760
Width       = 735
End
Begin CommandButton Command1
Caption     = "ECG "
Height      = 255
Left        = 7920
TabIndex    = 0
Top         = 2280
Width       = 1575
End

```

```

Begin Label Label2
Alignment   = 2 'Center
BackColor  = &H00C0C0C0&
Caption     = "amplitud"
Height      = 255
Left        = 8760
TabIndex    = 7
Top         = 2520
Width       = 735
End

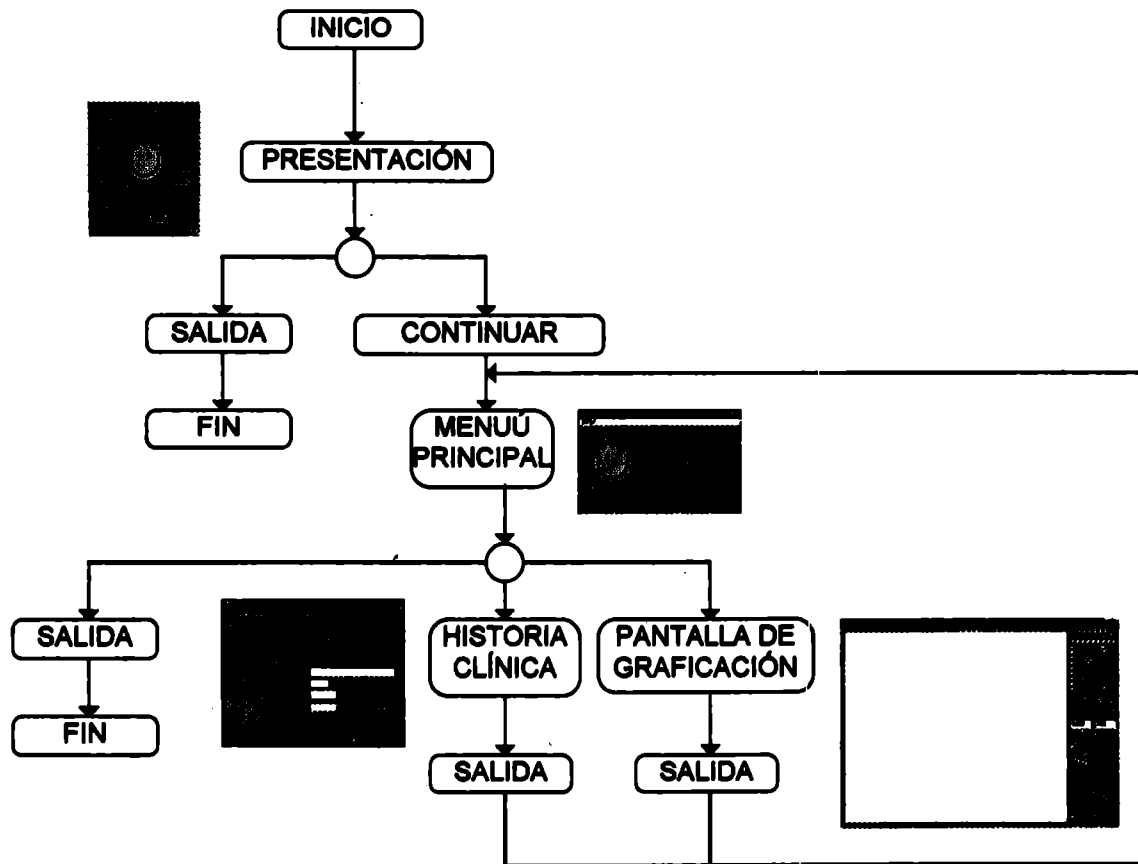
```

```

Begin Label Label1
Alignment   = 2 'Center
BackColor  = &H00C0C0C0&
Caption     = "tiempo"
Height      = 255
Left        = 7920
TabIndex    = 6
Top         = 2520
Width       = 735
End
End

```

## Diagrama de flujo general





## **Capítulo IX**

### **Ventajas del sistema.**

El sistema de electroencefalografía digital de seis canales interfazable a una P.C. (EDIC-6), es un sistema muy versátil, ya que se presenta en un módulo portátil, que se puede conectar por medio de un cable con terminal DB-9 a cualquier puerto serial, ya sea de una computadora personal (PC), o a una *Laptop*. La única limitación que se presenta es que la computadora a la que se interfase el sistema debe trabajar con ambiente tipo *Windows*. Partiendo de esto, es posible considerar al sistema de electroencefalografía como un aparato novedoso y con múltiples aplicaciones, ya sea en psiquiatría como en psicología o inclusive en medicina especializada.

El sistema de electroencefalografía (EDIC-6) tiene, por otro lado, algunas limitantes. El EDIC-6 tiene un ancho de banda limitado, es decir, no es posible ver con detalle algunas señales de frecuencias relativamente altas (tomando en cuenta que las señales del cerebro oscilan en frecuencias de 0.5 hasta 100Hz). Por esta razón no se recomienda su uso en aplicaciones clínicas específicas como lo sería la epilepsia.

Por otra parte, el EDIC-6 puede adaptarse para ser utilizado como electrocardiógrafo (ECG), electromiógrafo o para lo que fué diseñado, electroencefalógrafo (EEG), modificando la ganancia de amplificación de la última etapa.

Una de las mayores ventajas del EDIC-6 es que cuenta con un *software* muy amigable, que permite que cualquier persona lo opere sin necesidad de grandes conocimientos de computación o sistemas operativos.

El EDIC-6 es un módulo de evaluación de ondas cerebrales portátil, que permite observar la actividad cerebral de seis zonas cerebrales distintas al mismo tiempo. Además de contar con un sistema de seguridad especial que evita descargas de corriente hacia el paciente.

Puede utilizarse también para monitorear la actividad corporal de seis pacientes aislados por medio de una sola computadora terminal, en la que el usuario podrá observar las seis señales sin necesidad de abandonar su espacio de trabajo.

Existen también, tres diferentes programas que facilitan la adaptabilidad del sistema. El programa de EEG para monitoreo de ondas cerebrales y el programa de ECG para monitoreo de ondas cardiacas. El programa de EMG está siendo desarrollado. En un futuro próximo podrán utilizarse aplicaciones de telemetría.

Otra de las ventajas del EDIC-6 es su bajo costo y fácil remplazo de componentes dañados, ya que estos se encuentran en su totalidad en el mercado nacional.

Comparado el costo de EDIC-6 con otros productos similares en el mercado, este proyecto resulta una buena alternativa.

## Capítulo X Costo del proyecto hasta el momento.

La factibilidad de construcción del Electrencefalógrafo digital de seis canales interfazable a una P.C. (EDIC-6) depende directamente del costo de la etapa de adquisición, amplificación y filtrado de las señales, así como de la interfase *dispositivo-programador*, construida esencialmente con un microcontrolador 8031. Los costos de las partes que constituyen la primera etapa se desglosan a continuación.

Placa fenólica de una cara	N\$ 13.43
Dos porta pilas de 9V	N\$ 2.60
6 x 2N2222	N\$ 23.47
400 Resistencias de carbón	N\$ 19.82
43 Capacitores de poliéster y electrolíticos	N\$ 63.47
11 Trim-pots cuadrados	N\$ 72.18
6 x 4N25 (optoacoplador)	N\$ 30.24
12 x LF347 (opam)	N\$ 148.20
6 x LF351 (opam)	N\$ 37.02
<u>6 x Circuitos impresos de doble cara</u>	<u>N\$ 707.00</u>
<b>Total Aproximado</b>	<b>N\$ 1117.43</b>

Analizando los costos de la etapa de interfase analógica-digital, obtenemos los siguientes resultados.

74LS373 (Latch)	N\$ 5.72
ADC0809 (Convertidor)	N\$ 36.00
27C256 (EPROM)	N\$ 28.00
75188 (Driver serial)	N\$ 10.00
MC 8031 (Microcontrolador)	N\$ 63.00
74LS02 (Compuerta NOR)	N\$ 2.50
Xtal 11.0592 MHz	N\$ 17.00
Xtal Oscilador 1MHz	N\$ 94.00
Circuito impreso de doble cara	N\$ 224.00
<u>Capacitor 10 uF</u>	<u>N\$ 2.50</u>
<b>Total Aproximado</b>	<b>N\$ 482.72</b>

### Costos del material en general:

6 metros de cable	N\$ 17.76
Transformador 36V 2A	N\$ 50.00
2 x Switch	N\$ 25.65
Linea para computadora	N\$ 13.04
Conectores DB9	N\$ 16.95
Cubierta para DB9	N\$ 4.34

Gabinete	N\$ 81.00
13 Jack-Banana	N\$ 17.00
40 Bases para CI	N\$ 69.60
5 leds	N\$ 6.52
5 portaleds	N\$ 2.60
<u>Costos Varios</u>	<u>N\$ 100.00</u>
<b>Total Aproximado</b>	<b>N\$ 404.46</b>

**Costo aproximado Total: N\$ 2000.00**

Debido a la búsqueda de la calidad en el producto, los elementos comprados fueron de primera calidad, elevando los precios al nivel antes referido. Es importante recordar también que el costo global aumentó considerablemente debido a que se está trabajando con seis canales, lo cual multiplica los costos de la etapa de amplificación seis veces.

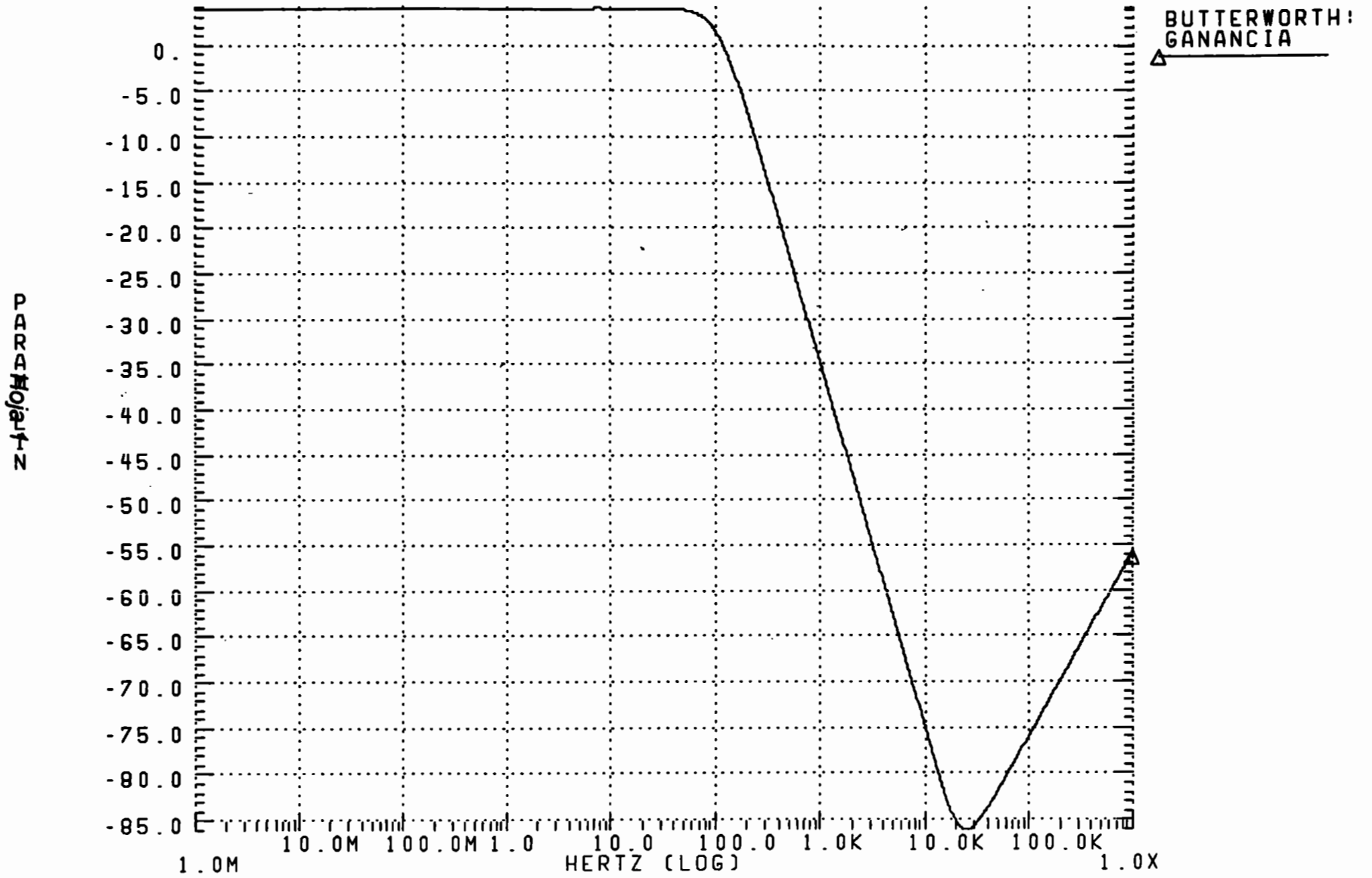
Los resultados no se apegaron al presupuesto inicial, debido a la inestabilidad del peso en los mercados bursátiles. Debemos recordar que la mayor parte de los elementos utilizados están cotizados en Dólares, a pesar de estar en venta en el mercado nacional.

## **Capítulo XI Conclusiones**

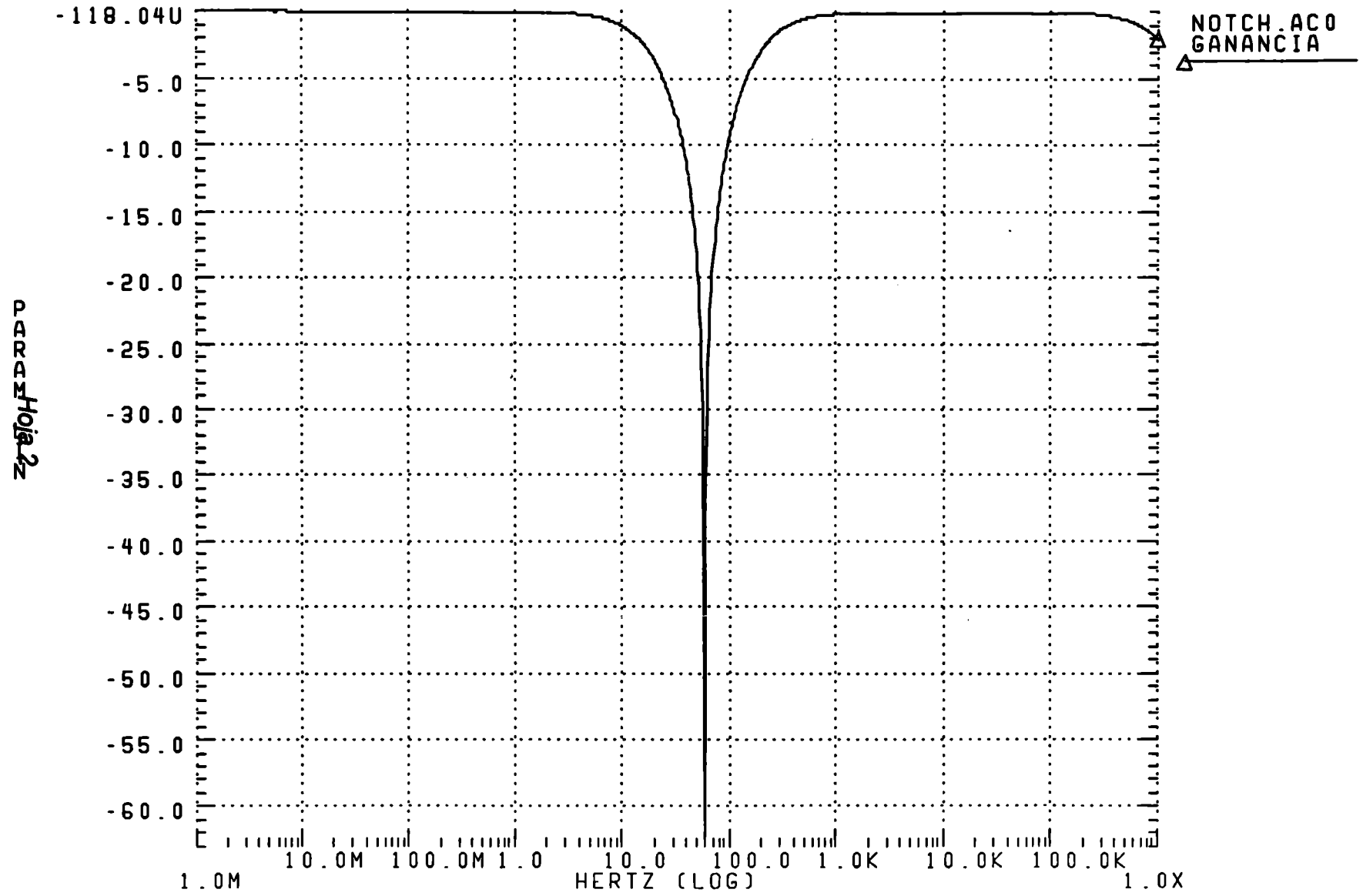
1. A pesar de que las señales corporales analizadas (frecuencia cardiaca, actividad cerebral y actividad muscular) son de muy baja amplitud (en el orden de los  $\mu\text{V}$ ) fué posible adquirirlas y analizarlas por medio de los amplificadores de instrumentación que resultaron ser una herramienta muy valiosa para el desarrollo de este proyecto.
2. Gracias a la sensibilidad de los amplificadores de instrumentación fué posible registrar las señales cerebrales sin contar con electrodos especializados de electroencefalografía, lo cual redujo de manera significativa el costo del proyecto.
3. La etapa de filtrado superó nuestras expectativas al disminuir considerablemente los efectos nocivos del ruido, tanto musculares, ambientales como los inducidos por la línea de alimentación.
4. El uso de herramientas especializadas (programas computacionales como *HSPICE*, *HSPLIT*, *EASYTRAX*, *PCAD*), tanto para diseño, simulación y fabricación agilizó el desarrollo del proyecto.
5. A pesar de no contar con experiencia en el área de la ingeniería biomédica, el diseño y consolidación del proyecto fueron exitosos. Sin embargo, fué necesario estudiar y aprender sobre anatomía, fisiología y medicina general.
6. Otra limitante que se presentó, fue la falta de bibliografía especializada.
7. Se pudo comprobar la facilidad de interconexión entre los sistemas analógicos y digitales mediante simple circuitos integrados, así mismo como su utilidad y práctico desempeño.
8. La comunicación microcontrolador-computadora jugó un papel importante, ya que ésta permitió el acoplamiento exitoso entre la etapa analógica y la etapa de despliegue en computadora.
9. La computadora resultó ser una herramienta muy valiosa por su versatilidad, tanto en el despliegue, decodificación, diseño y comunicación del proyecto.
10. Se utilizó exitosamente el microcontrolador como multiplexor y a su vez la computadora como demultiplexor de seis señales.
11. A pesar de las grandes limitantes del lenguaje de programación *Visual Basic*, se obtuvo con éxito la interfase gráfica, siendo ésta la parte de contacto y análisis para el usuario.

**Capítulo XII**  
**Hojas de diagramas y circuitos impresos**

FILTRO PASABAJOS BUTTERWORTH N-2 VCVS @100HZ  
95/11/10 18:15:24

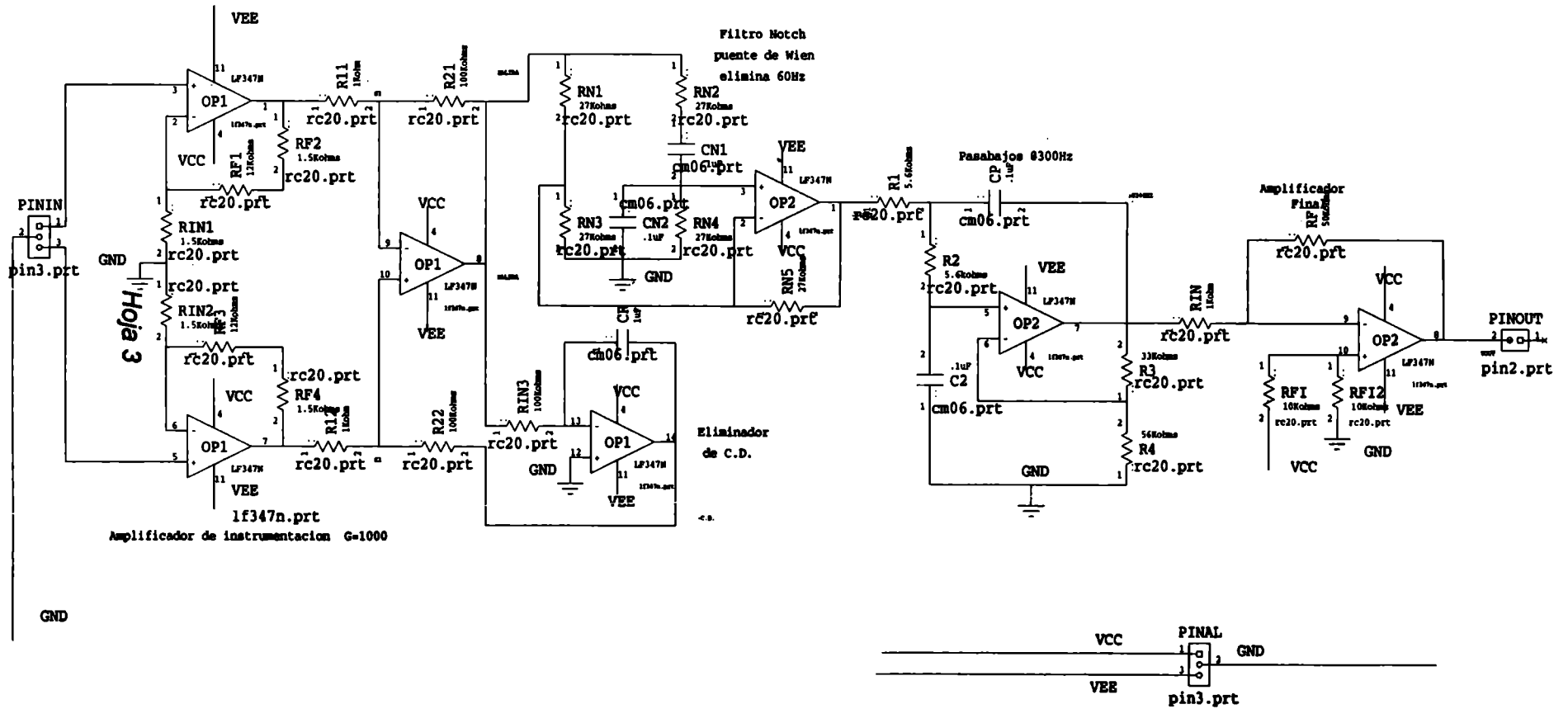


FILTRO NOTCH PUENTE DE WIEN (60HZ)  
95/11/10 19:36:24

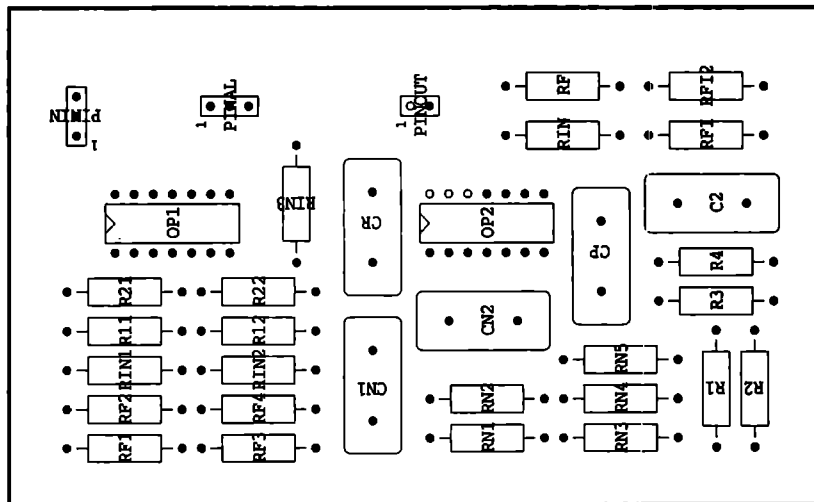


# Adquisición, amplificación y filtrado de señales Electrocardiográficas

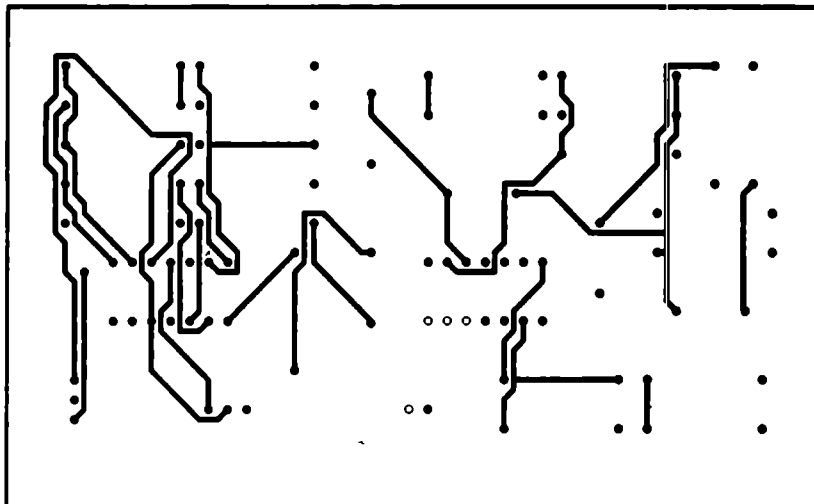
Utilizando el C.I. lf347n



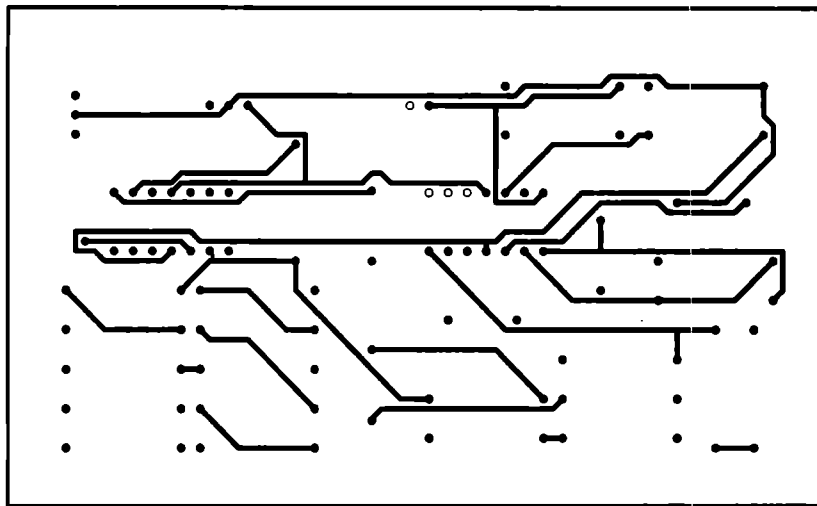




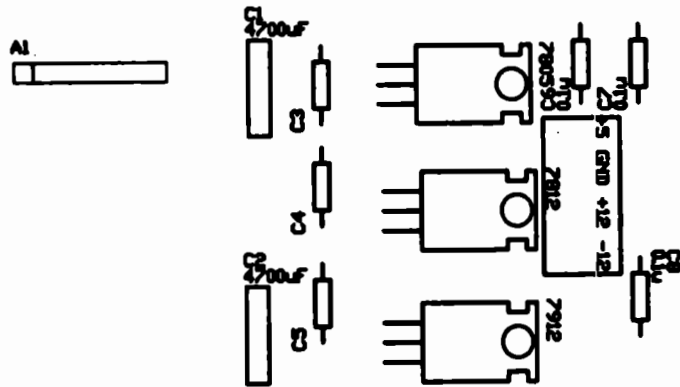
Hoja 4



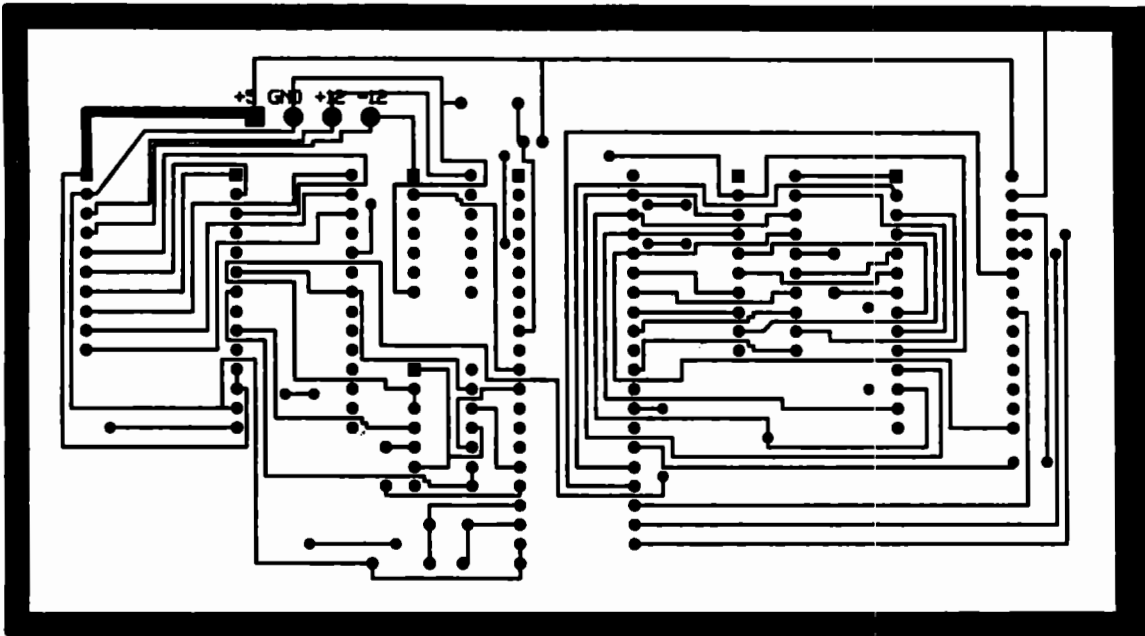
Hoja 5



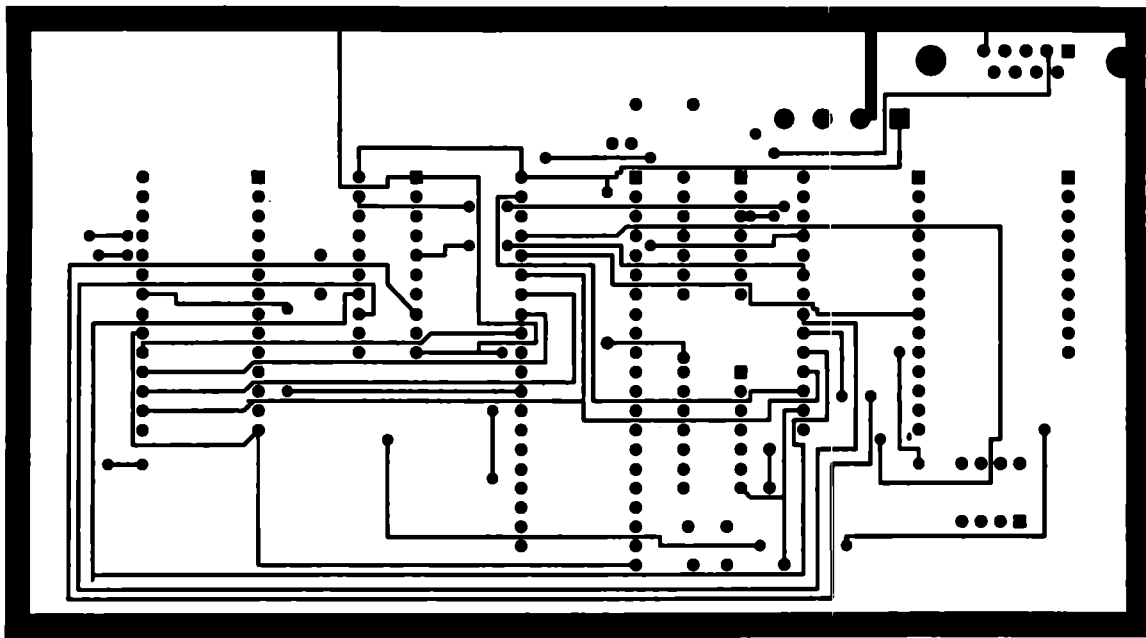
Hoja 6



FUE Overlay

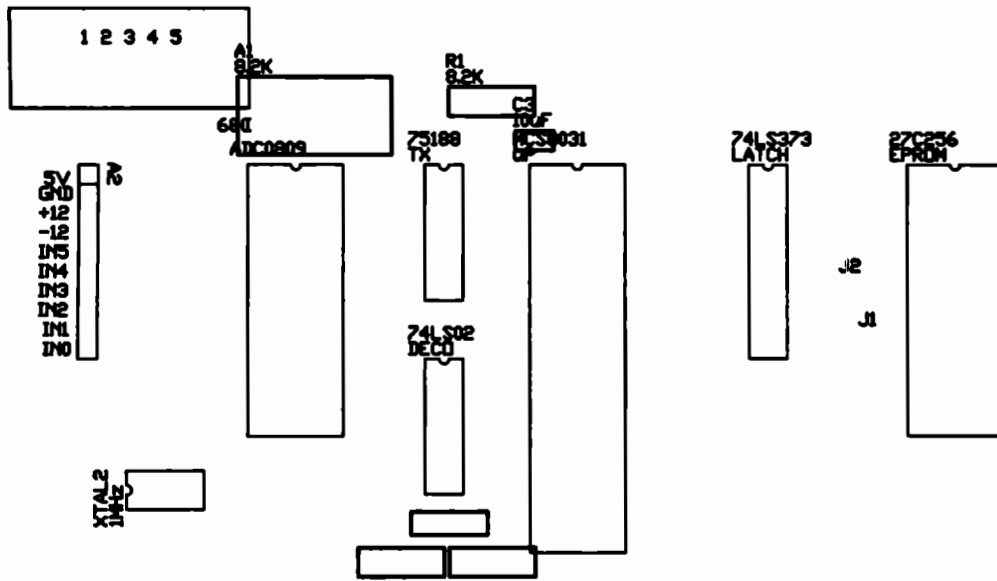


MI Bottom Layer



M18031 Top Layer

Hoja 11



MI8031 Overlay

**SN5402, SN54LS02, SN54S02,  
SN7402, SN74LS02, SN74S02**  
**QUADRUPLE 2-INPUT POSITIVE-NOR GATES**  
DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

**description**

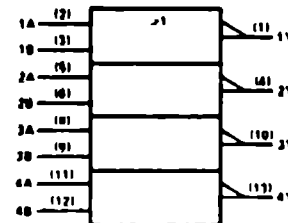
These devices contain four independent 2-input-NOR gates.

The SN5402, SN54LS02, and SN54S02 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7402, SN74LS02, and SN74S02 are characterized for operation from 0°C to 70°C.

**FUNCTION TABLE (each gate)**

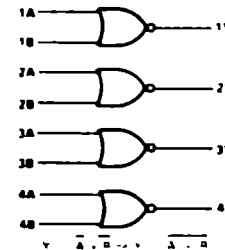
INPUTS		OUTPUT
A	B	Y
H	X	L
X	H	L
L	L	H

**logic symbol†**

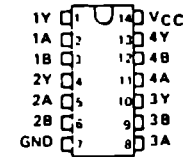


†The symbol is in accordance with ANSI IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, and N packages.

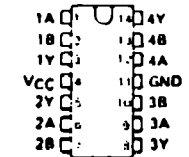
**logic diagram (positive logic)**



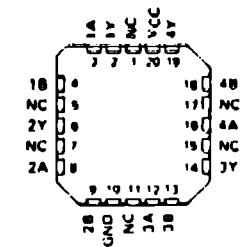
SN5402 J PACKAGE  
SN54LS02, SN54S02 . . . J OR W PACKAGE  
SN7402 N PACKAGE  
SN74LS02, SN74S02 . . . D OR N PACKAGE  
(TOP VIEW)



SN5402 W PACKAGE  
(TOP VIEW)



SN54LS02, SN54S02 FE PACKAGE  
(TOP VIEW)



NC = no internal connection.

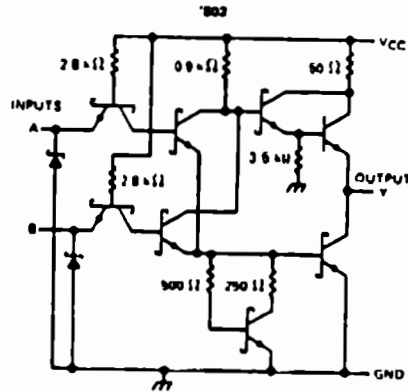
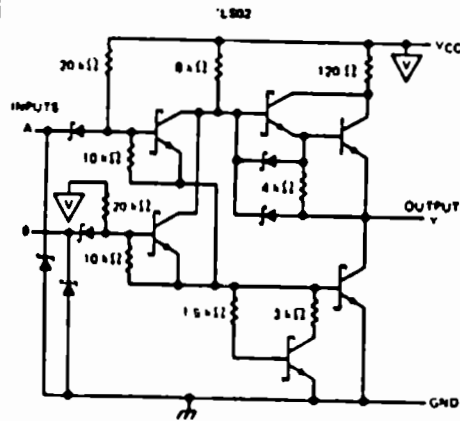
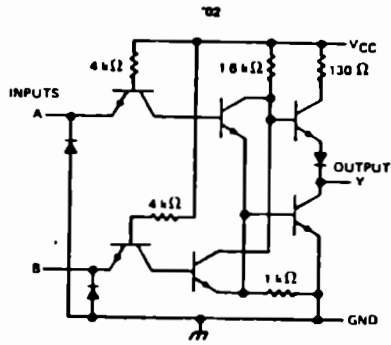
PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



**SN5402, SN54LS02, SN54S02,  
SN7402, SN74LS02, SN74S02**  
QUADRUPLE 2-INPUT POSITIVE-NOR GATES

**SN5402, SN7402**  
QUADRUPLE 2-INPUT POSITIVE-NOR GATES

schematics (each gate)



Resistor values shown are nominal

**absolute maximum ratings over operating free-air temperature range (unless otherwise noted)**

Supply voltage, VCC (see Note 1)	7 V
Input voltage: '02, 'S02	5.5 V
'LS02	7 V
Off-state output voltage	7 V
Operating free-air temperature range: SN54'	-55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal

**recommended operating conditions**

	SN5402			SN7402			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
VCC Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub> High-level input voltage	2			2			V
V <sub>IL</sub> Low-level input voltage			0.8			0.8	V
I <sub>OH</sub> High-level output current			-0.4			-0.4	mA
I <sub>OL</sub> Low-level output current			16			16	mA
T <sub>A</sub> Operating free-air temperature	-55		125	0		70	°C

**electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)**

PARAMETER	TEST CONDITIONS †	SN5402		SN7402		UNIT	
		MIN	TYP ‡	MAX	MIN		TYP ‡
V <sub>IK</sub>	VCC - MIN, I <sub>I</sub> = -12 mA			-1.5		-1.5	V
V <sub>OH</sub>	VCC - MIN, V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = -0.4 mA	2.4	3.4	2.4	3.4		V
V <sub>OL</sub>	VCC - MIN, V <sub>IH</sub> = 2 V, I <sub>OL</sub> = 16 mA	0.2	0.4	0.2	0.4		V
I <sub>I</sub>	VCC - MAX, V <sub>I</sub> = 5.5 V		1		1		mA
I <sub>IH</sub>	VCC - MAX, V <sub>I</sub> = 2.4 V		40		40		µA
I <sub>IL</sub>	VCC - MAX, V <sub>I</sub> = 0.4 V		-1.6		-1.6		mA
I <sub>OS †</sub>	VCC - MAX	-20	-55	-10	-55		mA
I <sub>CCM</sub>	VCC - MAX, V <sub>I</sub> = 0 V	8	16	8	16		mA
I <sub>CCL</sub>	VCC - MAX, See Note 2	16	27	16	27		mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
‡ All typical values are at VCC = 5 V, T<sub>A</sub> = 25°C.  
§ Not more than one output should be shorted at a time.  
NOTE 2: One input at 4.5 V, all others at GND.

**switching characteristics, VCC = 5 V, T<sub>A</sub> = 25°C (see note 3)**

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t <sub>PLH</sub>	A or B	Y	R <sub>L</sub> = 400 Ω, C <sub>L</sub> = 15 pF		12	22	ns
t <sub>PML</sub>	A or B	Y	R <sub>L</sub> = 400 Ω, C <sub>L</sub> = 15 pF		8	16	ns

NOTE 3: Load circuits and voltage waveforms are shown in Section 1

2

TTL Devices

2

TTL Devices

**SN54LS02, SN74LS02**  
**QUADRUPLE 2-INPUT POSITIVE-NOR GATES**

**SN54S02, SN74S02**  
**QUADRUPLE 2-INPUT POSITIVE-NOR GATES**

**recommended operating conditions**

	SN54LS02			SN74LS02			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
VCC	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	2			2			V
V <sub>IL</sub>		0.7		0.8			V
I <sub>OH</sub>		-0.4		-0.4			mA
I <sub>OL</sub>		4		8			mA
T <sub>A</sub>	-55	125		0	70		°C

**electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)**

PARAMETER	TEST CONDITIONS †	SN54LS02			SN74LS02			UNIT
		MIN	TYP ‡	MAX	MIN	TYP ‡	MAX	
V <sub>IK</sub>	VCC - MIN, I <sub>I</sub> = -18 mA			-1.5		-1.5	V	
V <sub>OH</sub>	VCC - MIN, V <sub>IL</sub> = MAX, I <sub>OH</sub> = -0.4 mA	2.5	3.4	2.7	3.4		V	
V <sub>OL</sub>	VCC - MIN, V <sub>IH</sub> = 2 V, I <sub>OL</sub> = 4 mA	0.25	0.4	0.25	0.4		V	
	VCC - MIN, V <sub>IH</sub> = 2 V, I <sub>OL</sub> = 8 mA			0.35	0.5			
I <sub>I</sub>	VCC - MAX, V <sub>I</sub> = 2 V		0.1		0.1		mA	
I <sub>IH</sub>	VCC - MAX, V <sub>I</sub> = 2.7 V		20		20		µA	
I <sub>IH</sub>	VCC - MAX, V <sub>I</sub> = 2.7 V		-0.4		-0.4		mA	
I <sub>IL</sub>	VCC - MAX, V <sub>I</sub> = 0.4 V		-20		-100		mA	
I <sub>OL</sub> §	VCC + MAX	-20	-100	-20	-100		mA	
I <sub>CC1</sub>	VCC - MAX, V <sub>I</sub> = 0 V		1.6		3.2		mA	
I <sub>CC2</sub>	VCC - MAX, See Note 2		2.8		5.4		mA	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
 ‡ All typical values are at VCC = 5 V, TA = 25°C.  
 § Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.  
 NOTE 2 One input at 4.5 V, all others at GND.

**switching characteristics, VCC = 5 V, TA = 25°C (see note 3)**

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t <sub>PLH</sub>	A or B	Y	R <sub>L</sub> = 2 kΩ, C <sub>L</sub> = 15 pF	10	15		ns
t <sub>PHL</sub>				10	15		ns

NOTE 3 Load circuits and voltage waveforms are shown in Section 1.

**recommended operating conditions**

	SN54S02			SN74S02			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
VCC	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	2			2			V
V <sub>IL</sub>		0.8		0.8			V
I <sub>OH</sub>		-1		-1			mA
I <sub>OL</sub>		20		20			mA
T <sub>A</sub>	-55	125		0	70		°C

**electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)**

PARAMETER	TEST CONDITIONS †	SN54S02			SN74S02			UNIT
		MIN	TYP ‡	MAX	MIN	TYP ‡	MAX	
V <sub>IK</sub>	VCC - MIN, I <sub>I</sub> = -18 mA			-1.2		-1.2	V	
V <sub>OH</sub>	VCC - MIN, V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = -1 mA	2.5	3.4	2.7	3.4		V	
V <sub>OL</sub>	VCC - MIN, V <sub>IH</sub> = 2 V, I <sub>OL</sub> = 20 mA		0.6		0.6		V	
I <sub>I</sub>	VCC - MAX, V <sub>I</sub> = 5.5 V		1		1		mA	
I <sub>IH</sub>	VCC - MAX, V <sub>I</sub> = 2.7 V		50		50		µA	
I <sub>IL</sub>	VCC - MAX, V <sub>I</sub> = 0.8 V		-2		-2		mA	
I <sub>OS</sub> §	VCC - MAX	-80	-100	-80	-100		mA	
I <sub>CC1</sub>	VCC + MAX, V <sub>I</sub> = 0 V		17		29		mA	
I <sub>CC2</sub>	VCC + MAX, See Note 2		26		46		mA	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
 ‡ All typical values are at VCC = 5 V, TA = 25°C.  
 § Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.  
 NOTE 2 One input at 4.5 V, all others at GND.

**switching characteristics, VCC = 5 V, TA = 25°C (see note 3)**

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t <sub>PLH</sub>	A or B	Y	R <sub>L</sub> = 280 Ω, C <sub>L</sub> = 15 pF	3.5	5.5		ns
t <sub>PHL</sub>				3.5	5.5		ns
t <sub>PLH</sub>	A or B	Y	R <sub>L</sub> = 280 Ω, C <sub>L</sub> = 50 pF	5			ns
t <sub>PHL</sub>				5			ns

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

2

TTL Devices

2

TTL Devices

## DS1488 Quad Line Driver

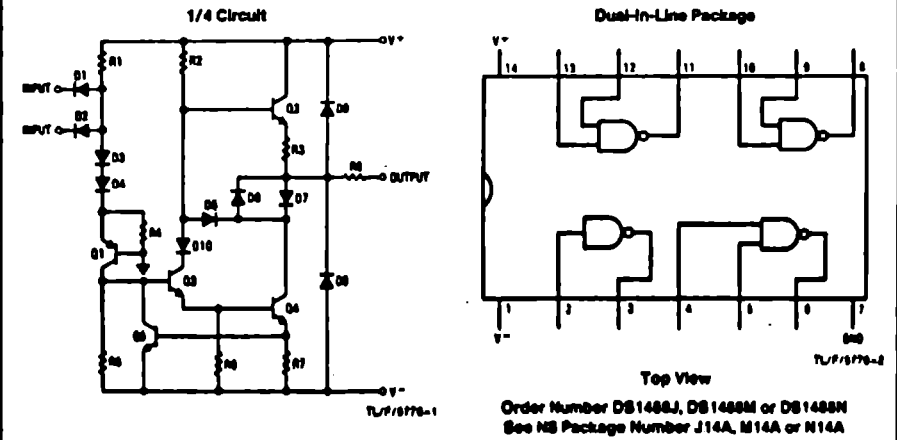
### General Description

The DS1488 is a quad line driver which converts standard TTL input logic levels through one stage of inversion to output levels which meet EIA Standard No. RS-232C and CCITT Recommendation V.24.

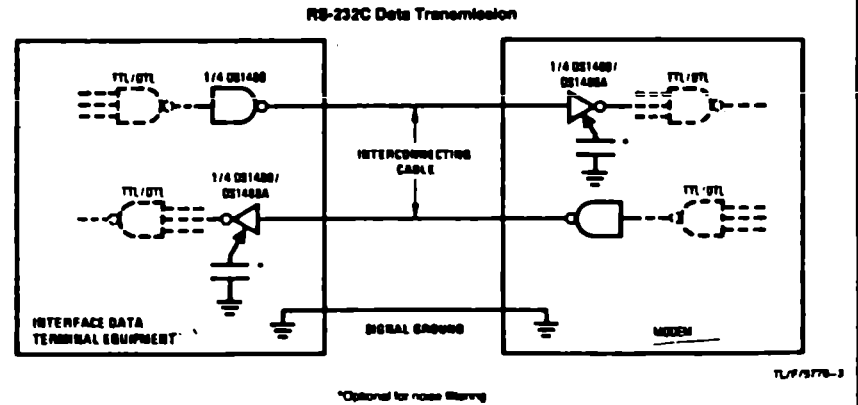
### Features

- Current limited output ±10 mA typ
- Power-off source impedance 300Ω min
- Simple slew rate control with external capacitor
- Flexible operating supply range
- Inputs are TTL/LS compatible

### Schematic and Connection Diagrams



### Typical Applications



**Absolute Maximum Ratings** (Note 1)

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage		
V+		±15V
V-		-15V
Input Voltage (V <sub>IN</sub> )	-15V ≤ V <sub>IN</sub> ≤ 7.0V	
Output Voltage		±15V
Operating Temperature Range		0°C to +75°C

Storage Temperature Range -85°C to +150°C

Maximum Power Dissipation* at 25°C	
Cavity Package	1364 mW
Molded DIP Package	1280 mW
SO Package	974 mW
Lead Temperature (Soldering, 4 sec.)	260°C

\*Derate cavity package 9.1 mW/°C above 25°C; derate molded DIP package 10.2 mW/°C above 25°C; derate SO package 7.8 mW/°C above 25°C.

**Electrical Characteristics** (Notes 2 and 3) V<sub>CC+</sub> = 9V, V<sub>CC-</sub> = -9V unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
I <sub>IL</sub>	Logical "0" Input Current	V <sub>IN</sub> = 0V		-1.0	-1.3	mA
I <sub>IH</sub>	Logical "1" Input Current	V <sub>IN</sub> = +5.0V		0.005	10.0	µA
V <sub>OH</sub>	High Level Output Voltage	R <sub>L</sub> = 3.0 kΩ, V <sub>IN</sub> = 0.8V	V+ = 9.0V, V- = -9.0V	6.0	7.0	V
			V+ = 13.2V, V- = -13.2V	9.0	10.5	V
V <sub>OL</sub>	Low Level Output Voltage	R <sub>L</sub> = 3.0 kΩ, V <sub>IN</sub> = 1.9V	V+ = 9.0V, V- = -9.0V	-6.0	-6.8	V
			V+ = 13.2V, V- = -13.2V	-9.0	-10.5	V
I <sub>OS+</sub>	High Level Output Short-Circuit Current	V <sub>OUT</sub> = 0V, V <sub>IN</sub> = 0.8V		-6.0	-10.0	mA
I <sub>OS-</sub>	Low Level Output Short-Circuit Current	V <sub>OUT</sub> = 0V, V <sub>IN</sub> = 1.9V		6.0	10.0	mA
R <sub>OUT</sub>	Output Resistance	V+ = V- = 0V, V <sub>OUT</sub> = ±2V		300		Ω
I <sub>CC+</sub>	Positive Supply Current (Output Open)	V <sub>IN</sub> = 1.9V	V+ = 9.0V, V- = -9.0V	15.0	20.0	mA
			V+ = 12V, V- = -12V	19.0	26.0	mA
			V+ = 15V, V- = -15V	25.0	34.0	mA
		V <sub>IN</sub> = 0.8V	V+ = 9.0V, V- = -9.0V	4.5	6.0	mA
			V+ = 12V, V- = -12V	6.5	7.0	mA
			V+ = 15V, V- = -15V	8.0	12.0	mA
I <sub>CC-</sub>	Negative Supply Current (Output Open)	V <sub>IN</sub> = 1.9V	V+ = 9.0V, V- = -9.0V	-13.0	-17.0	mA
			V+ = 12V, V- = -12V	-18.0	-23.0	mA
			V+ = 15V, V- = -15V	-25.0	-34.0	mA
		V <sub>IN</sub> = 0.8V	V+ = 9.0V, V- = -9.0V	-0.001	-0.015	mA
			V+ = 12V, V- = -12V	-0.001	-0.015	mA
			V+ = 15V, V- = -15V	-0.01	-2.5	mA
P <sub>d</sub>	Power Dissipation	V+ = 9.0V, V- = -9.0V		252	303	mW
		V+ = 12V, V- = -12V		444	576	mW

**Switching Characteristics** (V<sub>CC</sub> = 9V, V<sub>EE</sub> = -9V, T<sub>A</sub> = 25°C)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t <sub>od1</sub>	Propagation Delay to a Logical "1"	R <sub>L</sub> = 3.0 kΩ, C <sub>L</sub> = 15 pF, T <sub>A</sub> = 25°C		230	350	ns
t <sub>od0</sub>	Propagation Delay to a Logical "0"	R <sub>L</sub> = 3.0 kΩ, C <sub>L</sub> = 15 pF, T <sub>A</sub> = 25°C		70	175	ns
t <sub>r</sub>	Rise Time	R <sub>L</sub> = 3.0 kΩ, C <sub>L</sub> = 15 pF, T <sub>A</sub> = 25°C		75	100	ns
t <sub>f</sub>	Fall Time	R <sub>L</sub> = 3.0 kΩ, C <sub>L</sub> = 15 pF, T <sub>A</sub> = 25°C		40	75	ns

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified, min/max limits apply across the 0°C to +75°C temperature range for the DS1488.

Note 3: All currents into device pins shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

**Applications**

By connecting a capacitor to each driver output the slew rate can be controlled utilizing the output current limiting characteristics of the DS1488. For a set slew rate the appropriate capacitor value may be calculated using the following relationship

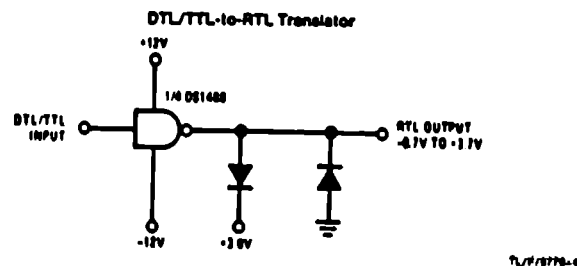
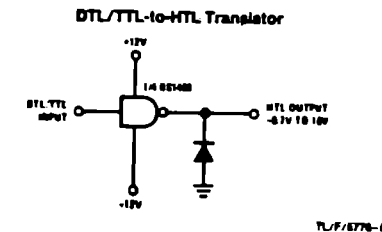
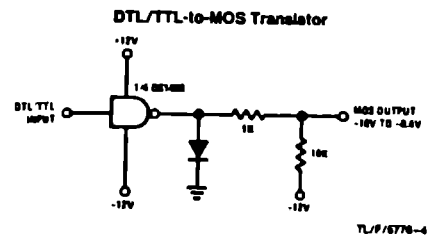
$$C = I_{SC} (\Delta T / \Delta V)$$

where C is the required capacitor, I<sub>SC</sub> is the short circuit current value, and ΔV/ΔT is the slew rate.

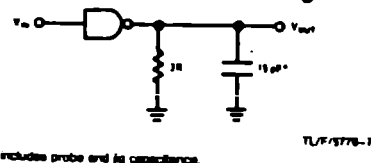
RS-232C specifies that the output slew rate must not exceed 30V per microsecond. Using the worst case output short circuit current of 12 mA in the above equation, calculations result in a required capacitor of 400 pF connected to each output.

See Typical Performance Characteristics.

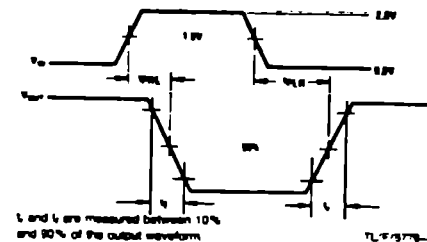
**Typical Applications** (Continued)



**AC Load Circuit and Switching Time Waveforms**



C<sub>L</sub> includes probe and jig capacitance.



t<sub>r</sub> and t<sub>f</sub> are measured between 10% and 90% of the output waveform.

Typical Performance Characteristics  $T_A = -25^\circ\text{C}$  unless otherwise noted

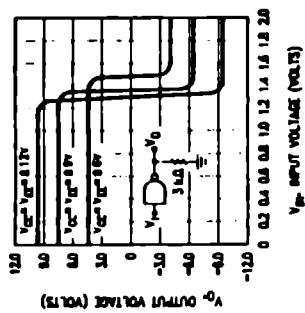


FIGURE 1. Transfer Characteristics vs Power Supply Voltage

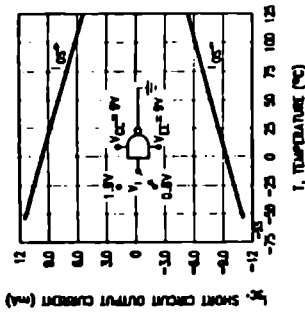


FIGURE 2. Short-Circuit Output Current vs Temperature

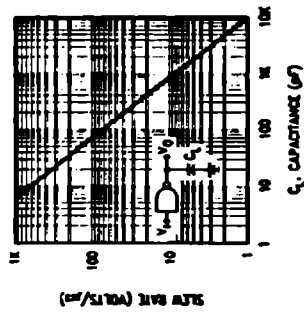


FIGURE 3. Output Slew Rate vs Load Capacitance

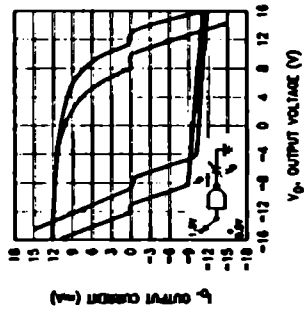


FIGURE 4. Output Voltage and Current-Limiting Characteristics



**NMC27C256**

**262, 144-Bit (32K x 8) UV Erasable CMOS PROM**

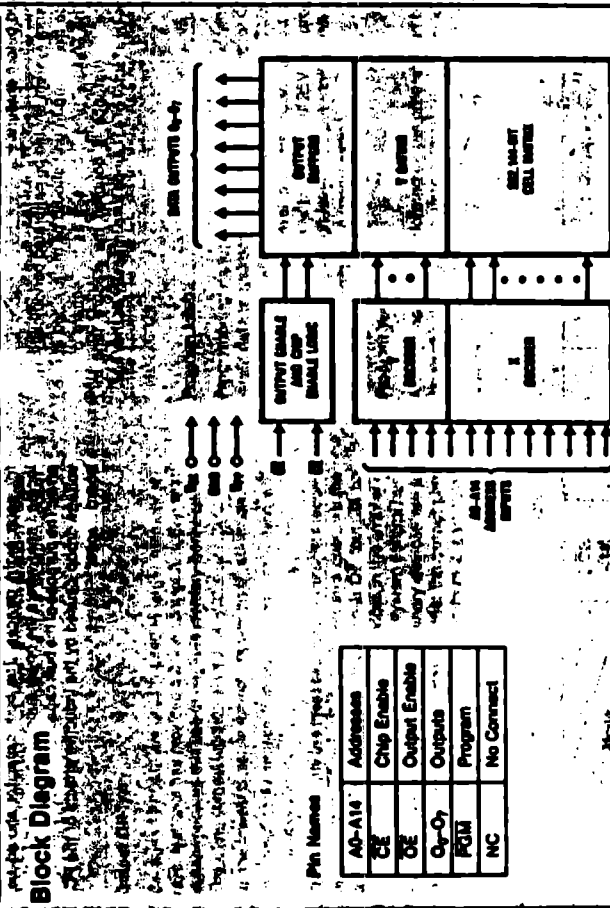
**General Description**

The NMC27C256 is a high-speed 256K UV erasable and electrically reprogrammable CMOS EPROM, ideally suited for applications where fast turnaround, pattern experimentation and low power consumption are important requirements.

The NMC27C256 is packaged in a 28-pin dual in-line package with transparent lid. The transparent lid allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written into the device by following the programming procedure.

This EPROM is fabricated with the reliable, high volume, time proven, microCMOS silicon gate technology.

**Block Diagram**



Pin Names (15 and 16)

A0-A16	Addresses
CE	Chip Enable
OE	Output Enable
Q <sub>0</sub> -Q <sub>7</sub>	Outputs
ROM	Program
NC	No Connect

**PRELIMINARY**

The NMC27C256 is a high-speed 256K UV erasable and electrically reprogrammable CMOS EPROM, ideally suited for applications where fast turnaround, pattern experimentation and low power consumption are important requirements.

**Features**

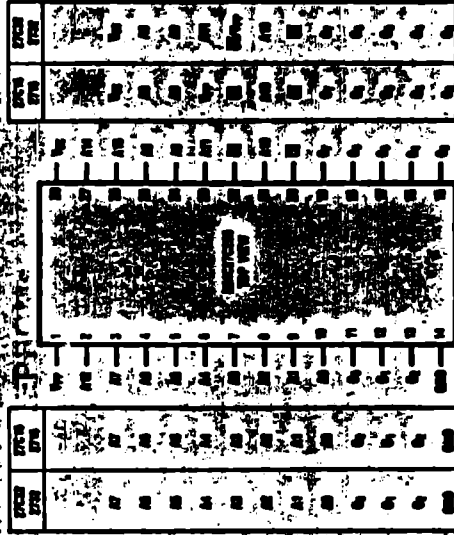
- Access time down to 200 ns, microCMOS technology
- Low CMOS power consumption
- Compatible to high-speed (8 MHz) microprocessors
- zero wait state
- Performance compatible to NISCOM<sup>®</sup> CMOS microprocessor
- Single 5V power supply
- Fast and reliable programming
- Static - no clocks required
- TTL compatible inputs/outputs
- CMOS compatible inputs/outputs
- Two-line control
- TR<sub>HS</sub> output

**TABLE I. Mode Selection**

Mode	Pin	CE (26)	OE (27)	V <sub>PP</sub> (1)	V <sub>CC</sub> (28)	Outputs (11-18, 19-19)
Read		V <sub>L</sub>	V <sub>L</sub>	V <sub>CC</sub>	V <sub>CC</sub>	Dout
Output Disable		V <sub>H</sub>	V <sub>H</sub>	V <sub>CC</sub>	V <sub>CC</sub>	High Z
Standby		V <sub>H</sub>	X	V <sub>CC</sub>	V <sub>CC</sub>	High Z
Verify		V <sub>H</sub>	V <sub>L</sub>	V <sub>PP</sub>	V <sub>CC</sub>	Dout
Program Inhibit		V <sub>H</sub>	V <sub>H</sub>	V <sub>PP</sub>	V <sub>CC</sub>	High Z

Note: X can be V<sub>L</sub> or V<sub>H</sub>.

**Connection Diagram**



Note: Memory array contains EPROM bit configurations as shown in the block diagram in the microCMOS pin package.

MS Package Number 28AA-Q

**SN54LS373, SN54LS374, SN54S373, SN54S374,  
SN74LS373, SN74LS374, SN74S373, SN74S374**  
**OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS**

OCTOBER 1975 - REVISED MARCH 1988

- Choice of 8 Latches or 8 D-Type Flip-Flops In a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection ('S373 and 'S374)
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)

'LS373, 'S373  
FUNCTION TABLE

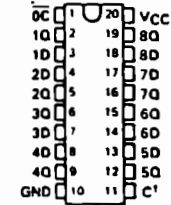
OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

'LS374, 'S374  
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

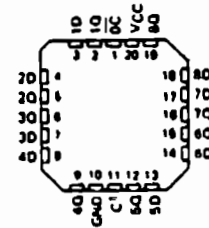
SN54LS373, SN54LS374, SN54S373,  
SN54S374 ... J OR W PACKAGE  
SN74LS373, SN74LS374, SN74S373,  
SN74S374 ... DW OR N PACKAGE

(TOP VIEW)



SN54LS373, SN54LS374, SN54S373,  
SN54S374 ... FK PACKAGE

(TOP VIEW)



'C for 'LS373 and 'S373 CLR for 'LS374 and 'S374

**description**

These 8-bit registers feature three-state outputs designed specifically for driving highly capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (C) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

PRODUCTION DATA does not constitute a contract. Product conformity to specifications is the basis of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS  
INSTRUMENTS**

POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

2-883

**2**  
TTL Devices

SN54LS373, SN54LS374, SN54S373, SN54S374,  
 SN74LS373, SN74LS374, SN74S373, SN74S374  
 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

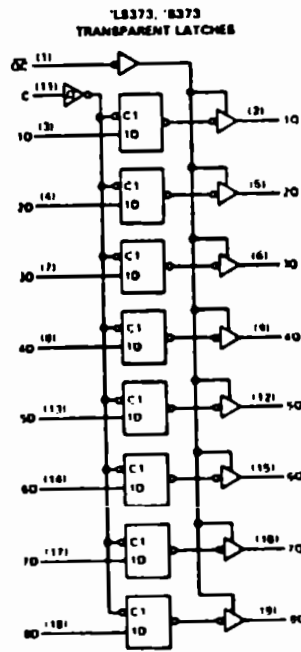
description (continued)

The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

Schmitt-trigger buffered inputs at the enable/clock lines of the 'S373 and 'S374 devices, simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

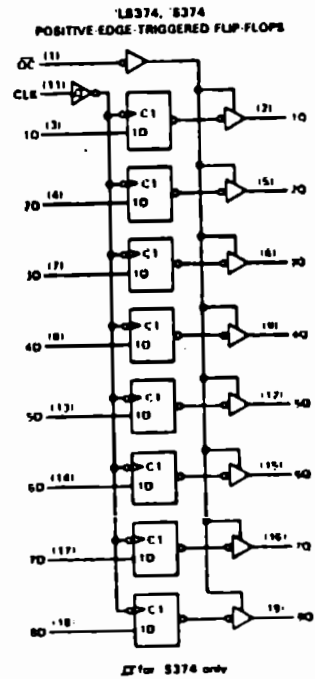
The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

logic diagrams (positive logic)



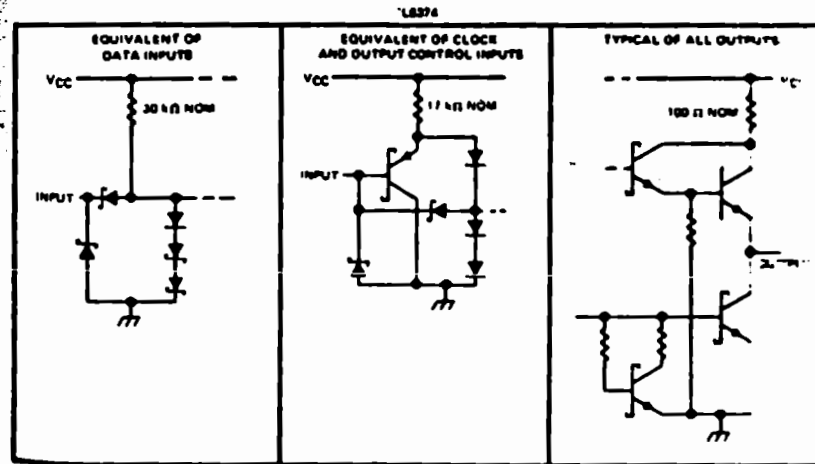
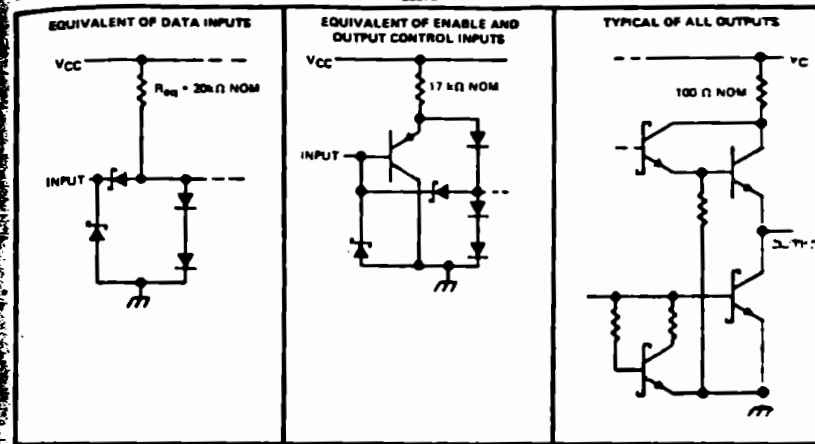
□ for 'S373 only

Pin numbers shown are for DW, J, N, and W packages



□ for 'S374 only

schematic of inputs and outputs



2  
TTL Devices

2  
TTL Devices



**SN54LS373, SN54LS374, SN74LS373, SN74LS374**  
**OCTAL D-TYPE TRANSPARENT LATCHES AND**  
**EDGE-TRIGGERED FLIP-FLOPS**

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	7 V
Input voltage	7 V
Off-state output voltage	5.5 V
Operating free-air temperature range: SN54LS <sup>1</sup>	-55°C to 125°C
SN74LS <sup>2</sup>	0°C to 70°C
Storage temperature range <sup>3</sup>	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

PARAMETER	TEST CONDITIONS <sup>1</sup>	SN54LS <sup>1</sup>			SN74LS <sup>2</sup>			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
$V_{CC}$ Supply voltage		4.5	5	5.5	4.75	5	5.25	V
$V_{OH}$ High-level output voltage		5.5			5.5			V
$I_{OH}$ High-level output current		-1			-2.8			mA
$I_{OL}$ Low-level output current		12			24			mA
$t_w$ Pulse duration	CLK high	15			15			ns
	CLK low	15			15			ns
$t_{su}$ Data setup time	LS373	5			5			ns
	LS374	20 <sup>†</sup>			20 <sup>†</sup>			ns
$t_h$ Data hold time	LS373	20			20			ns
	LS374	5			0 <sup>†</sup>			ns
$T_A$ Operating free-air temperature		-65	125	0	70		°C	

<sup>†</sup>The  $t_h$  specification applies only for data frequency below 10 MHz. Designs above 10 MHz should use a minimum of 5 ns. (Commercial only)

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS <sup>1</sup>	SN54LS <sup>1</sup>			SN74LS <sup>2</sup>			UNIT	
		MIN	TYP	MAX	MIN	TYP	MAX		
$V_{IH}$ High-level input voltage		2			2			V	
$V_{IL}$ Low-level input voltage		0.7			0.8			V	
$V_{IS}$ Input clamp voltage	$V_{CC} = \text{MIN}$ , $I_I = -18 \text{ mA}$	-1.5			-1.5			V	
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN}$ , $V_{IH} = 2 \text{ V}$ , $V_{IL} = V_{IL(\text{max})}$ , $I_{OH} = \text{MAX}$	2.4	3.4		2.4	3.1		V	
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN}$ , $V_{IH} = 2 \text{ V}$ , $V_{IL} = V_{IL(\text{max})}$	$I_{OL} = 12 \text{ mA}$			$I_{OL} = 24 \text{ mA}$			V	
		0.25			0.4			0.25	0.4
$I_{OZH}$ Off-state output current, high-level voltage applied	$V_{CC} = \text{MAX}$ , $V_{IH} = 2 \text{ V}$ , $V_O = 2.7 \text{ V}$	20			20			$\mu\text{A}$	
$I_{OZL}$ Off-state output current, low-level voltage applied	$V_{CC} = \text{MAX}$ , $V_{IH} = 2 \text{ V}$ , $V_O = 0.4 \text{ V}$	-20			-20			$\mu\text{A}$	
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX}$ , $V_I = 7 \text{ V}$	0.1			0.1			mA	
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX}$ , $V_I = 2.7 \text{ V}$	20			20			$\mu\text{A}$	
$I_{IL}$ Low-level input current	$V_{CC} = \text{MAX}$ , $V_I = 0.4 \text{ V}$	-0.4			-0.4			mA	
$I_{OS}$ Short-circuit output current <sup>3</sup>	$V_{CC} = \text{MAX}$	-30	-130	-30	-130	-30	-130	mA	
$I_{CC}$ Supply current	$V_{CC} = \text{MAX}$	LS373			LS374			mA	
	Output control at 4.5 V	24			24			40	
		LS373			LS374			27	40

<sup>1</sup> For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
<sup>2</sup> All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .  
<sup>3</sup> Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

**SN54LS373, SN54LS374, SN74LS373, SN74LS374**  
**OCTAL D-TYPE TRANSPARENT LATCHES AND**  
**EDGE-TRIGGERED FLIP-FLOPS**

switching characteristics,  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	LS373			LS374			UNIT	
				MIN	TYP	MAX	MIN	TYP	MAX		
$t_{max}$				35			50			ns	
PLH	Data	Any Q	$C_L = 45 \text{ pF}$ , $R_L = 687 \Omega$ See Notes 2 and 3	12			18			ns	
PLH	Clock or enable	Any Q		20			30			15	29
PLH	Output	Any Q		18			30			19	28
PZH	Control	Any Q		15			28			20	26
PZL	Output	Any Q	$C_L = 5 \text{ pF}$ , $R_L = 687 \Omega$ See Note 3	25			36			21	28
PZH	Control	Any Q		15			25			15	28
PLZ	Output	Any Q	See Note 3	12			20			12	20
PZL	Control	Any Q		12			20			12	20

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.  
3. Load circuits and voltage waveforms are shown in Section 1.  
 $t_{max}$  = maximum clock frequency  
PLH = propagation delay time, low-to-high-level output  
PHL = propagation delay time, high-to-low-level output  
PZH = output enable time to high level  
PZL = output enable time to low level  
PZH = output disable time from high level  
PZL = output disable time from low level

2

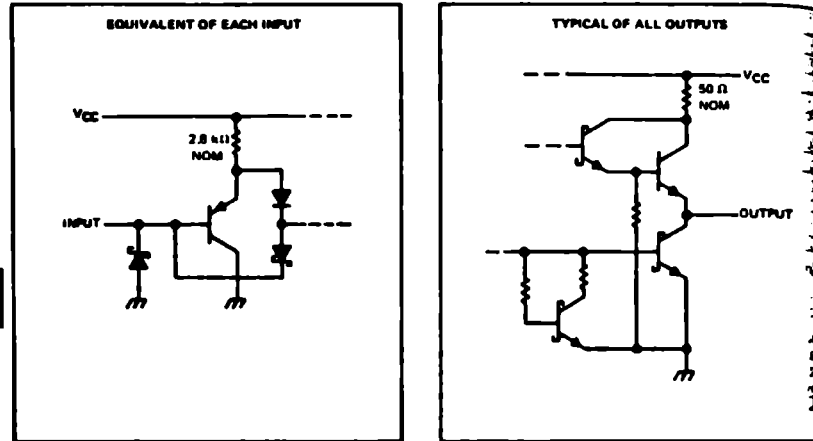
TTL Devices

2

TTL Devices

**SN54S373, SN54S374, SN74S373, SN74S374**  
**OCTAL D-TYPE TRANSPARENT LATCHES AND**  
**EDGE-TRIGGERED FLIP-FLOPS**

schematic of inputs and outputs



2

TTL Devices

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	7 V
Input voltage	6.5 V
ON state output voltage	6.5 V
Operating free-air temperature range	-55°C to 125°C
	0°C to 70°C
Storage temperature range	-65°C to 160°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54S'			SN74S'			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	6.5	4.75	5	5.25	V
High-level output voltage, $V_{OH}$			5.5			5.3	V
High-level output current, $I_{OH}$			-2			-4.5	mA
Width of clock/enable pulses, $t_{CLK}$	High	0	0				ns
	Low	3	3				ns
Data setup time, $t_{SU}$	'S373	0.1	0.1				ns
	'S374	5†	5†				ns
Data hold time, $t_H$	'S373	10‡	10‡				ns
	'S374	2†	2†				ns
Operating free-air temperature, $T_A$	-55	125	0	70			°C

**SN54S373, SN54S374, SN74S373, SN74S374**  
**OCTAL D-TYPE TRANSPARENT LATCHES AND**  
**EDGE-TRIGGERED FLIP-FLOPS**

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			MIN	TYP‡	MAX	UNIT	
$V_{IH}$				2			V	
$V_{IL}$					0.8		V	
$V_{OH}$	$V_{CC} = \text{MIN.}$	$I_L = -18 \text{ mA}$				-1.2	V	
$V_{OL}$	SN54S'	$V_{CC} = \text{MIN.}$	$V_{IH} = 2 \text{ V.}$	$V_{IL} = 0.8 \text{ V.}$	$I_{OH} = \text{MAX}$	2.4	3.4	
						2.4	3.1	
$I_{OZH}$	$V_{CC} = \text{MIN.}$	$V_{IH} = 2 \text{ V.}$	$V_{IL} = 0.8 \text{ V.}$	$I_{OL} = 20 \text{ mA}$		0.5	V	
$I_{OZH}$	$V_{CC} = \text{MAX.}$	$V_{IH} = 2 \text{ V.}$	$V_{OL} = 2.4 \text{ V.}$			50	µA	
$I_{OL}$	$V_{CC} = \text{MAX.}$	$V_{IH} = 2 \text{ V.}$	$V_{OL} = 0.5 \text{ V.}$			-50	µA	
$I_I$	$V_{CC} = \text{MAX.}$	$V_I = 5.5 \text{ V.}$				1	mA	
$I_{IH}$	$V_{CC} = \text{MAX.}$	$V_I = 2.7 \text{ V.}$				50	µA	
$I_{IL}$	$V_{CC} = \text{MAX.}$	$V_I = 0.6 \text{ V.}$				-250	µA	
$I_{OS}^1$	$V_{CC} = \text{MAX.}$					-40	-100	
$I_{CC}$	$V_{CC} = \text{MAX.}$					180	180	
						Outputs high	160	160
						Outputs low	160	160
						Outputs disabled	190	190
						Outputs high	110	110
						Outputs low	140	140
Outputs disabled	180	180						
						180	180	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V. } T_A = 25^\circ\text{C}$ .

1 Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.

switching characteristics,  $V_{CC} = 5 \text{ V. } T_A = 25^\circ\text{C}$

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'S373			'S374			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
$t_{max}$							75	100		MHz
$t_{PLH}$	Data	Any Q	$C_L = 15 \text{ pF. } R_L = 200 \Omega.$ See Notes 2 and 4	7	12					ns
$t_{PHL}$				7	12					ns
$t_{PLH}$	Clock or enable	Any Q		7	14	8	15			ns
$t_{PHL}$				12	18	11	12			ns
$t_{PZH}$	Output	Any Q		8	15	8	15			ns
$t_{PZL}$	Control			11	18	11	18			ns
$t_{PHZ}$	Output	Any Q	8	9	8	9			ns	
$t_{PLZ}$	Control		8	12	7	12			ns	

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.

4. Load circuits and voltage waveforms are shown in Section 1.

$t_{max}$  = maximum clock frequency

$t_{PLH}$  = propagation delay time, low-to-high-level output

$t_{PHL}$  = propagation delay time, high-to-low-level output

$t_{PZH}$  = output enable time to high level

$t_{PZL}$  = output enable time to low level

$t_{PHZ}$  = output disable time from high level

$t_{PLZ}$  = output disable time from low level

2

TTL Devices

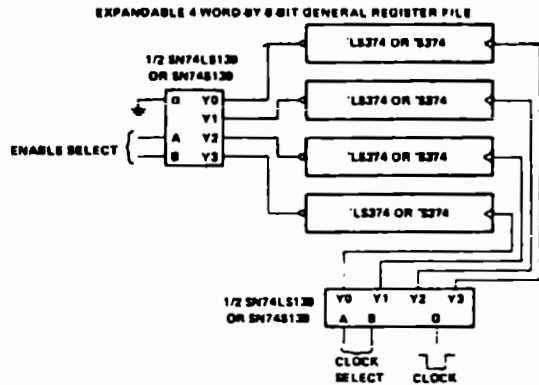
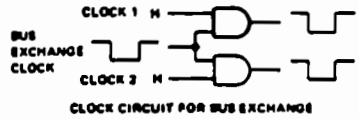
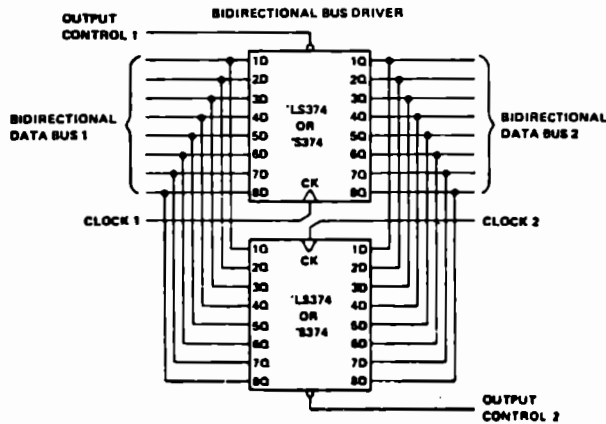
SN54LS373, SN54LS374, SN54S373, SN54S374,  
SN74LS373, SN74LS374, SN74S373, SN74S374  
OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

SN54LS375, SN74LS375  
4-BIT BISTABLE LATCHES

OCTOBER 1976 - REVISED MARCH 1988

2  
TTL Devices

TYPICAL APPLICATION DATA



Supply Voltage and Ground on Corner Pins To Simplify P-C Board Layout

Description

The SN54LS375 and SN74LS375 bistable latches are electrically and functionally identical to the SN54LS75 and SN74LS75, respectively. Only the arrangement of the terminals has been changed in the SN54LS375 and SN74LS375.

These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable (C) is high and the Q output will follow the data input as long as the enable remains high. When the enable goes low, the information (that was present at the data input at the time the transition occurred) is retained at the Q output (1) until the enable goes high.

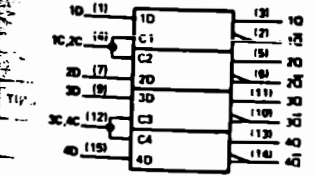
All inputs are diode-clamped to minimize transmission-line effects and simplify system design. The SN54LS375 is characterized for operation over the full military temperature range of -65°C to 125°C. SN74LS375 is characterized for operation from 0°C to 70°C.

FUNCTION TABLE

EACH LATCH		INPUTS		OUTPUTS	
D	C	Q	Q̄	Q	Q̄
L	H	L	H	L	H
H	H	H	L	H	L
X	L	Q <sub>0</sub>	Q̄ <sub>0</sub>	Q <sub>0</sub>	Q̄ <sub>0</sub>

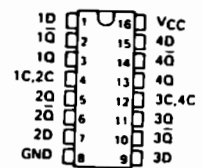
H = high level, L = low level, X = irrelevant  
Q<sub>0</sub> = the level of Q before the high-to-low transition of C

logic symbol

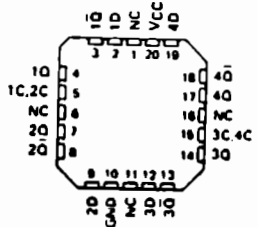


This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.  
Pin numbers shown are for D, J, H and W packages

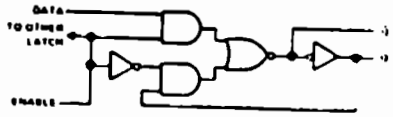
SN54LS375 ... J OR W PACKAGE  
SN74LS375 ... D OR N PACKAGE



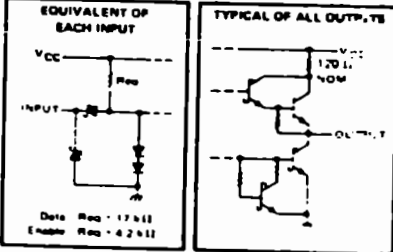
SN54LS375 ... FK PACKAGE



logic diagram (each latch)



schematics of inputs and outputs



2  
TTL Devices

PRODUCTION DATA documents contain information  
described in all publications data. Product outlines in  
specifications are the terms of Texas Instruments  
standard terms. Production processing does not  
necessarily include testing of all parameters.

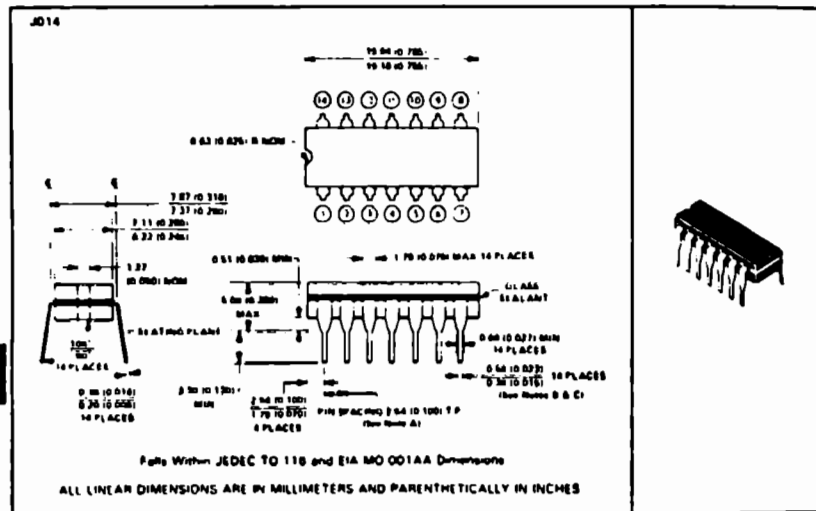
TEXAS  
INSTRUMENTS

POST OFFICE BOX 990012 - DALLAS, TEXAS 75299

## MECHANICAL DATA

### J014 ceramic dual-in-line package

This hermetically sealed dual-in-line package consists of a ceramic base, ceramic cap, and a lead frame. Hermetic sealing is accomplished with glass. The package is intended for insertion in mounting-hole rows on 7.62 (0.300) centers. Once the leads are compressed and inserted, sufficient tension is provided to secure the package in the board during soldering. Tin-plated ("bright-dipped") leads require no additional cleaning or processing when used in soldered assembly.



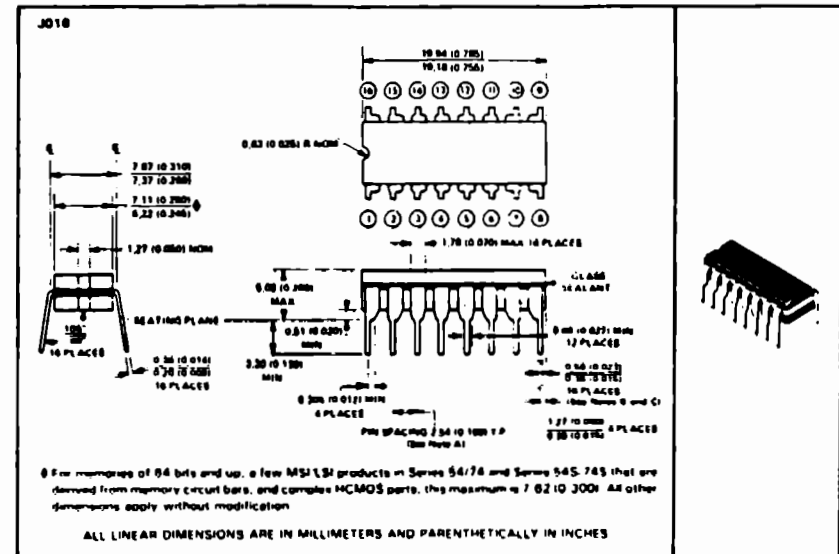
Mechanical Data

- NOTES
- A Each pin centerline is located within 0.25 (0.010) of its true longitudinal position.
  - B This dimension does not apply for solder-dipped leads.
  - C When solder-dipped leads are specified, dipped area of the lead extends from the lead tip to at least 0.51 (0.020) above the seating plane.

**MECHANICAL DATA**

**J016 ceramic dual-in-line package**

This hermetically sealed dual-in-line package consists of a ceramic base, ceramic cap, and a lead frame. Hermetic sealing is accomplished with glass. The package is intended for insertion in mounting-hole rows on 7.62 (0.300) centers. Once the leads are compressed and inserted, sufficient tension is provided to secure the package in the board during soldering. Tin-plated ("bright-dipped") leads require no additional cleaning or processing when used in soldered assembly.



- NOTES.**
- A Each pin centerline is located within 0.25 (0.010) of its true longitudinal position.
  - B This dimension does not apply for solder-dipped leads.
  - C When solder-dipped leads are specified, dipped area of the lead extends from the lead tip to at least 0.51 (0.020) above the seating plane.



**Mechanical Data 3**



**LF347**  
**LF351**  
**LF353**

**2**

**JFET INPUT OPERATIONAL AMPLIFIERS**

These low cost JFET input operational amplifiers combine two state-of-the-art linear technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar devices.

- Input Offset Voltage of 5.0 mV Max (LF347B)
- Low Input Bias Current - 50 pA
- Low Input Noise Voltage - 16 nV/√Hz
- Wide Gain Bandwidth - 4.0 MHz
- High Slew Rate - 13 V/μs
- Low Supply Current - 1.8 mA per Amplifier
- High Input Impedance - 10<sup>12</sup> Ω
- High Common-Mode and Supply Voltage Rejection Ratios - 100 dB

**MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Supply Voltage	V <sub>CC</sub> V <sub>EE</sub>	- 18 - 18	V
Differential Input Voltage	V <sub>ID</sub>	± 30	V
Input Voltage Range (Note 1)	V <sub>IDR</sub>	± 15	V
Output Short Circuit Duration (Note 2)	t <sub>S</sub>	Continuous	
Power Dissipation at T <sub>A</sub> = - 25°C	P <sub>D</sub>	900	mW
Derate above T <sub>A</sub> = - 25°C	1 AJA	10	mW/°C
Operating Ambient Temperature Range	T <sub>A</sub>	0 to + 70	°C
Operating Junction Temperature Range	T <sub>J</sub>	115	°C
Storage Temperature Range	T <sub>stg</sub>	65 to + 150	°C

**NOTES**

1. Unless otherwise specified, the absolute maximum negative input voltage is limited to the negative power supply.
2. Any single output can be shorted to ground indefinitely. However, if more than one amplifier output is shorted simultaneously, maximum junction temperature ratings may be exceeded.

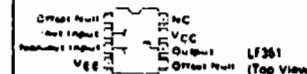
**FAMILY OF BIFET OPERATIONAL AMPLIFIERS SILICON MONOLITHIC INTEGRATED CIRCUITS**



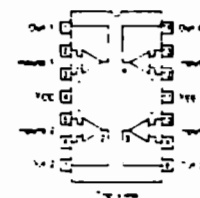
**N SUFFIX**  
 PLASTIC PACKAGE  
 CASE 626  
 (LF351, LF353 Only)



**D SUFFIX**  
 PLASTIC PACKAGE  
 CASE 751  
 (SO 8)  
 (LF351, LF353 Only)



**N SUFFIX**  
 PLASTIC PACKAGE  
 CASE 648  
 (LF347 Only)



**ORDERING INFORMATION**

Function	Device	Package
Single	LF347D	CO 8
Single	LF351N	Plastic DIP
Dual	LF347D	SO 8
Dual	LF353N	Plastic DIP
Quad	LF347N	Plastic DIP
Quad	LF353N	Plastic DIP

LF347, LF351, LF353

**ELECTRICAL CHARACTERISTICS**  $V_{CC} = -15\text{ V}$ ,  $V_{EE} = 15\text{ V}$ ,  $T_A = 25^\circ\text{C}$  unless otherwise noted

Characteristic	Symbol	LF347B			LF347, LF351, LF353		
		Min	Typ	Max	Min	Typ	Max
Input Offset Voltage $R_S = 1\text{ k}\Omega$ , $V_{CM} = 0$ $T_A = -25^\circ\text{C}$ $\Delta C = T_A = +25^\circ\text{C}$	$V_{IO}$	—	1.0	5.0	—	5.0	10
Average Temperature Coefficient of Input Offset Voltage $R_S = 10\text{ k}\Omega$ , $V_{CM} = 0$ , $T_A = -25^\circ\text{C}$	$\Delta V_{IO}/\Delta T$	—	10	—	—	10	—
Input Offset Current $V_{CM} = 0$ , Note 3 $T_A = -25^\circ\text{C}$ $\Delta C = T_A = +25^\circ\text{C}$	$I_{IO}$	—	25	100	—	25	100
Input Bias Current $V_{CM} = 0$ , Note 3 $T_A = -25^\circ\text{C}$ $\Delta C = T_A = +25^\circ\text{C}$	$I_B$	—	50	200	—	50	200
$I_{B1}$ , $I_{B2}$ , $I_{B3}$ , $I_{B4}$		—	10/12	8.0	—	10/12	8.0
Common Mode Input Voltage Range	$V_{ICR}$	-11	15	—	-11	15	—
Large Signal Voltage Gain $(V_O = -10\text{ V}$ , $I_A = -20\text{ mA}$ ) $T_A = -25^\circ\text{C}$ $\Delta C = T_A = +25^\circ\text{C}$	$A_{VOL}$	50	100	—	25	100	—
Output Voltage Swing $(R_L = 10\text{ k}\Omega)$	$V_{OS}$	12	14	—	12	14	—
Common Mode Rejection Ratio $(R_S = 10\text{ k}\Omega)$	$CMRR$	80	100	—	70	100	—
Supply Voltage Rejection Ratio $(R_S = 10\text{ k}\Omega)$	$PSRR$	80	100	—	70	100	—
Supply Current	$I_D$	—	22	11	—	22	11
	$I_{D1}$	—	—	—	—	—	—
	$I_{D2}$	—	—	—	—	—	—
	$I_{D3}$	—	—	—	—	—	—
Gain-Bandwidth Product	$f_{BW}$	—	4.0	—	—	4.0	—
Equivalent Input Noise Voltage $(R_S = 100\text{ }\Omega$ , $f = 1000\text{ Hz}$ )	$e_n$	—	24	—	—	24	—
Equivalent Input Noise Current $(f = 1000\text{ Hz})$	$i_n$	—	0.01	—	—	0.01	—
Thermal Separation (LF347, LF353) $f = 10\text{ Hz}$ , $f = 20\text{ kHz}$ (Input Referred)		—	-120	—	—	-120	—

For Typical Characteristic Performance Curves, refer to MC34081/24082/34084 data sheet.  
 NOTES: continued  
 1. Input bias currents of JFET input op amps approximately double for every  $10^\circ\text{C}$  rise in junction temperature. To maintain junction temperatures as close to ambient as is possible, pulse techniques are utilized during test.



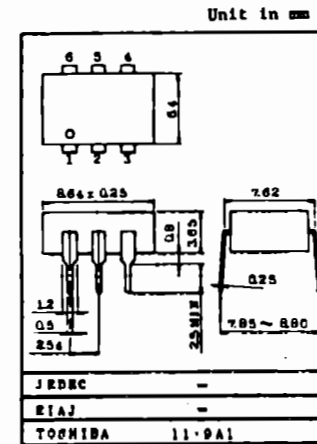
# 4N25, 4N25A, 4N26 4N27, 4N28

## GaAs IRED & PHOTO-TRANSISTOR

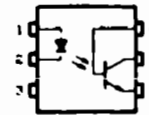
- AC LINE/DIGITAL LOGIC ISOLATOR.
- DIGITAL LOGIC/DIGITAL LOGIC ISOLATOR.
- TELEPHONE LINE RECEIVER.
- TWISTED PAIR LINE RECEIVER.
- HIGH FREQUENCY POWER SUPPLY FEEDBACK CONTROL.
- RELAY CONTACT MONITOR.

The TOSHIBA 4N25, 4N25A, 4N26, 4N27 and 4N28 consist of a gallium arsenide infrared emitting diode coupled with a silicon phototransistor in a dual in-line package.

- . Switching Speeds : 3 $\mu$ s
- . DC Current Transfer Ratio : 100%
- . Isolation Resistance : 10<sup>11</sup> $\Omega$
- . Isolation Voltage : 2500V<sub>rms</sub> Min.
- . UL Recognized : File No. E67349



### PIN CONFIGURATIONS (TOP VIEW)



- 1 : ANODE
- 2 : CATHODE
- 3 : NC
- 4 : EMITTER
- 5 : COLLECTOR
- 6 : BASE

**N25, 4N25A, 4N26, 4N27, 4N28**

**4N25, 4N25A, 4N26, 4N27, 4N28**

MINIMUM RATINGS (Ta=25°C)

	CHARACTERISTIC	SYMBOL	RATING	UNIT
LED	Forward Current (Continuous)	IF	80	mA
	Forward Current Derating	$\Delta I_F/^\circ\text{C}$	1.07°	mA/°C
	Peak Forward Current (Note)	IPF	3	A
	Power Dissipation	PD	150	mW
	Power Dissipation Derating	$\Delta P_D/^\circ\text{C}$	2.0°	mW/°C
	Reverse Voltage	VR	3	V
PHOTO-TRANSISTOR	Collector-Emitter Voltage	BVCEO	30	V
	Collector-Base Voltage	BVCBO	70	V
	Emitter-Collector Voltage	BVECO	7	V
	Collector Current (Continuous)	IC	100	mA
PHOTO-TRANSISTOR	Power Dissipation	PC	150	mW
	Power Dissipation Derating	$\Delta P_C/^\circ\text{C}$	2.0°	mW/°C
	Storage Temperature Range	Tstg	-55 ~ 150	°C
	Operating Temperature Range	Topr	-55 ~ 100	°C
COUPLED	Lead Soldering Temperature (10 sec.)	Tsold	260	°C
	Total Package Power Dissipation	PT	250	mW
	Total Package Power Dissipation Derating	$\Delta P_T/^\circ\text{C}$	3.3°	mW/°C

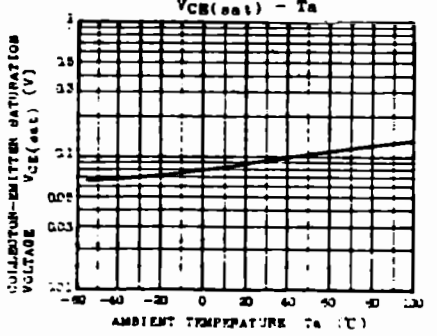
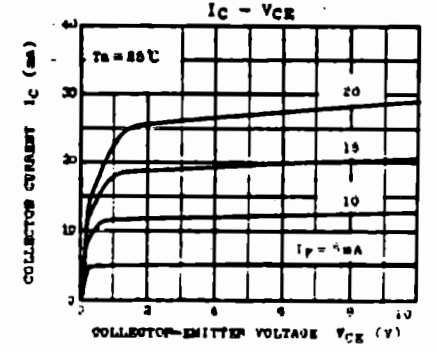
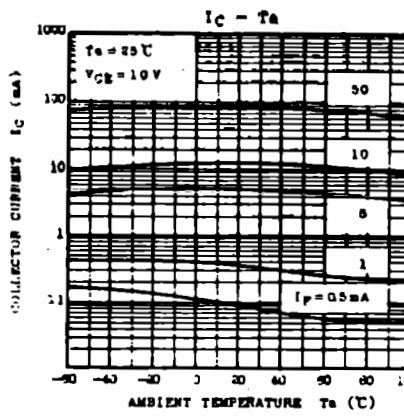
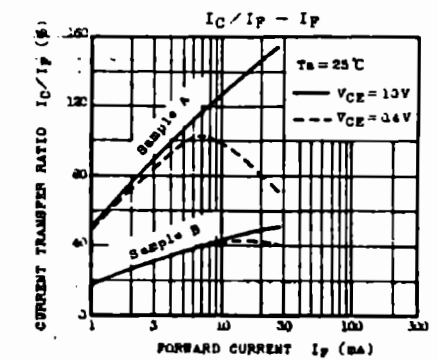
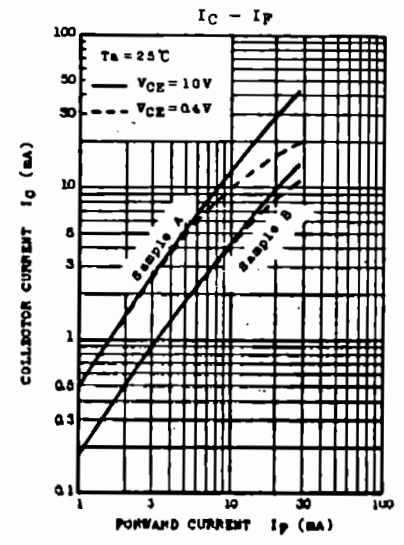
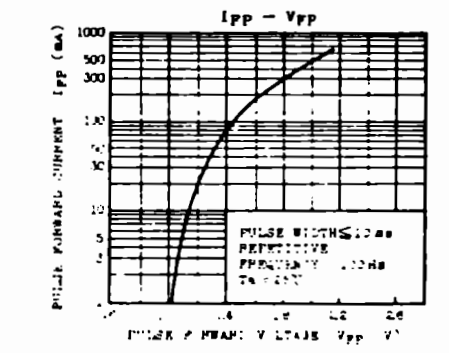
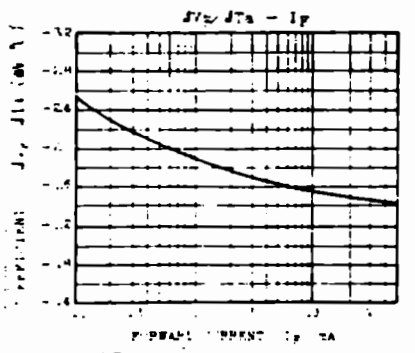
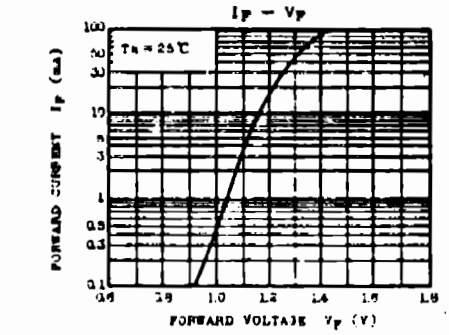
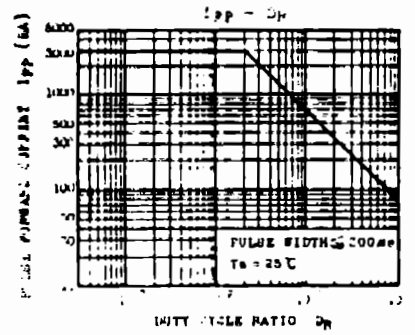
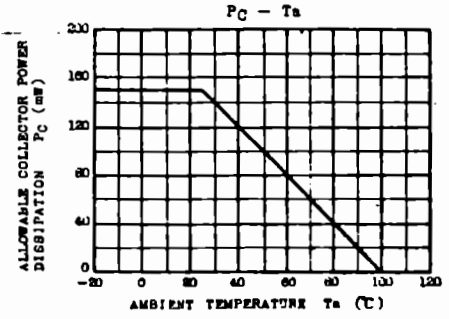
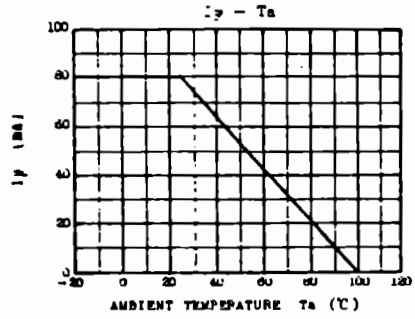
Note : Pulse width 300µs, 2% duty cycle.

\* Above 25°C ambient.

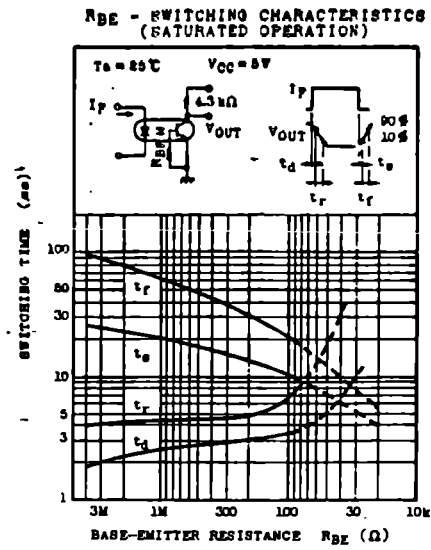
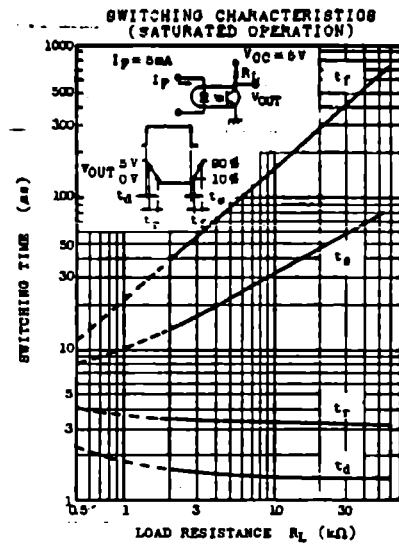
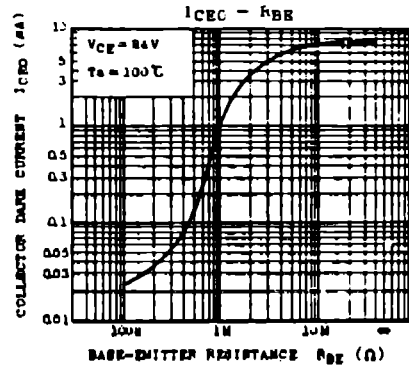
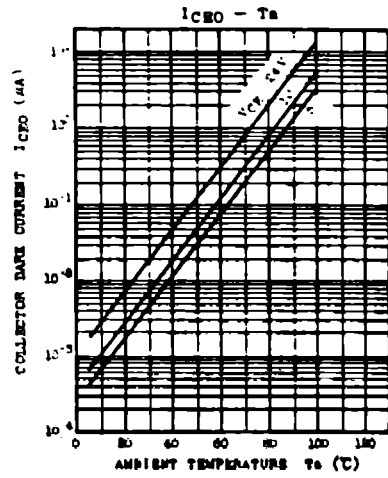
ELECTRICAL CHARACTERISTICS (Ta=25°C)

	CHARACTERISTIC	SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT		
LED	Forward Voltage	VF	IF=10mA	-	1.15	1.5	V		
	Reverse Current	IR	VR=3V	-	-	100	µA		
	Capacitance	CD	V=0, f=1MHz	-	30	-	pF		
PHOTO-TRANSISTOR	DC Forward Current Gain	hFE	VCE=5V, IC=500µA	-	200	-			
	Collector-Emitter Breakdown Voltage	V(BR)CEO	IC=1mA, IF=0	30	-	-	V		
	Collector-Base Breakdown Voltage	V(BR)CBO	IC=100µA	70	-	-	V		
	Emitter-Collector Breakdown Voltage	V(BR)ECO	IE=100µA	7	-	-	V		
	Collector Dark Current	ICEO	VCE=10V	-	1	50	nA		
	Collector Dark Current	ICBO	VCB=10V	-	0.1	20	nA		
	Collector-Emitter Capacitance	CCE	V=0, f=1MHz	-	10	-	pF		
	Current Transfer Ratio	IC/IP	IF=10mA, VCE=10V	20	100	-	%		
	Collector-Emitter Saturation Voltage	VCE(SAT)	IF=50mA, IC=2mA	-	0.1	0.3	V		
	Capacitance Input to Output	CS	VS=0, f=1MHz	-	0.8	-	pF		
COUPLED	Isolation Resistance	RS	VS=500V	-	10 <sup>11</sup>	-	Ω		
	Isolation Voltage	BVS*	AC, 1 minute	2500	-	-	Vrms		
				AC, Peak	4N25, 4N25A	2500	-	-	Vpk
					4N26, 4N27	1500	-	-	
					4N28	500	-	-	
AC, 1 second	4N25A	1775	-	-	Vrms				
Rise/Fall Time	tr/te	VCE=10V, IC=2mA RL=100Ω	-	2	-	ns			
Rise/Fall Time	tr/te	VCB=10V, ICB=50µA RL=100Ω	-	200	-	ns			

\* JEDEC registered minimum BVS, however, TOSHIBA specifies a minimum BVS of 2500Vrms 1 minute.



4N25, 4N25A, 4N26, 4N27, 4N28





# ADC0808/ADC0809 8-Bit $\mu$ P Compatible A/D Converters with 8-Channel Multiplexer

## General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-angle-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRISTATE<sup>®</sup> outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

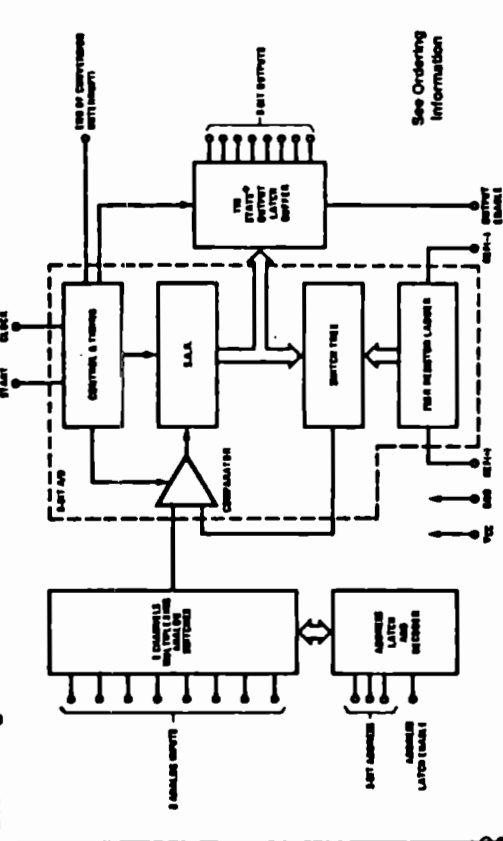
## Features

- Easy interface to all microprocessors
- Operates ratiometrically or with 5 V<sub>CC</sub> or analog span adjusted voltage reference
- No zero or full-scale adjust required
- 8-channel multiplexer with address logic
- 0V to 5V input range with single 5V power supply
- Outputs meet TTL voltage level specifications
- Standard hermetic or molded 28-pin DIP package
- 28-pin molded chip carrier package
- ADC0808 equivalent to MM74C048
- ADC0809 equivalent to MM74C048-1

## Key Specifications

- Resolution: 8 Bits
- Total Unadjusted Error:  $\pm 1/2$  LSB and  $\pm 1$  LSB
- Single Supply: 5 V<sub>CC</sub>
- Low Power: 15 mW
- Conversion Time: 100  $\mu$ s

## Block Diagram



See Ordering Information

## Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

- Supply Voltage (V<sub>CC</sub>) (Note 3): 6.5V
- Voltage at Any Pin: -0.3V to (V<sub>CC</sub> + 0.3V)
- Except Control Inputs
- Voltage at Control Inputs: -0.3V to +15V
- (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)
- Storage Temperature Range: -65°C to +150°C
- Package Dissipation at T<sub>A</sub> = 25°C: 875 mW
- Lead Temp. (Soldering, 10 seconds): 260°C
- Dual-In-Line Package (plastic): 300°C
- Molded Chip Carrier Package: 215°C
- Vapor Phase (60 seconds): 220°C
- Infrared (15 seconds): 400V
- ESD Susceptibility (Note 11)

## Operating Conditions (Notes 1 & 2)

- Temperature Range (Note 1): T<sub>MIN</sub>  $\leq$  T<sub>A</sub>  $\leq$  T<sub>MAX</sub>
- ADC0808CJ: -55°C  $\leq$  T<sub>A</sub>  $\leq$  +125°C
- ADC0808CCJ, ADC0808CCN, ADC0809CCJ, ADC0809CCN: -40°C  $\leq$  T<sub>A</sub>  $\leq$  +85°C
- ADC0809CCV, ADC0809CCV: -40°C  $\leq$  T<sub>A</sub>  $\leq$  +85°C
- Range of V<sub>CC</sub> (Note 1): 4.5 V<sub>CC</sub> to 6.0 V<sub>CC</sub>

## Electrical Characteristics

Converter Specifications: V<sub>CC</sub> = 5 V<sub>CC</sub>, V<sub>REF(-)</sub> = V<sub>REF(+)</sub>, V<sub>REF(+)</sub> = V<sub>REF(-)</sub> = GND, T<sub>MIN</sub>  $\leq$  T<sub>A</sub>  $\leq$  T<sub>MAX</sub> and f<sub>CLK</sub> = 640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ADC0808	Total Unadjusted Error (Note 8)	25°C T <sub>MIN</sub> to T <sub>MAX</sub>			$\pm 1/2$ $\pm 1/2$	LSB LSB
ADC0809	Total Unadjusted Error (Note 5)	0°C to 70°C T <sub>MIN</sub> to T <sub>MAX</sub>			$\pm 1$ $\pm 1/2$	LSB LSB
	Input Resistance	From Ref(+) to Ref(-)	1.0	2.5		k $\Omega$
V <sub>REF(+)</sub>	Analog Input Voltage Range	(Note 4) V(+) or V(-)	GND - 0.10		V <sub>CC</sub> + 0.10	V <sub>CC</sub>
V <sub>REF(-)</sub>	Voltage, Top of Ladder	Measured at Ref(+)		V <sub>CC</sub> /2.0.1	V <sub>CC</sub> + 0.1	V
	Voltage, Center of Ladder	Measured at Ref(-)		0		V
	Voltage, Bottom of Ladder	f <sub>C</sub> = 640 kHz. (Note 6)	-0.1	$\pm 0.5$	2	$\mu$ A
I <sub>IN</sub>	Comparator Input Current					

## Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V  $\leq$  V<sub>CC</sub>  $\leq$  5.5V, -55°C  $\leq$  T<sub>A</sub>  $\leq$  +125°C unless otherwise noted. ADC0808CCJ, ADC0808CCN, ADC0809CCJ, ADC0809CCN and ADC0809CCV, 4.75  $\leq$  V<sub>CC</sub>  $\leq$  5.25V, -40°C  $\leq$  T<sub>A</sub>  $\leq$  +85°C unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
I <sub>OFF(+)</sub>	OFF Channel Leakage Current	V <sub>CC</sub> = 5V, V <sub>IN</sub> = 5V, T <sub>A</sub> = 25°C T <sub>MIN</sub> to T <sub>MAX</sub>		10	200	nA $\mu$ A
I <sub>OFF(-)</sub>	OFF Channel Leakage Current	V <sub>CC</sub> = 5V, V <sub>IN</sub> = 0, T <sub>A</sub> = 25°C T <sub>MIN</sub> to T <sub>MAX</sub>	-200	-10		nA $\mu$ A

**Electrical Characteristics** (Continued)

Digital Levels and DC Specifications: ADC0808CJ, 4.5V ≤ V<sub>CC</sub> ≤ 5.5V, -55°C ≤ T<sub>A</sub> ≤ +125°C unless otherwise noted  
 ADC0808CCJ, ADC0808CCN, ADC0808CCV, ADC0809CCN and ADC0809CCV, 4.75 ≤ V<sub>CC</sub> ≤ 5.25V, -40°C ≤ T<sub>A</sub> ≤ +85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
<b>CONTROL INPUTS</b>						
V <sub>IN(1)</sub>	Logical "1" Input Voltage		V <sub>CC</sub> - 1.5			V
V <sub>IN(0)</sub>	Logical "0" Input Voltage				1.5	V
I <sub>IN(1)</sub>	Logical "1" Input Current (The Control Inputs)	V <sub>IN</sub> = 15V			1.0	μA
I <sub>IN(0)</sub>	Logical "0" Input Current (The Control Inputs)	V <sub>IN</sub> = 0	-1.0			μA
I <sub>CC</sub>	Supply Current	f <sub>CLK</sub> = 640 kHz		0.3	3.0	mA
<b>DATA OUTPUTS AND EOC (INTERRUPT)</b>						
V <sub>OUT(1)</sub>	Logical "1" Output Voltage	I <sub>O</sub> = -360 μA	V <sub>CC</sub> - 0.4			V
V <sub>OUT(0)</sub>	Logical "0" Output Voltage	I <sub>O</sub> = 1.6 mA			0.45	V
V <sub>OUT(0)</sub>	Logical "0" Output Voltage EOC	I <sub>O</sub> = 1.2 mA			0.45	V
I <sub>OUT</sub>	TRI-STATE Output Current	V <sub>O</sub> = 5V V <sub>O</sub> = 0	-3		9	μA μA

**Electrical Characteristics**

Timing Specifications V<sub>CC</sub> = V<sub>REF(+)</sub> = 5V, V<sub>REF(-)</sub> = GND, t<sub>r</sub> = t<sub>f</sub> = 20 ns and T<sub>A</sub> = 25°C unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t <sub>WS</sub>	Minimum Start Pulse Width	(Figure 5)		100	200	ns
t <sub>WALE</sub>	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
t <sub>s</sub>	Minimum Address Set-Up Time	(Figure 5)		25	50	ns
t <sub>h</sub>	Minimum Address Hold Time	(Figure 5)		25	50	ns
t <sub>p</sub>	Analog MUX Delay Time From ALE	R <sub>S</sub> = 0Ω (Figure 5)		1	2.5	μs
t <sub>OL</sub> , t <sub>OH</sub>	OE Control to Q Logic State	C <sub>L</sub> = 60 pF, R <sub>L</sub> = 10k (Figure 6)		125	250	ns
t <sub>1μs, t<sub>OH</sub></sub>	OE Control to Hi-Z	C <sub>L</sub> = 10 pF, R <sub>L</sub> = 10k (Figure 6)		125	250	ns
t <sub>c</sub>	Conversion Time	f <sub>c</sub> = 640 kHz, (Figure 5) (Note 7)	90	100	116	μs
f <sub>CLK</sub>	Clock Frequency		10	640	1280	kHz
t <sub>EOC</sub>	EOC Delay Time	(Figure 5)	0		0 + 2 μs	Clock Periods
C <sub>IN</sub>	Input Capacitance	All Control Inputs		10	15	pF
C <sub>OUT</sub>	TRI-STATE Output Capacitance	All TRI-STATE Outputs. (Note 12)		10	15	pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.  
 Note 2: All voltages are measured with respect to GND, unless otherwise specified.  
 Note 3: A zener diode exists internally from V<sub>CC</sub> to GND and has a typical breakdown voltage of 7 V<sub>CC</sub>.  
 Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V<sub>CC</sub> supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V<sub>IN</sub> does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0V<sub>CC</sub> to 5V<sub>CC</sub> input voltage range will therefore require a minimum supply voltage of 4.800 V<sub>CC</sub> over temperature variations, initial tolerance and loading.  
 Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See Figure 3. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example 0.5V to 4.5V full-scale) the reference voltage can be adjusted to achieve this. See Figure 13.  
 Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (Figure 6). See paragraph 4.0.  
 Note 7: The outputs of the data register are unlatched one clock cycle before the rising edge of EOC.  
 Note 8: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

**Functional Description**

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table 1 shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE 1

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

**CONVERTER CHARACTERISTICS**

The Converter  
 The heart of this single chip data acquisition system is an 8-bit analog-to-digital converter. The converter is designed

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (Figure 1) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in Figure 1 are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached + 1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit type converter. Figure 2 shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

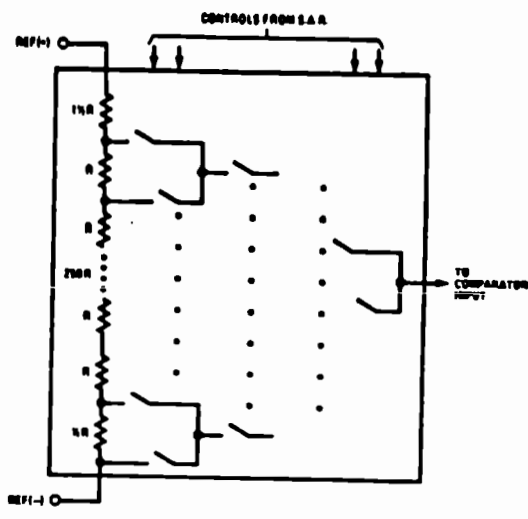


FIGURE 1. Resistor Ladder and Switch Tree

**Functional Description (Continued)**

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion. The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the

comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 measured using the procedures outlined in AN-179.

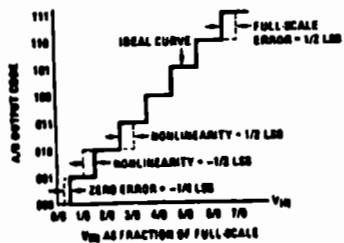


FIGURE 2. 3-Bit A/D Transfer Curve

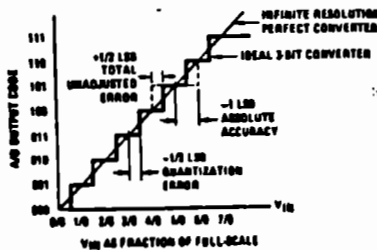
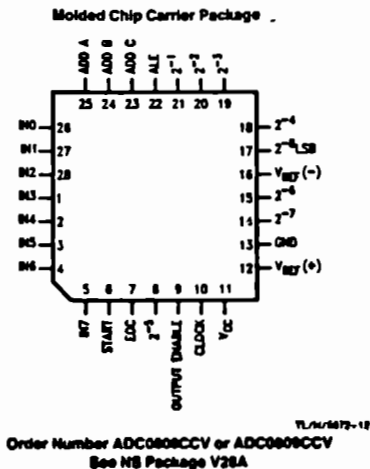
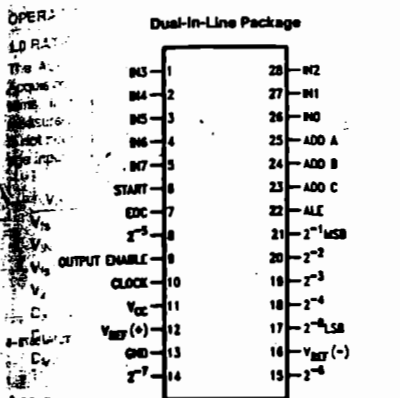


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve



FIGURE 4. Typical Error Curve

**Connection Diagrams**



Order Number ADC0808CCM, ADC0808CCN, ADC0808CCJ or ADC0808CJ  
See NS Package J28A or N28A

Order Number ADC0808CCV or ADC0808CCY  
See NS Package V28A

**Timing Diagram**

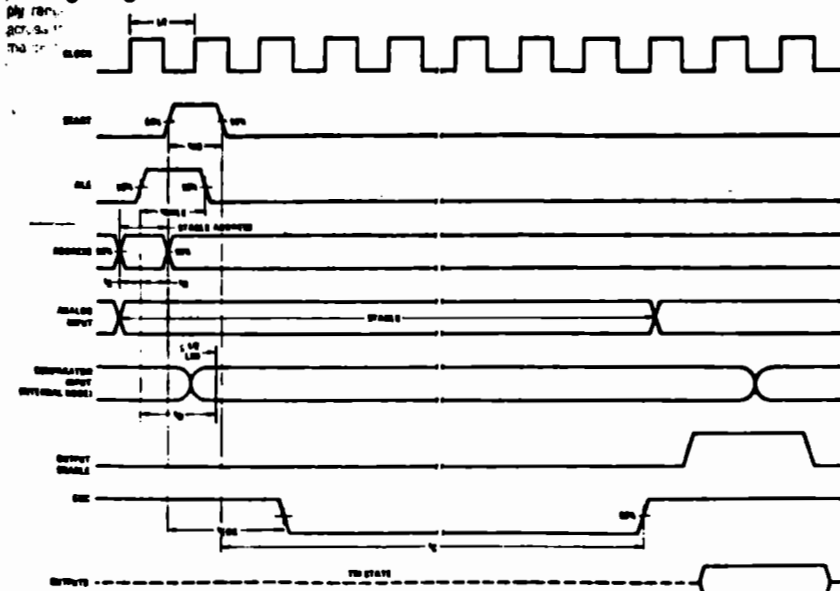


FIGURE 5

Typical Performance Characteristics

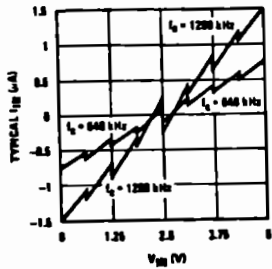


FIGURE 6. Comparator  $I_M$  vs  $V_M$  ( $V_{CC} = V_{REF} = 5V$ )

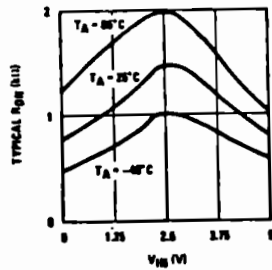


FIGURE 7. Multiplexer  $R_{ON}$  vs  $V_M$  ( $V_{CC} = V_{REF} = 5V$ )

TLN 3472-4

TRI-STATE Test Circuits and Timing Diagrams

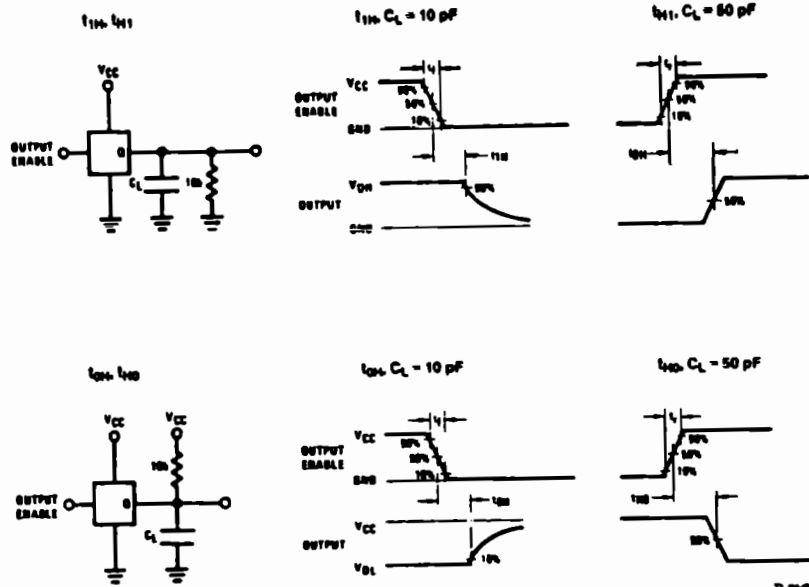


FIGURE 8

TLN 3472-7

Applications Information

OPERATION

1.0 RATIO-METRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratio-metric conversion systems. In ratio-metric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN} - V_Z}{V_{IN} - V_Z - D_{MAX} - D_{MIN}} \quad (1)$$

$V_{IN}$  = Input voltage into the ADC0808  
 $V_{IN}$  = Full-scale voltage  
 $V_Z$  = Zero voltage  
 $D_X$  = Data point being measured  
 $D_{MAX}$  = Maximum data limit  
 $D_{MIN}$  = Minimum data limit

A good example of a ratio-metric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs. (Figure 9).

Ratio-metric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if  $V_{CC} = V_{REF} = 5.12V$ , then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSE which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder,  $Ref(+)$ , should not be more positive than the supply, and the bottom of the ladder,  $Ref(-)$ , should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratio-metric systems and can be seen met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

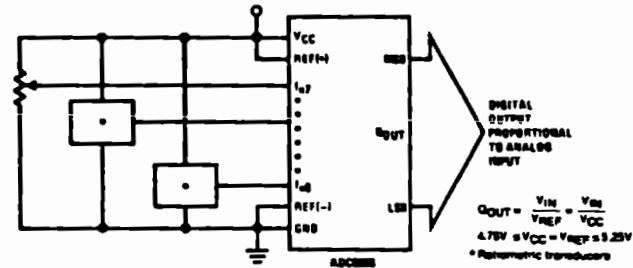


FIGURE 9. Ratio-metric Conversion System

TLN 3472-1



**Applications Information (Continued)**

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In Figure 11 a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in Figure 12. The LM301 is overcompensated to insure stability when loaded by the 10  $\mu$ F output capacitor.

The top and bottom ladder voltages cannot exceed  $V_{CC}$  and ground, respectively, but they can be symmetrically less than  $V_{CC}$  and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 13, a 2.5V reference is symmetrically centered about  $V_{CC}/2$  since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

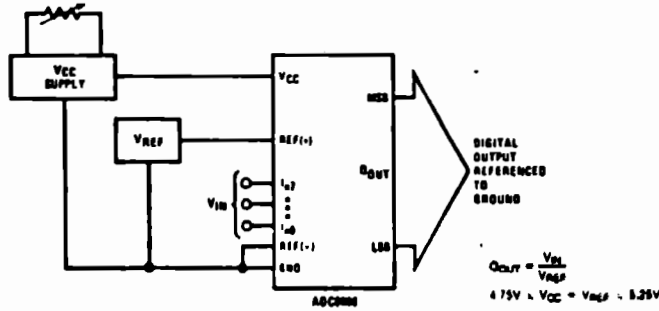


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

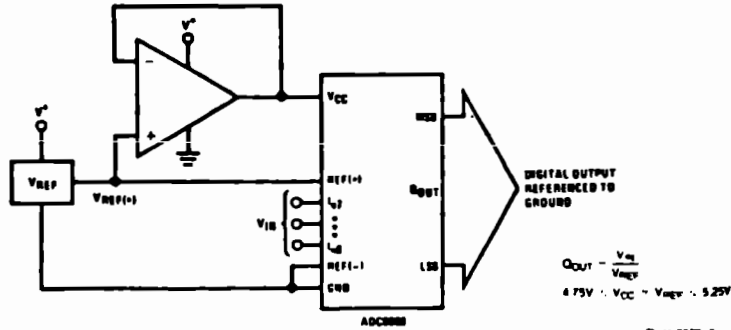


FIGURE 11: Ground Referenced Conversion System with Reference Generating  $V_{CC}$  Supply

**Applications Information (Continued)**

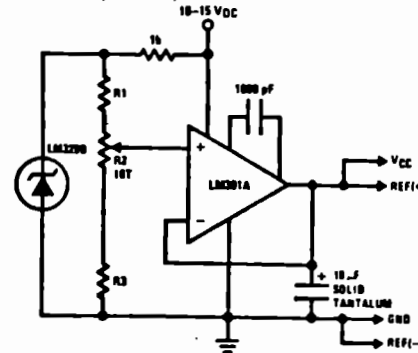


FIGURE 12. Typical Reference and Supply Circuit

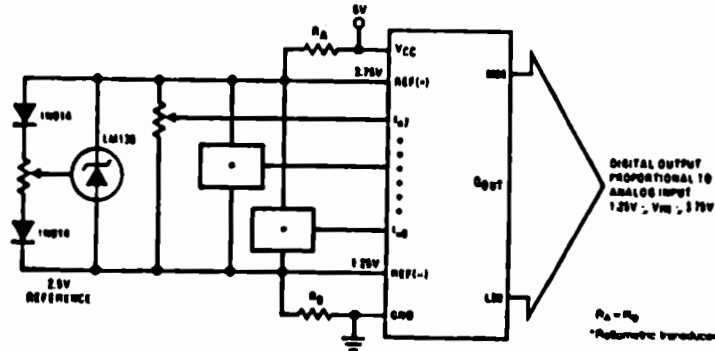


FIGURE 13. Symmetrically Centered Reference

**3.0 CONVERTER EQUATIONS**

The transition between adjacent codes N and N + 1 is given by:

$$V_N = \left( (V_{REF(-)} - V_{REF(-)}) \left[ \frac{N}{256} + \frac{1}{512} \right] + V_{TUE} \right) - V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_N = \left( (V_{REF(-)} - V_{REF(-)}) \left[ \frac{N}{256} \right] + V_{TUE} \right) - V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_N - V_{REF(-)}}{V_{REF(-)} - V_{REF(-)}} - 256 \text{ : Absolute Accuracy} \quad (4)$$

where:  $V_N$  = Voltage at comparator input

$V_{REF(+)}$  = Voltage at Ref (+)

$V_{REF(-)}$  = Voltage at Ref (-)

$V_{TUE}$  = Total unadjusted error voltage (typically

$V_{REF(+)} - 512$ )

**4.0 ANALOG COMPARATOR INPUTS**

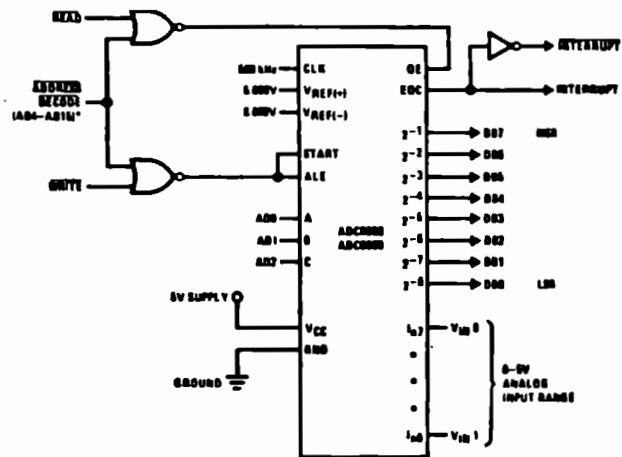
The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder switch tree network and to the comparator input as seen in the operation of the chopper stabilized comparator.

The average value of the comparator input current varies directly with clock frequency and with  $V_{IN}$  as shown in Figure 6.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator noise current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be precariously conventional.

Typical Application



TI, INC. 6572-11

\*Address latches needed for 8086 and 80387 interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
80C86	NRDS	NWDS	SA (Thru Sense A)
8080	VMA+φ2=R/W	VMA+φ=R/W	IRQA or IRQB (Thru PIA)

Ordering Information

TEMPERATURE RANGE		-40°C to +85°C			-55°C to +125°C
Error	± 1/2 LSB Unadjusted	ADC0808CCN	ADC0808CCV	ADC0808CCJ	ADC0808CJ
	± 1 LSB Unadjusted	ADC0809CCN	ADC0809CCV		
Package Outline	N28A Molded DIP	V28A Molded Chip Carrier	J28A Ceramic DIP	J28A Ceramic	



# LM78MXX Series 3-Terminal Positive Voltage Regulators

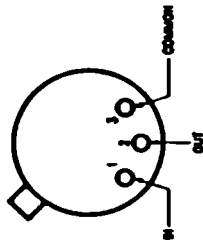
## General Description

The LM78MXX series of 3-terminal medium current positive voltage regulators employ internal current-limiting, thermal shutdown and safe-area compensation making them essentially indestructible. If adequate heat sinking is provided, they can deliver in excess of 0.5A output current. They are intended as fixed voltage regulators in a wide range of applications including local (on-card) regulation for elimination of noise and distribution problems associated with single-point regulation. In addition to use as fixed voltage regulators, these devices can be used with external components to obtain adjustable output voltages and currents.

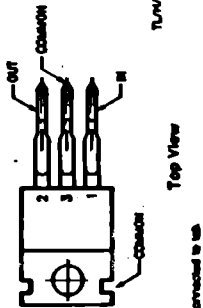
## Features

- Output current in excess of 0.5A
- No external components
- Internal thermal overload protection
- Internal short circuit current-limiting
- Output transistor safe-area compensation
- Available in JEDEC TO-220 and TO-38 packages
- Output voltages of 5V, 6V, 8V, 12V, 15V, and 24V

## Connection Diagrams



Lead 3 connected to GND. Top View  
 Order Number LM78M05C, LM78M06C, LM78M08C, LM78M12C, LM78M15C, LM78M24C  
 See NS Package Number M028



Lead 3 connected to GND. Top View  
 Order Number LM78M05CT, LM78M06CT, LM78M08CT, LM78M12CT, LM78M15CT or LM78M24CT  
 See NS Package Number T028

## Absolute Maximum Ratings

Lead Temperature  
 TO-38 Metal Can (Soldering, 60 sec.) 300°C  
 TO-220 Package (Soldering, 60 sec.) 265°C  
 Internally Limited  
 Power Dissipation  
 Input Voltage  
 8.0V to 15V 35V  
 24V 40V  
 ESD Susceptibility  
 (to be determined)

## Electrical Characteristics

Lead Temperature  
 TO-38 Metal Can (Soldering, 60 sec.) 300°C  
 TO-220 Package (Soldering, 60 sec.) 265°C  
 Internally Limited  
 Power Dissipation  
 Input Voltage  
 8.0V to 15V 35V  
 24V 40V  
 ESD Susceptibility  
 (to be determined)

### LM78M05C

Electrical Characteristics  
 $V_i \leq 15V, V_o = 5V, I_o = 350 \text{ mA}, C_i = 0.22 \mu\text{F}, C_o = 0.1 \mu\text{F}$ , unless otherwise specified

Parameter	Conditions (Note 1)	Min	Typ	Max	Units
Output Voltage	$T_j = 25^\circ\text{C}$	4.8	5.0	5.2	V
Line Regulation	$7.0V \leq V_i \leq 25V, I_o = 200 \text{ mA}$		3.0	100	mV
	$8.0V \leq V_i \leq 20V, I_o = 200 \text{ mA}$		1.0	60	mV
Load Regulation	$8.0 \text{ mA} \leq I_o \leq 500 \text{ mA}$		20	100	mV
	$8.0 \text{ mA} \leq I_o \leq 200 \text{ mA}$		10	60	mV
Output Voltage	$7.0V \leq V_i \leq 20V, 8.0 \text{ mA} \leq I_o \leq 350 \text{ mA}$	4.78		5.28	V
Quiescent Current	with Line		4.5	8.0	mA
	with Load			0.8	mA
Current Change	with Line			0.5	mA
	with Load			0.5	mA
Noise	$T_j = 25^\circ\text{C}, 10 \text{ Hz} \leq f \leq 100 \text{ kHz}$		40		$\mu\text{V}$
Ripple Rejection	$f = 2400 \text{ Hz}, I_o = 128 \text{ mA}, T_j = 25^\circ\text{C}$	63	60		dB
Dropout Voltage	$T_j = 25^\circ\text{C}$		2.0		V
Output Short-Circuit Current	$T_j = 25^\circ\text{C}, V_i = 38V$		300		mA
Peak Output Current	$T_j = 25^\circ\text{C}$		700		mA
Average Temperature Coefficient of Output Voltage	$I_o = 8.0 \text{ mA}$		1.0		mV/°C

### LM78M06C

Electrical Characteristics  
 $V_i \leq 15V, V_o = 6V, I_o = 350 \text{ mA}, C_i = 0.22 \mu\text{F}, C_o = 0.1 \mu\text{F}$ , unless otherwise specified

Parameter	Conditions (Note 1)	Min	Typ	Max	Units
Output Voltage	$T_j = 25^\circ\text{C}$	5.75	6.0	6.25	V
Line Regulation	$8.0V \leq V_i \leq 25V, I_o = 200 \text{ mA}$		5.0	100	mV
	$9.0V \leq V_i \leq 20V, I_o = 200 \text{ mA}$		1.5	50	mV
Load Regulation	$5.0 \text{ mA} \leq I_o \leq 500 \text{ mA}$		20	120	mV
	$5.0 \text{ mA} \leq I_o \leq 200 \text{ mA}$		10	60	mV
Output Voltage	$8.0V \leq V_i \leq 21V, 5.0 \text{ mA} \leq I_o \leq 350 \text{ mA}$	5.7		6.3	V
Quiescent Current	with Line		4.5	8.0	mA
	with Load			0.8	mA
Current Change	with Line			0.5	mA
	with Load			0.5	mA

**LM78M06C****Electrical Characteristics** (Continued)0°C ≤ T<sub>A</sub> ≤ 125°C, V<sub>I</sub> = 11V, I<sub>O</sub> = 350 mA, C<sub>I</sub> = 0.33 μF, C<sub>O</sub> = 0.1 μF, unless otherwise specified.

Symbol	Parameter	Conditions (Note 1)	Min	Typ	Max	Units
N <sub>O</sub>	Noise	T <sub>A</sub> = 25°C, 10 Hz ≤ f ≤ 100 kHz		45		μV
ΔV <sub>I</sub> /ΔV <sub>O</sub>	Ripple Rejection	f = 2400 Hz, I <sub>O</sub> = 125 mA, T <sub>J</sub> = 25°C	59	80		dB
V <sub>DO</sub>	Dropout Voltage	T <sub>A</sub> = 25°C		2.0		V
I <sub>OS</sub>	Output Short Circuit Current	T <sub>J</sub> = 25°C, V <sub>I</sub> = 35V		270		mA
I <sub>pk</sub>	Peak Output Current	T <sub>J</sub> = 25°C		700		mA
ΔV <sub>O</sub> /ΔT	Average Temperature Coefficient of Output Voltage	I <sub>O</sub> = 5.0 mA		0.5		mV/°C

**LM78M08C****Electrical Characteristics**0°C ≤ T<sub>A</sub> ≤ 125°C, V<sub>I</sub> = 14V, I<sub>O</sub> = 350 mA, C<sub>I</sub> = 0.33 μF, C<sub>O</sub> = 0.1 μF, unless otherwise specified.

Symbol	Parameter	Conditions (Note 1)	Min	Typ	Max	Units
V <sub>O</sub>	Output Voltage	T <sub>J</sub> = 25°C	7.7	8.0	8.3	V
V <sub>R LINE</sub>	Line Regulation	T <sub>J</sub> = 25°C 10.5V ≤ V <sub>I</sub> ≤ 23V, I <sub>O</sub> = 200 mA 11V ≤ V <sub>I</sub> ≤ 20V, I <sub>O</sub> = 200 mA		0.0	100	mV/V
V <sub>R LOAD</sub>	Load Regulation	T <sub>J</sub> = 25°C 5.0 mA ≤ I <sub>O</sub> ≤ 500 mA 5.0 mA ≤ I <sub>O</sub> ≤ 200 mA		25	80	mV
V <sub>O</sub>	Output Voltage	10.5V ≤ V <sub>I</sub> ≤ 23V, 5.0 mA ≤ I <sub>O</sub> ≤ 350 mA	7.8		8.4	V
I <sub>O</sub>	Quiescent Current	T <sub>J</sub> = 25°C		4.8	8.0	mA
ΔI <sub>O</sub>	Quiescent Current Change	with Line: 10.5V ≤ V <sub>I</sub> ≤ 25V, I <sub>O</sub> = 200 mA with Load: 6.0 mA ≤ I <sub>O</sub> ≤ 350 mA			0.8	mA
N <sub>O</sub>	Noise	T <sub>A</sub> = 25°C, 10 Hz ≤ f ≤ 100 kHz		52		μV
ΔV <sub>I</sub> /ΔV <sub>O</sub>	Ripple Rejection	f = 2400 Hz, I <sub>O</sub> = 125 mA, T <sub>J</sub> = 25°C	58	80		dB
V <sub>DO</sub>	Dropout Voltage	T <sub>A</sub> = 25°C		2.0		V
I <sub>OS</sub>	Output Short Circuit Current	T <sub>J</sub> = 25°C, V <sub>I</sub> = 35V		250		mA
I <sub>pk</sub>	Peak Output Current	T <sub>J</sub> = 25°C		700		mA
ΔV <sub>O</sub> /ΔT	Average Temperature Coefficient of Output Voltage	I <sub>O</sub> = 5.0 mA		0.5		mV/°C

**LM78M12C****Electrical Characteristics**0°C ≤ T<sub>A</sub> ≤ 125°C, V<sub>I</sub> = 19V, I<sub>O</sub> = 350 mA, C<sub>I</sub> = 0.33 μF, C<sub>O</sub> = 0.1 μF, unless otherwise specified.

Symbol	Parameter	Conditions (Note 1)	Min	Typ	Max	Units
V <sub>O</sub>	Output Voltage	T <sub>J</sub> = 25°C	11.5	12.0	12.5	V
V <sub>R LINE</sub>	Line Regulation	T <sub>J</sub> = 25°C 14.5V ≤ V <sub>I</sub> ≤ 30V, I <sub>O</sub> = 200 mA 16V ≤ V <sub>I</sub> ≤ 25V, I <sub>O</sub> = 200 mA		0.0	100	mV/V

**LM78M12C****Electrical Characteristics** (Continued)0°C ≤ T<sub>A</sub> ≤ 125°C, V<sub>I</sub> = 19V, I<sub>O</sub> = 350 mA, C<sub>I</sub> = 0.33 μF, C<sub>O</sub> = 0.1 μF, unless otherwise specified.

Symbol	Parameter	Conditions (Note 1)	Min	Typ	Max	Units
V <sub>R LOAD</sub>	Load Regulation	T <sub>J</sub> = 25°C 5.0 mA ≤ I <sub>O</sub> ≤ 500 mA 5.0 mA ≤ I <sub>O</sub> ≤ 200 mA		25	240	mV
V <sub>O</sub>	Output Voltage	14.5V ≤ V <sub>I</sub> ≤ 27V, 5.0 mA ≤ I <sub>O</sub> ≤ 350 mA	11.4		12.6	V
I <sub>O</sub>	Quiescent Current	T <sub>J</sub> = 25°C		4.8	8.0	mA
ΔI <sub>O</sub>	Quiescent Current Change	with Line: 14.5V ≤ V <sub>I</sub> ≤ 30V, I <sub>O</sub> = 200 mA with Load: 5.0 mA ≤ I <sub>O</sub> ≤ 350 mA			0.8	mA
N <sub>O</sub>	Noise	T <sub>A</sub> = 25°C, 10 Hz ≤ f ≤ 100 kHz		75		μV
ΔV <sub>I</sub> /ΔV <sub>O</sub>	Ripple Rejection	f = 2400 Hz, I <sub>O</sub> = 125 mA, V <sub>I</sub> = 17V, T <sub>J</sub> = 25°C	55	80		dB
V <sub>DO</sub>	Dropout Voltage	T <sub>A</sub> = 25°C		2.0		V
I <sub>OS</sub>	Output Short Circuit Current	T <sub>J</sub> = 25°C, V <sub>I</sub> = 35V		240		mA
I <sub>pk</sub>	Peak Output Current	T <sub>J</sub> = 25°C		700		mA
ΔV <sub>O</sub> /ΔT	Average Temperature Coefficient of Output Voltage	I <sub>O</sub> = 5.0 mA		1.0		mV/°C

**LM78M15C****Electrical Characteristics**0°C ≤ T<sub>A</sub> ≤ 125°C, V<sub>I</sub> = 23V, I<sub>O</sub> = 350 mA, C<sub>I</sub> = 0.33 μF, C<sub>O</sub> = 0.1 μF, unless otherwise specified (Continued)

Symbol	Parameter	Conditions (Note 1)	Min	Typ	Max	Units
V <sub>O</sub>	Output Voltage	T <sub>J</sub> = 25°C	14.4	15.0	15.6	V
V <sub>R LINE</sub>	Line Regulation	T <sub>J</sub> = 25°C 17.5V ≤ V <sub>I</sub> ≤ 30V, I <sub>O</sub> = 200 mA 20V ≤ V <sub>I</sub> ≤ 28V, I <sub>O</sub> = 200 mA		10	100	mV/V
V <sub>R LOAD</sub>	Load Regulation	T <sub>J</sub> = 25°C 5.0 mA ≤ I <sub>O</sub> ≤ 500 mA 5.0 mA ≤ I <sub>O</sub> ≤ 200 mA		25	300	mV
V <sub>O</sub>	Output Voltage	17.5V ≤ V <sub>I</sub> ≤ 30V, 5.0 mA ≤ I <sub>O</sub> ≤ 350 mA	14.25		16.75	V
I <sub>O</sub>	Quiescent Current	T <sub>J</sub> = 25°C		4.8	8.0	mA
ΔI <sub>O</sub>	Quiescent Current Change	with Line: 17.5V ≤ V <sub>I</sub> ≤ 30V, I <sub>O</sub> = 200 mA with Load: 5.0 mA ≤ I <sub>O</sub> ≤ 350 mA			0.8	mA
N <sub>O</sub>	Noise	T <sub>A</sub> = 25°C, 10 Hz ≤ f ≤ 100 kHz		80		μV
ΔV <sub>I</sub> /ΔV <sub>O</sub>	Ripple Rejection	f = 2400 Hz, I <sub>O</sub> = 125 mA, V <sub>I</sub> = 20V, T <sub>J</sub> = 25°C	54	70		dB
V <sub>DO</sub>	Dropout Voltage	T <sub>A</sub> = 25°C		2.0		V
I <sub>OS</sub>	Output Short Circuit Current	T <sub>J</sub> = 25°C, V <sub>I</sub> = 35V		240		mA
I <sub>pk</sub>	Peak Output Current	T <sub>J</sub> = 25°C		700		mA
ΔV <sub>O</sub> /ΔT	Average Temperature Coefficient of Output Voltage	I <sub>O</sub> = 5.0 mA		1.0		mV/°C

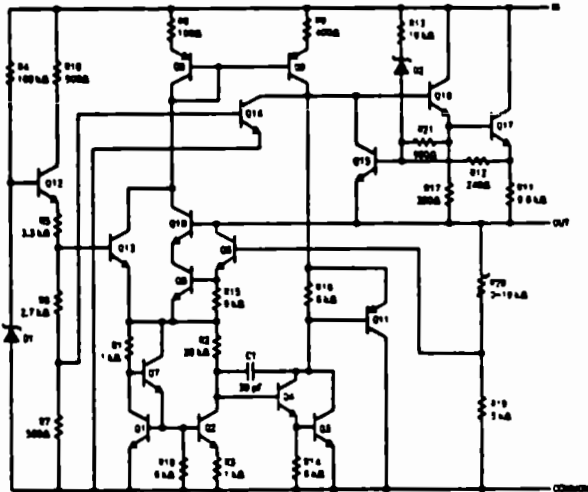
### LM78M24C Electrical Characteristics

0°C ≤ T<sub>A</sub> ≤ 125°C, V<sub>I</sub> = 33V, I<sub>O</sub> = 350 mA, C<sub>I</sub> = 0.33 μF, C<sub>O</sub> = 0.1 μF, unless otherwise specified

Symbol	Parameter	Conditions (Note 1)	Min	Typ	Max	Units
V <sub>O</sub>	Output Voltage	T <sub>J</sub> = 25°C	23.0	24.0	25.0	V
V <sub>R LINE</sub>	Line Regulation	T <sub>J</sub> = 25°C 27V ≤ V <sub>I</sub> ≤ 38V, I <sub>O</sub> = 200 mA		10	100	mV
		28V ≤ V <sub>I</sub> ≤ 36V, I <sub>O</sub> = 200 mA		5.0	50	mV
V <sub>R LOAD</sub>	Load Regulation	T <sub>J</sub> = 25°C 5.0 mA ≤ I <sub>O</sub> ≤ 500 mA		30	480	mV
		5.0 mA ≤ I <sub>O</sub> ≤ 200 mA		10	240	mV
V <sub>O</sub>	Output Voltage	27V ≤ V <sub>I</sub> ≤ 38V, 5.0 mA ≤ I <sub>O</sub> ≤ 350 mA	22.8		25.2	V
I <sub>O</sub>	Quiescent Current	T <sub>J</sub> = 25°C		5.0	8.0	mA
ΔI <sub>O</sub>	Quiescent Current Change	with Line: 27V ≤ V <sub>I</sub> ≤ 38V, I <sub>O</sub> = 200 mA			0.8	mA
		with Load: 5.0 mA ≤ I <sub>O</sub> ≤ 350 mA			0.5	mA
N <sub>O</sub>	Noise	T <sub>A</sub> = 25°C, 10 Hz ≤ f ≤ 100 kHz		170		μV
ΔV <sub>I</sub> /ΔV <sub>O</sub>	Ripple Rejection	f = 2400 Hz, I <sub>O</sub> = 25 mA, V <sub>I</sub> = 20V, 25°C	60	70		dB
V <sub>DO</sub>	Dropout Voltage	T <sub>J</sub> = 25°C		2.0		V
I <sub>OS</sub>	Output Short Circuit Current	T <sub>J</sub> = 38°C, V <sub>I</sub> = 35V		24		mA
I <sub>PM</sub>	Peak Output Current	T <sub>J</sub> = 25°C		700		mA
ΔV <sub>O</sub> /ΔT	Average Temperature Coefficient of Output Voltage	I <sub>O</sub> = 5.0 mA		1.2		mV/°C

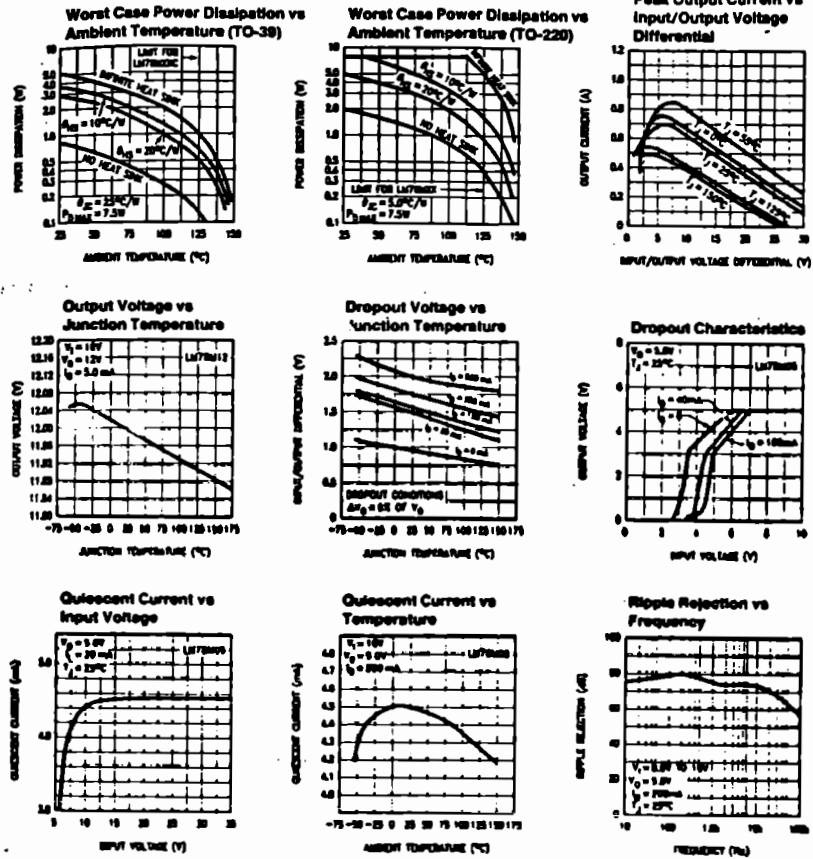
Note 1: All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (I<sub>PM</sub> = 10 ms, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

#### Equivalent Circuit



TLV1100B-3

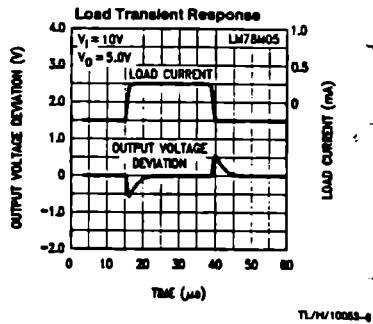
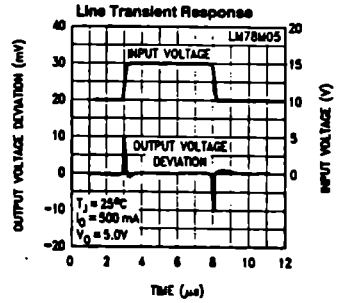
### Typical Performance Characteristics



Note: Other LM78MXX Series devices have similar curves.

TLV1100B-4

Typical Performance Characteristics (Continued)



Design Considerations

The LM780MX fixed voltage regulator series has thermal-overload protection from excessive power, internal short circuit protection which limits the circuit's maximum current, and output transistor safe-area compensation for reducing the output short circuit current as the voltage across the pass transistor is increased.

Although the internal power dissipation is limited, the junction temperature must be kept below the maximum specified temperature (+125°C for LM780MXC) in order to meet data sheet specifications. To calculate the maximum junction temperature or heat sink required, the following thermal resistance values should be used:

Package	Typ $\theta_{JC}$	Max $\theta_{JC}$	Typ $\theta_{JA}$	Max $\theta_{JA}$
TO-39	18	25	120	140
TO-220	3.0	8.0	60	40

$$P_{D\text{ Max}} = \frac{T_J\text{ Max} - T_A}{\theta_{JC} + \theta_{CA}} \text{ or}$$

$$= \frac{T_J\text{ Max} - T_A}{\theta_{JA}} \text{ (Without a Heat Sink)}$$

$$\theta_{CA} = \theta_{CS} + \theta_{SA}$$

Solving for  $T_J$ :

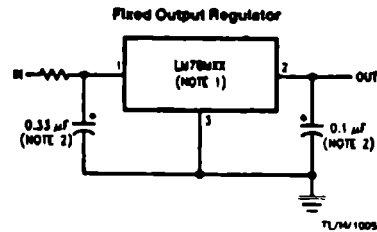
$$T_J = T_A + P_D(\theta_{JC} + \theta_{CA}) \text{ or}$$

$$= T_A + P_D\theta_{JA} \text{ (Without a Heat Sink)}$$

Where:

- $T_J$  = Junction Temperature
- $T_A$  = Ambient Temperature
- $P_D$  = Power Dissipation
- $\theta_{JC}$  = Junction to Case Thermal Resistance
- $\theta_{CA}$  = Case-to-Ambient Thermal Resistance
- $\theta_{CS}$  = Case-to-Heat Sink Resistance
- $\theta_{SA}$  = Heat Sink-to-Ambient Thermal Resistance
- $\theta_{JA}$  = Junction-to-Ambient Thermal Resistance

Typical Applications



Note 1: To specify an output voltage, substitute voltage value for "XX".  
 Note 2: Bypass capacitors are recommended for optimum stability and transient response and should be located as close as possible to the regulator.



LM79XX Series 3-Terminal Negative Regulators

General Description

The LM79XX series of 3-terminal regulators is available with fixed output voltages of -5V, -12V, and -15V. These devices need only one external component—a compensation capacitor at the output. The LM79XX series is packaged in the TO-220 power package and is capable of supplying 1.5A of output current.

These regulators employ internal current limiting, safe area protection and thermal shutdown for protection against virtually all overload conditions.

Low ground pin current of the LM79XX series allows output voltage to be easily boosted above the preset value with a resistor divider. The low quiescent current drain of

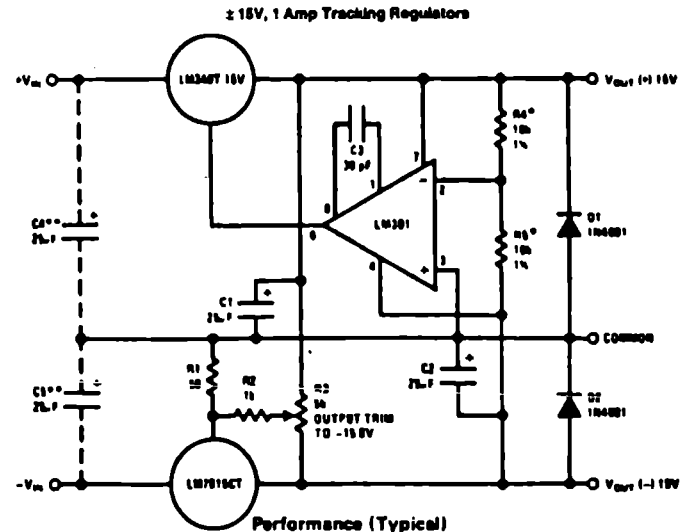
these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode.

For applications requiring other voltages, see LM137 data sheet.

Features

- Thermal, short circuit and safe area protection
- High ripple rejection
- 1.5A output current
- 4% preset output voltage

Typical Applications



Performance (Typical)

	(-15)	(+15)
Load Regulation at $I_L = 1\text{ A}$	40 mV	2 mV
Output Ripple, $C_{OUT} = 3000\ \mu\text{F}$ , $I_L = 1\text{ A}$	100 $\mu\text{Vrms}$	100 $\mu\text{Vrms}$
Temperature Stability	50 mV	50 mV
Output Noise 10 Hz $\leq f < 10\text{ kHz}$	150 $\mu\text{Vrms}$	150 $\mu\text{Vrms}$

\*Resistor tolerance of R4 and R5 determine matching of (+) and (-) outputs.  
 \*\*Necessary only if raw supply filter capacitors are more than 2" from regulators.



### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

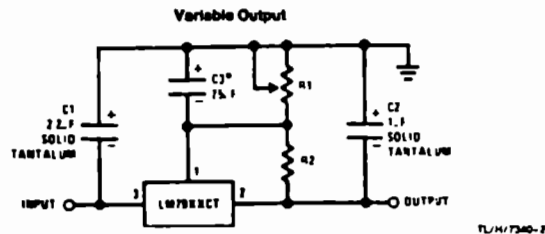
Input Voltage  
( $V_O = 5V$ ) -35V  
( $V_O = 12V$  and 15V) -40V

Input-Output Differential  
( $V_O = 5V$ ) 25V  
( $V_O = 12V$  and 15V) 30V  
Power Dissipation (Note 1) Internally Limited  
Operating Junction Temperature Range 0°C to +125°C  
Storage Temperature Range -65°C to +150°C  
Lead Temperature (Soldering, 10 sec.) 230°C

**Electrical Characteristics** Conditions unless otherwise noted:  $I_{OUT} = 500$  mA,  $C_{IN} = 2.2$   $\mu$ F,  $C_{OUT} = 1$   $\mu$ F, 0°C  $\leq T_J \leq +125$ °C, Power Dissipation  $\leq 1.5$ W.

Part Number		LM7905C			Units
Output Voltage		5V			
Input Voltage (unless otherwise specified)		-10V			
Symbol	Parameter	Conditions	Min	Typ	Max
$V_O$	Output Voltage	$T_J = 25^\circ\text{C}$	-4.8	-5.0	-5.2
		$5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$ , $P \leq 15\text{ W}$	-4.75		-5.25
		$(-20 \leq V_{IN} \leq -7)$			
$\Delta V_O$	Line Regulation	$T_J = 25^\circ\text{C}$ , (Note 2)		8	50
		$(-25 \leq V_{IN} \leq -7)$			
			2	15	
$\Delta V_O$	Load Regulation	$T_J = 25^\circ\text{C}$ , (Note 2)		15	100
		$5\text{ mA} \leq I_{OUT} \leq 1.5\text{ A}$ $250\text{ mA} \leq I_{OUT} \leq 750\text{ mA}$		5	50
$I_Q$	Quiescent Current	$T_J = 25^\circ\text{C}$		1	2
$\Delta I_Q$	Quiescent Current Change	With Line			0.5
		With Load, $5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$	$(-25 \leq V_{IN} \leq -7)$		0.5
$V_n$	Output Noise Voltage	$T_A = 25^\circ\text{C}$ , 10 Hz $\leq f \leq 100$ Hz		125	
		Ripple Rejection	$f = 120$ Hz	54	66
	Dropout Voltage	$T_J = 25^\circ\text{C}$ , $I_{OUT} = 1\text{ A}$		1.1	
$I_{O\text{MAX}}$	Peak Output Current	$T_J = 25^\circ\text{C}$		2.2	
	Average Temperature Coefficient of Output Voltage	$I_{OUT} = 5\text{ mA}$ , 0°C $\leq T_J \leq 100^\circ\text{C}$		0.4	

### Typical Applications (Continued)



\*Improve transient response and ripple rejection. Do not increase beyond 50  $\mu$ F

$$V_{OUT} = V_{SET} \left( \frac{R1 + R2}{R2} \right)$$

Select R2 as follows:  
LM7905CT 300 $\Omega$   
LM7912CT 750 $\Omega$   
LM7915CT 1k

### Electrical Characteristics (Continued)

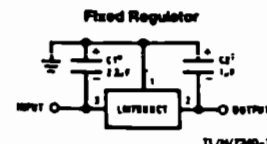
Conditions unless otherwise noted:  $I_{OUT} = 500$  mA,  $C_{IN} = 2.2$   $\mu$ F,  $C_{OUT} = 1$   $\mu$ F, 0°C  $\leq T_J \leq +125$ °C, Power Dissipation = 1.5W.

Part Number		LM7912C			LM7915C			Units
Output Voltage		12V			15V			
Input Voltage (unless otherwise specified)		-19V			-23V			
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max
$V_O$	Output Voltage	$T_J = 25^\circ\text{C}$	-11.5	-12.0	-12.5	-14.4	-15.0	-15.6
		$5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$ , $P \leq 15\text{ W}$	-11.4		-12.6	-14.25		-15.75
		$(-27 \leq V_{IN} \leq -14.5)$						
$\Delta V_O$	Line Regulation	$T_J = 25^\circ\text{C}$ , (Note 2)		5	60		5	100
		$(-30 \leq V_{IN} \leq -14.5)$						
				3	30		3	50
$\Delta V_O$	Load Regulation	$T_J = 25^\circ\text{C}$ , (Note 2)		15	200		15	200
		$5\text{ mA} \leq I_{OUT} \leq 1.5\text{ A}$ $250\text{ mA} \leq I_{OUT} \leq 750\text{ mA}$		5	75		5	75
$I_Q$	Quiescent Current	$T_J = 25^\circ\text{C}$		1.5	3		1.5	3
$\Delta I_Q$	Quiescent Current Change	With Line			0.5			0.5
		With Load, $5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$	$(-30 \leq V_{IN} \leq -14.5)$			0.5		0.5
$V_n$	Output Noise Voltage	$T_A = 25^\circ\text{C}$ , 10 Hz $\leq f \leq 100$ Hz		300		375		
		Ripple Rejection	$f = 120$ Hz	54	70	54	70	
	Dropout Voltage	$T_J = 25^\circ\text{C}$ , $I_{OUT} = 1\text{ A}$		1.1		1.1		
$I_{O\text{MAX}}$	Peak Output Current	$T_J = 25^\circ\text{C}$		2.2		2.2		
	Average Temperature Coefficient of Output Voltage	$I_{OUT} = 5\text{ mA}$ , 0°C $\leq T_J \leq 100^\circ\text{C}$		-0.8		-1.0		

Note 1: For calculations of junction temperature rise due to power dissipation, thermal resistance junction to ambient ( $\theta_{JA}$ ) is 90°C/W (no heat sink) and 6°C/W (infinitely heat sink).

Note 2: Regulation is measured at a constant junction temperature by pulse testing with a low duty cycle. Changes in output voltage due to heating effects must be taken into account.

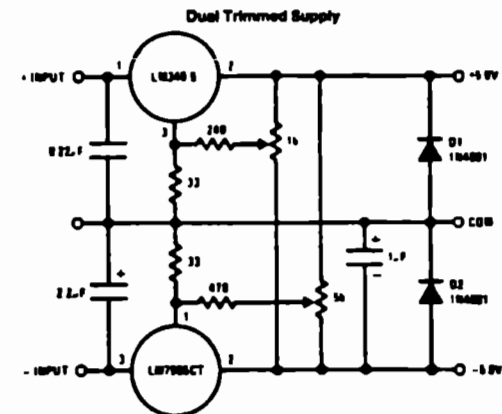
### Typical Applications (Continued)



\*Required if regulator is separated from filter capacitor by more than 2". For values given, capacitor must be solid tantalum 25  $\mu$ F aluminum electrolytic may be substituted.

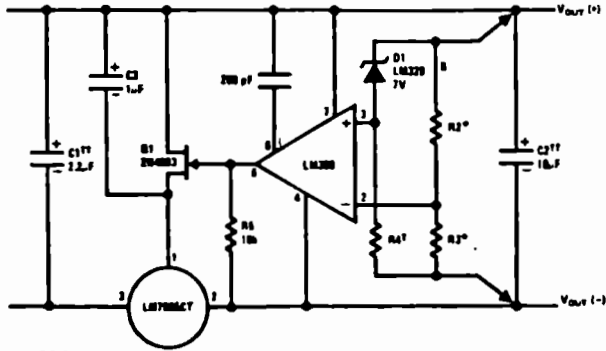
†Required for stability. For values given, capacitor must be solid tantalum 25  $\mu$ F aluminum electrolytic may be substituted. Values given may be increased without limit.

For output capacitance in excess of 100  $\mu$ F, a high current diode from input to output (1N4001, etc.) will protect the regulator from momentary input shorts.



Typical Applications (Continued)

High Stability 1 Amp Regulator



Load and line regulation < 0.01% temperature stability > 0.2%

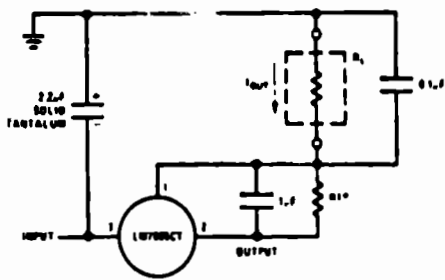
I<sub>Z</sub> Determine Zener current

I<sub>S</sub> Solid state switch

\*Select resistors to set output voltage. 2 ppm/°C tracking is guaranteed

TL797346-6

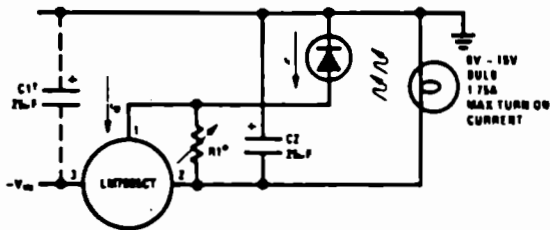
C<sub>2</sub>: 1 Source



$$I_{OUT} = 1 \text{ mA} + \frac{V_{OUT}}{R_1}$$

TL797346-7

Light Controllers Using Silicon Photo Cells

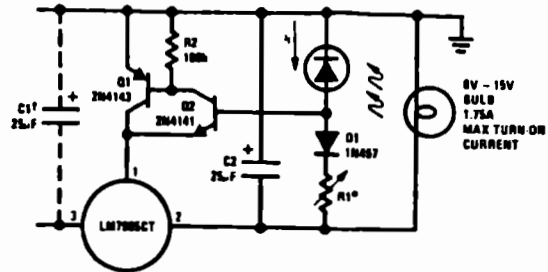


\*Lamp brightness increase with  $I_{LAMP} = I_{Z} + 1 \text{ mA} - 5V/R_1$

\*Necessary only if raw supply filter capacitor is more than 2" from LM7905CT

TL797346-8

Typical Applications (Continued)

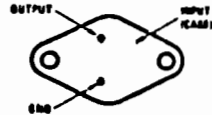


\*Lamp brightness increases with  $I_{LAMP} = 5V/R_1$  ( $I_{LAMP}$  can be set as low as 1 µA)  
 \*Necessary only if raw supply filter capacitor is more than 2" from LM7905CT

TL797346-9

Connection Diagrams

TO-3 Package

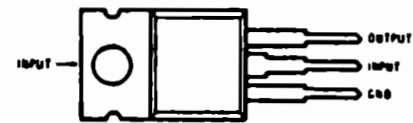


Bottom View

Order Number LM7905CK, LM7912CK or LM7918CK  
 See NS Package Number KC02A

TL797346-10

TO-220 Package



Top View

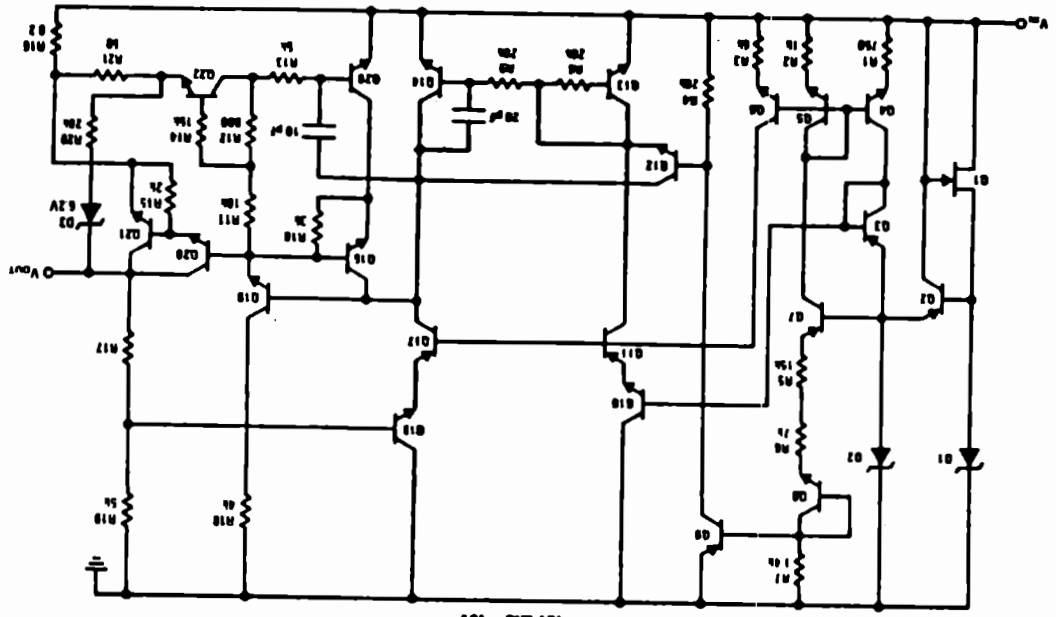
Order Number LM7905CT, LM7912CT or LM7918CT  
 See NS Package Number TO3B

TL797346-11



TL7940-13

Schematic Diagrams (Continued)

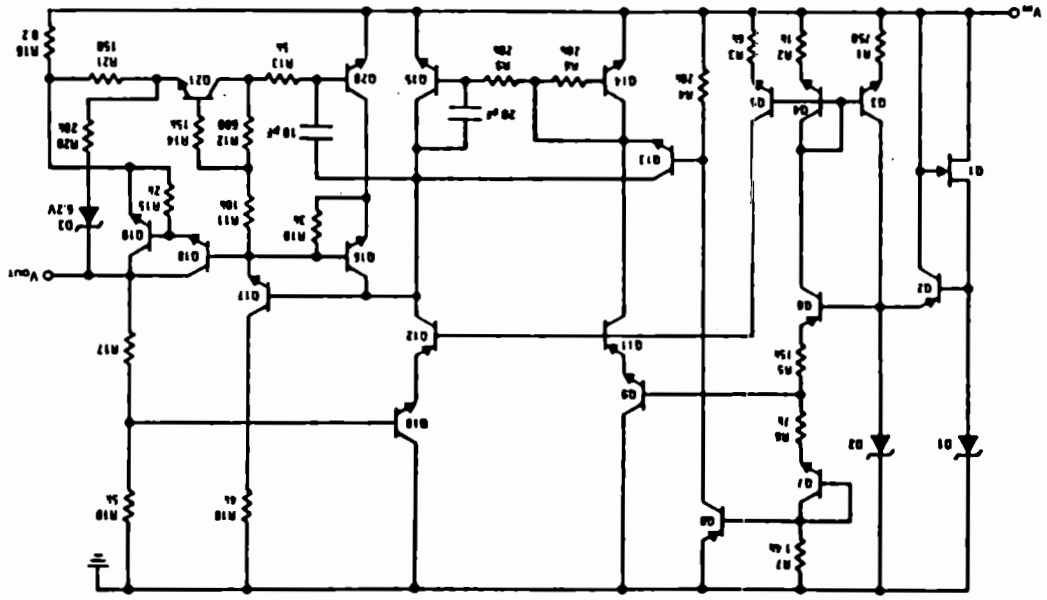


AS1 - 04W AZ1 -

1.331

TL7940-18

Schematic Diagrams



AS -

1.335



## LF351 Wide Bandwidth JFET Input Operational Amplifier

### General Description

The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

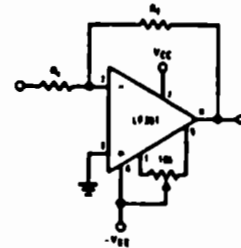
The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply

current is important, however, the LF351 is the better choice.

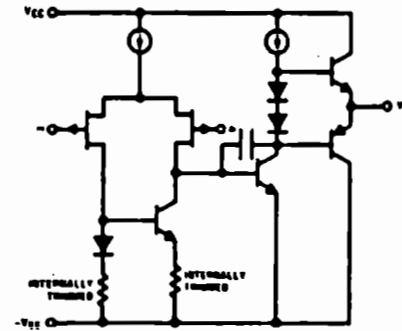
### Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	10 <sup>12</sup> Ω
■ Low total harmonic distortion $A_V = 10$ , $R_L = 10k$ , $V_O = 20$ Vp-p, BW = 20 Hz - 20 kHz	< 0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

### Typical Connection

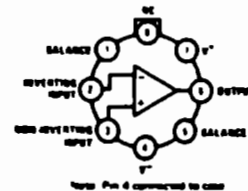


### Simplified Schematic



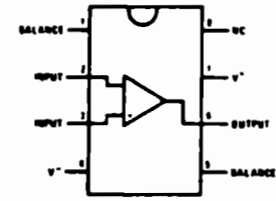
### Connection Diagrams (Top Views)

#### Metal Can Package



Order Number LF351H  
See NS Package Number H08C

#### Dual-In-Line Package



Order Number LF351J,  
LF351M or LF351N  
See NS Package Number J08A, M08A or N08E

### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	= 18V
Power Dissipation (Notes 1 and 6)	870 mW
Operating Temperature Range	0°C to +70°C
T <sub>J</sub> (MAX)	115°C
Differential Input Voltage	= 30V
Input Voltage Range (Note 2)	= 15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	300°C
Metal Can	260°C
DIP	260°C

	H Package	H Package
$\theta_{JA}$	164°C/W (Still Air)	120°C/W
	66°C/W	
	(400 LF/min Air Flow)	
$\theta_{JC}$	21°C/W	
Soldering Information		
	Dual-In-Line Package	
	Soldering (10 sec.)	260°C
	Small Outline Package	
	Vapor Phase (60 sec.)	215°C
	Infrared (15 sec.)	220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.		
ESD rating to be determined.		

### DC Electrical Characteristics (Note 3)

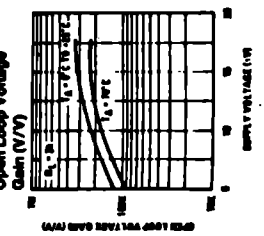
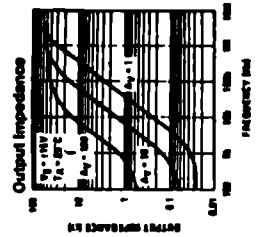
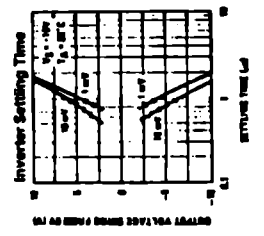
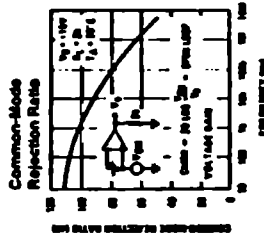
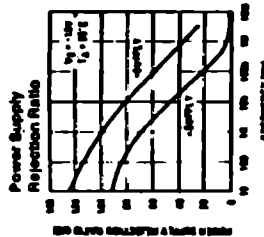
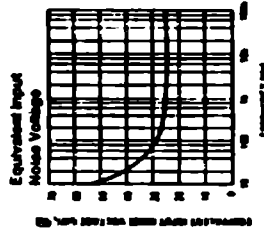
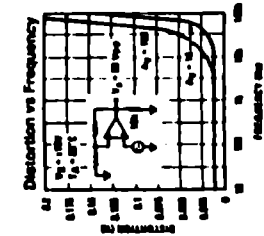
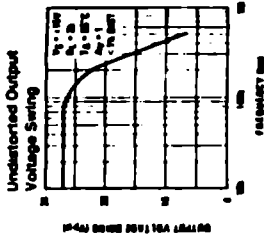
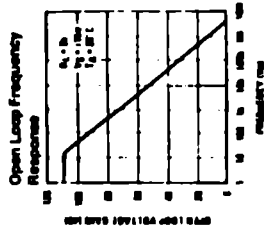
Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V <sub>OS</sub>	Input Offset Voltage	R <sub>S</sub> = 10 k $\Omega$ , T <sub>A</sub> = 25°C Over Temperature		5	10	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R <sub>S</sub> = 10 k $\Omega$		10		$\mu V/^\circ C$
I <sub>OS</sub>	Input Offset Current	T <sub>J</sub> = 25°C, (Notes 3, 4) T <sub>J</sub> = 70°C		25	100	$\mu A$
I <sub>B</sub>	Input Bias Current	T <sub>J</sub> = 25°C, (Notes 3, 4) T <sub>J</sub> = 70°C		50	200	$\mu A$
R <sub>IN</sub>	Input Resistance	T <sub>J</sub> = 25°C		10 <sup>12</sup>		$\Omega$
A <sub>VOL</sub>	Large Signal Voltage Gain	V <sub>S</sub> = $\pm 15V$ , T <sub>A</sub> = 25°C V <sub>O</sub> = $\pm 10V$ , R <sub>L</sub> = 2 k $\Omega$ Over Temperature	25	100		V/mV
V <sub>O</sub>	Output Voltage Swing	V <sub>S</sub> = $\pm 15V$ , R <sub>L</sub> = 10 k $\Omega$	$\pm 12$	$\pm 13.5$		V
V <sub>CM</sub>	Input Common-Mode Voltage Range	V <sub>S</sub> = $\pm 15V$	$\pm 11$	+ 15		V
				- 12		V
CMRR	Common-Mode Rejection Ratio	R <sub>S</sub> = 10 k $\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I <sub>S</sub>	Supply Current			1.8	3.4	mA

### AC Electrical Characteristics (Note 3)

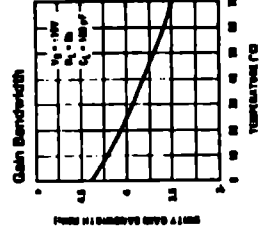
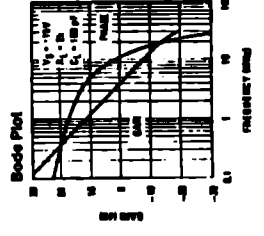
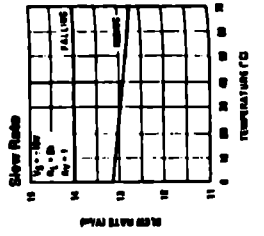
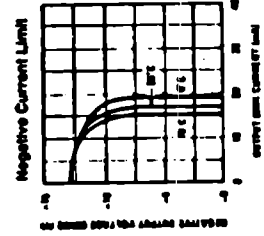
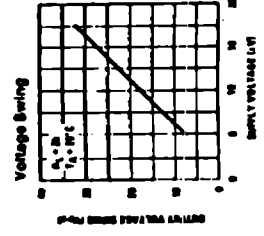
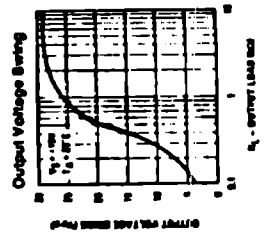
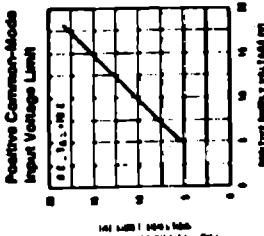
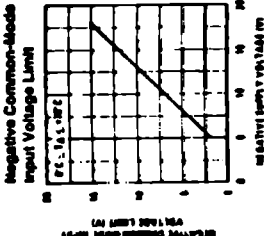
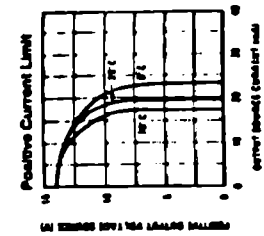
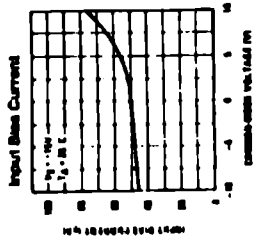
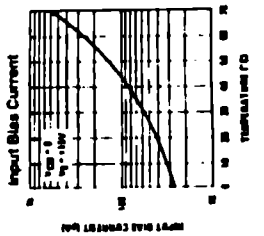
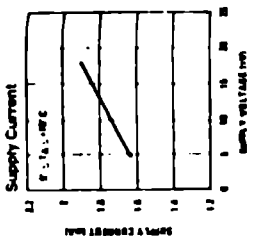
Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	V <sub>S</sub> = $\pm 15V$ , T <sub>A</sub> = 25°C		13		V/ $\mu s$
GBW	Gain Bandwidth Product	V <sub>S</sub> = $\pm 15V$ , T <sub>A</sub> = 25°C		4		MHz
e <sub>n</sub>	Equivalent Input Noise Voltage	T <sub>A</sub> = 25°C, R <sub>S</sub> = 100 $\Omega$ , f = 1000 Hz		25		nV/ $\sqrt{Hz}$
i <sub>n</sub>	Equivalent Input Noise Current	T <sub>J</sub> = 25°C, f = 1000 Hz		0.01		pA/ $\sqrt{Hz}$

- Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance  $\theta_{JA}$ .
- Note 2: Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply voltage.
- Note 3: These specifications apply for V<sub>S</sub> =  $\pm 15V$  and T<sub>A</sub> = 70°C. V<sub>OS</sub>, I<sub>B</sub>, and I<sub>OS</sub> are measured at V<sub>CM</sub> = 0.
- Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature T<sub>J</sub>. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature is well above the ambient temperature as a result of internal power dissipation. P<sub>D</sub> = T<sub>J</sub> - T<sub>A</sub>  $\theta_{JA}$  where  $\theta_{JA}$  is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.
- Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From  $\pm 15V$  to  $\pm 5V$ .
- Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

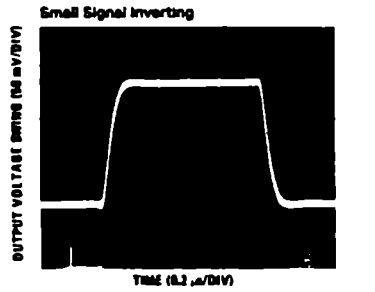
Typical Performance Characteristics (Continued)



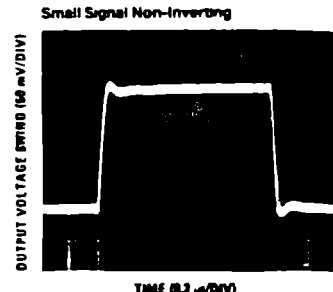
Typical Performance Characteristics



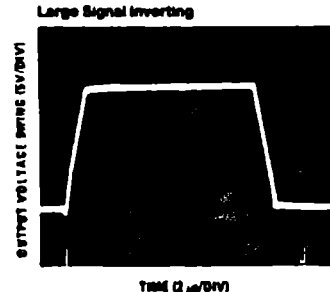
**Pulse Response**



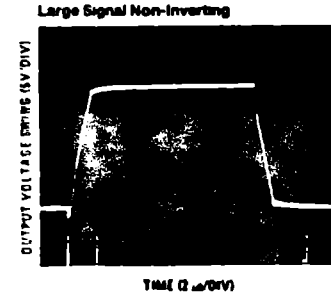
TL/N/5648-4



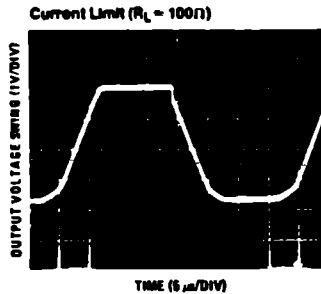
TL/N/5648-5



TL/N/5648-6



TL/N/5648-7



TL/N/5648-8

**Application Hints**

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will

cause large currents to flow which can result in a destroyed unit.

Exceeding the positive common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

**Application Hints (Continued)**

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on  $\pm 4V$  power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 k $\Omega$  load resistance to  $\pm 10V$  over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed back-

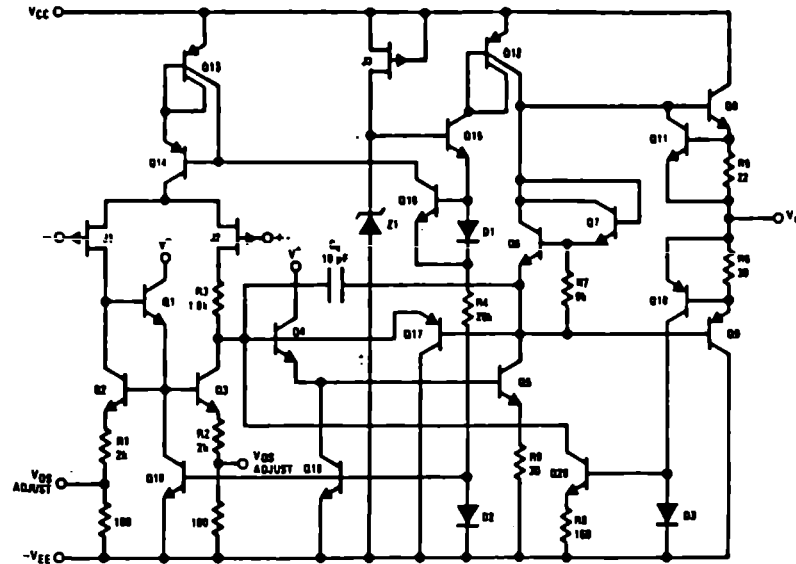
wards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of the pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

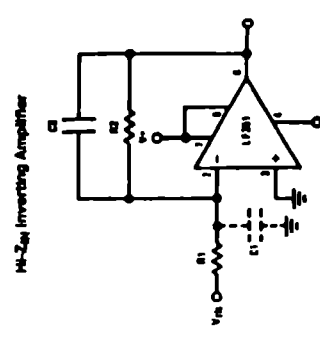
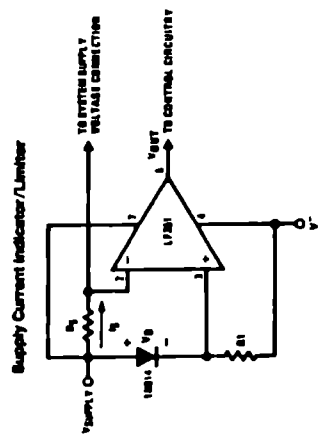
**Detailed Schematic**



TL/N/5648-9

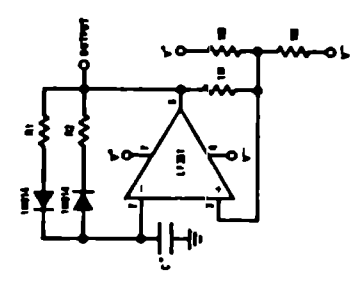


### Typical Applications



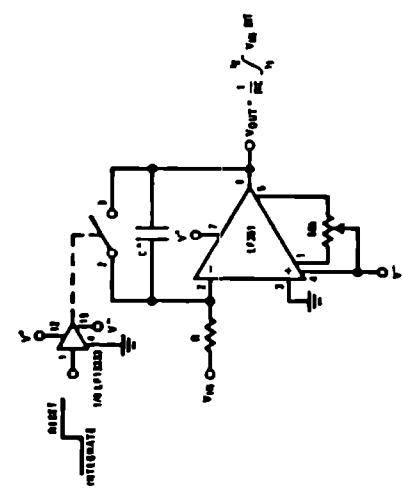
Parallel input capacitors C1 = C2 pf for L7281 plus any additional layout capacitance) interact with feedback network and produce undesirable high frequency pole. To compensate, add C2 such that  $R2C2 = R1C1$ .

### Ultra-Low (or High) Duty Cycle Pulse Generator



• Output High =  $R1C / (R1 + R2)$   
 • Output Low =  $R3C / (R3 + R2)$   
 where  $V_H = V_{CC} + |V_{CE}|$   
 \*Low leakage capacitor

### Long Time Integrator



\*Low leakage capacitor  
 • 60k pot used for bias sensitive Vcc adjust

## Bibliografía

1. Proakis, John G, "Digital Communications", Ed. Mc Graw Hill , 2a edición, pp. 53-55.
2. Boylestad, Robert, "Electrónica, Teoría de Circuitos", Ed. Prentice Hall, 4a edición, pp 754, 772.
3. Stremier, Ferrel G, "Introduction to Communication Systems", Ed. Adisson Wesley, 2a edición.
4. Savant, Rodent, Carpenter, "Diseño Electrónico, Circuitos y Sistemas", Ed. Addison Wesley, 1a edición en español, pp 811, 733, 550, 554.
5. Webster John G., Editor "Medical Instrumentacion, Application and Design." Houghton Mifflin. Second Edition. 1992
6. Welkowitz Walter, Deutsch Sid, Akay Metin, "Biomedical Instruments, Theory and design." Academic Press, Inc., Second Edition, 1992
7. Bogart Theodore F., Jr, "Linear Electronics.", MERRILL, Second Edition, 1993
8. Thomas Young, "Linear Integrated Circuits", Rochester Institute of Technology, John Wiley & Sons, First Edition, 1981
9. Robert F. Coughlin, Frederick F. Driscoll, "Operational Amplifiers and Linear Integrated Circuits", Wentworth Institute of Technology, Prentice Hall, Third Edition, 1987
10. John v. Wait, Lawrence P. Huelsman, Granino A. Korn, "Introduction to Operational Amplifiers, Theory and Applications", McGraw-Hill, Inc. Second Edition, 1992.
11. David E. Johnson, "Introduction to Filter Theory", Electrical Engineering Department, Lousiana State University, Prentice-Hall Inc, First Edition, 1976
12. Forrest M Mims III, "Engineer`s Mini-Notebook", Radio Shack
13. Webster. "Medical Instrumentation, application and design". Second Edition. Herghton Muffilin.
14. Lawrence P. Huelsman, "Active Filters: Lumped, Distributed, Integrated, Digital, and Parametric.", Inter-University Electronics Series, Vol.11, McGraw-Hill Book Company, 1970
15. Carr, J.J., and Brown, J.M. "Instruments for measuring brain parameters". Chapter 13 "Introduction to biomedical equipment technology." \_ New York: John Wiley & Sons. 1981.

16. Craib, A. R., and Perry, M. Brea, "Beckman EEG Handbook." CA: Beckman Instruments, Inc. 1975
17. Kondraski, G.V. "Neurophysiological Measurements". Chapter 5 in Biomedical Engineering and Instrumentation, Edited by J.D Bronzino. Boston: Prindle, Weber & Schmidt, 1986.
18. Adams Victor. "Principles of Neurology". Fifth Edition. Mc Graw Hill
19. Wyngaarden, Smith and Bennett. "Textbook of Medicine". 19th Edition Volume 2. Ed. Saunders.
20. Harrison. "Principios de medicina Interna." Volumen II. 13a edición.
21. Scott. "Visual Basic for Windows. Developer's Guide". Sams Publishing. 1993.
22. Douglas A. Herbert. "Visual Basic for Programming with Windows Applications" Bantam Books. 1991
23. Varios. "Fun Programming with Visual Basic". Que. development group. Que.



## DIAGRAMA DE GANTT

ACTIVIDAD	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Investigación bibliográfica														
Busqueda y evaluación de factibilidad der equipo a utilizar.														
Investigación y aplicación de electrodos														
Construcción y uso de etapa de adquisición de ondas cerebrales														
Adquisición de señal (ondas cerebrales)														
Amplificación y filtrado de la señal.														
Construcción de la etapa de amplificación														
Prueba de etapa de amplificación														
Integración de etapa de adquisición, amplificación y filtrado.														
Prueba grupal														
Construcción de etapa de controlador														
Construcción de etapa de ADC														
Prueba de etapa de ADC e integración														
Prueba grupal														
Programación prueba (programa esqueleto)														
Pruebas de integración														
Programación final														
Integración del proyecto														
Pruebas														
Resolución de problemas														

TODOS  
 CARLOS ROMERO  
 CARLOS LOPEZ  
 RODRIGO LLOP