

INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE MONTERREY

CAMPUS ESTADO DE MÉXICO



**ANÁLISIS Y DISEÑO DE UNA TOPOLOGÍA DE INVERSOR  
MULTINIVEL BASADA EN PRISMAS POLIGONALES PARA  
APLICACIÓN EN ENERGÍAS ALTERNAS**

TESIS QUE PARA OPTAR EL GRADO DE DOCTOR EN CIENCIAS DE INGENIERIA

PRESENTA

**ALDO ELIHU FLORES GONZÁLEZ**

Asesor: Dr. CÉSAR OCTAVIO MALDONADO MERCADO

Asesor Externo: Dr. GERARDO ALEJANDRO VELÁZQUEZ CARRILLO



Jurado:

Dr. ARMANDO RAFAEL SAN VICENTE CISNEROS,	Presidente
Dr. MIGUEL GONZÁLEZ MENDOZA,	Secretario
Dr. VIRGILIO VÁZQUEZ LÓPEZ,	Vocal
Dr. CÉSAR OCTAVIO MALDONADO MERCADO,	Vocal
Dr. GERARDO ALEJANDRO VELÁZQUEZ CARRILLO,	Vocal

Atizapán de Zaragoza, Edo. Méx., 25 de Abril de 2016

## **Análisis y diseño de una topología de inversor multinivel basada en prismas poligonales para aplicación en energías alternas**

### **Resumen**

Recientemente las fuentes de energía renovable y de almacenamiento de energía como los sistemas de potencia fotovoltaicos y eólicos, baterías y celdas de combustible entre otras, han sido introducidas al sistema eléctrico moderno y son conocidos como recursos de generación distribuida [1], [2], [3]. Estos recursos permiten que la potencia sea producida en el lugar en el que será utilizada evitando las pérdidas relacionadas al transporte en largas distancias.

Debido a que la mayoría de estos recursos de generación distribuida producen potencia en corriente directa (CD) [1] y que el sistema de potencia opera en corriente alterna (CA), se necesita de los convertidores de potencia CD a CA comúnmente conocidos como inversores. La conversión de potencia de CD a CA es una tecnología clave en la generación, transmisión, distribución y utilización de la energía eléctrica [3]. Los convertidores de potencia CD a CA son utilizados en muchas aplicaciones industriales como el control de motores, compensadores estáticos volt amper reactivo (VAR), aire acondicionado, fuentes de potencia ininterrumpibles, filtros activos, sistemas de transmisión flexibles [3], [4].

El dispositivo que se encarga de convertir CD a CA normalmente es llamado "Inversor de Voltaje". Existen diferentes tipos de inversores, entre ellos los convertidores multinivel, los cuales son ampliamente usados en el acondicionamiento de la energía, cuya principal característica es ofrecer una alta calidad en la señal eléctrica entregada. Sin embargo, requieren de un gran número de dispositivos electrónicos y de control. En este trabajo se proponen cuatro diferentes topologías de inversor multinivel, buscando tener un número reducido de componentes si se comparan con las soluciones clásicas. En el desarrollo del trabajo se describen las principales características de las estructuras multinivel clásicas y se exploran diversas alternativas recientes. También se presenta el análisis de las propuestas de esta tesis. El funcionamiento de cada una fue verificado a través de simulaciones en distintas condiciones mediante el software de MATLAB/SIMULINK. Finalmente, las topologías propuestas son comparadas con otras alternativas que ofrecen un número reducido de componentes, así como con el inversor multinivel en cascada.

# Contenido

1	CAPÍTULO I. INTRODUCCIÓN.....	16
1.1	ANTECEDENTES.....	16
1.1.1	Sistema eléctrico tradicional y generación distribuida.....	16
1.1.2	Panorama mundial de la energía eléctrica.....	18
1.2	MOTIVACIÓN.....	20
1.3	PLANTEAMIENTO DEL PROBLEMA.....	21
1.4	PREGUNTA DE INVESTIGACIÓN.....	21
1.5	OBJETIVO GENERAL.....	21
1.6	OBJETIVOS ESPECÍFICOS.....	22
1.7	METODOLOGÍA.....	22
1.7.1	ALCANCES.....	22
2	Capítulo 2. Estado del arte. Inversores de voltaje.....	24
2.1	Inversores de voltaje de onda cuadrada y sinusoidal modificada.....	24
2.2	Inversores multinivel.....	28
2.2.1	Topologías clásicas.....	30
2.2.1.1	Inversor multinivel en cascada.....	30
2.2.1.2	Inversor multinivel con diodo fijador o diodo de enclavamiento.....	31
2.2.1.3	Inversores multinivel con capacitores flotantes (FCMLI).....	32
2.2.2	Inversor multinivel con topología generalizada de Fang Z. Peng [14].....	35
2.2.3	Topologías con número reducido de componentes.....	36
2.2.3.1	Inversores multinivel con puente H.....	38
2.2.3.2	Inversores multinivel sin puente H.....	45
2.2.4	Inversores multinivel con transformadores.....	56
2.2.4.1	Inversor en cascada con transformadores de aislamiento [55].....	56

	4
2.2.4.2	Inversor en cascada con transformador de múltiples devanados [56]..... 56
2.2.4.3	Topología con transformador de múltiples devanados [56]..... 57
2.2.4.4	Topología propuesta en [57] ..... 58
2.2.5	Topologías que utilizan convertidores CD/CD ..... 59
2.2.5.1	MLI con convertidores CD/CD bidireccionales. [58]..... 59
2.2.5.2	MLI con convertidores CD/CD propuesto en [59]..... 59
2.2.5.3	Inversor multinivel en cascada con capacitores conmutados. [60] ..... 60
3	Capítulo 3. Descripción de las topologías propuestas. .... 63
3.1	Propuesta de inversor multinivel I..... 64
3.1.1	Estructura del inversor..... 64
3.1.2	Manejo del número de niveles, tolerancia a fallas y balance de carga de baterías.. 65
3.1.2.1	Configuración de 7 niveles de salida con alta tolerancia a fallas..... 66
3.1.2.2	Configuración de 13 niveles de salida con media tolerancia a fallas..... 67
3.1.2.3	Configuración de 19 niveles de salida con baja tolerancia a fallas ..... 69
3.1.2.4	Configuración de 25 niveles de salida sin tolerancia a fallas..... 70
3.1.2.5	Expansión de la estructura del inversor..... 72
3.1.3	Control del inversor ..... 73
3.1.3.1	Tolerancia a fallas y descarga de las baterías..... 73
3.1.3.2	Simulación del inversor mediante Simulink ..... 74
3.2	Propuesta de inversor multinivel II ..... 76
3.2.1	Estructura generalizada de la propuesta de inversor multinivel II ..... 76
3.2.1.1	Configuración con 4 fuentes de voltaje (13 niveles)..... 78
3.2.1.2	Configuración con 5 fuentes ..... 79
3.3	Propuesta de inversor multinivel III ..... 80
3.3.1	Estructura generalizada de la propuesta de inversor multinivel III ..... 81
3.3.1.1	Configuración con 4 fuentes (25 niveles) ..... 82

3.3.1.2	Configuración con 5 fuentes (31 y 50 niveles) .....	83
3.4	Propuesta de inversor multinivel IV .....	86
3.4.1	Estructura generalizada de la propuesta de inversor multinivel IV .....	86
3.4.1.1	Configuración con 5 fuentes .....	87
4	Capítulo 4. Simulaciones y resultados.....	89
4.1	Algoritmo para la descarga controlada de las baterías .....	89
4.2	Resultados de la propuesta I .....	91
4.2.1	Configuración de 7 niveles de salida con alta tolerancia a fallas .....	92
4.2.2	Configuración de 13 niveles de salida con media tolerancia a fallas .....	93
4.2.3	Configuración de 19 niveles de salida con baja tolerancia a fallas .....	95
4.2.4	Configuración de 25 niveles de salida sin tolerancia a fallas .....	97
4.2.5	Conexión del inversor en cascada .....	99
4.3	Resultados de la propuesta II.....	100
4.3.1	Configuración de 4 fuentes de voltaje .....	101
4.3.2	Configuración de 5 fuentes de voltaje .....	102
4.4	Resultados de la propuesta III .....	104
4.4.1	Configuración de 4 fuentes de voltaje .....	105
4.4.2	Configuración de 5 fuentes de voltaje (31 y 50 niveles) .....	106
4.4.2.1	31 niveles.....	106
4.4.2.2	50 niveles.....	108
4.5	Resultados de la propuesta IV .....	109
4.5.1	Configuración de 5 fuentes de voltaje .....	110
4.6	Resumen de los resultados.....	111
5	Comparación con otras topologías. ....	113
5.1	Comparación de la propuesta II con el inversor en cascada.....	113
5.2	Comparación de la propuesta III con el inversor en cascada .....	114

5.3	Comparación de las propuestas II y III con otras topologías .....	115
6	Implementación y resultados experimentales del prototipo. ....	116
6.1	Implementación .....	116
6.2	Resultados experimentales .....	119
7	Conclusiones y trabajo futuro.....	122
7.1	Conclusiones vs objetivos .....	122
7.1.1	Conclusiones generales.....	123
7.1.2	Conclusiones de la primera topología propuesta .....	123
7.1.3	Conclusiones de la segunda topología propuesta .....	124
7.1.4	Conclusiones de la tercera topología propuesta .....	124
7.1.5	Conclusiones de la cuarta topología propuesta.....	124
7.2	Contribuciones más relevantes .....	124
7.3	Trabajo futuro .....	125
8	Referencias y bibliografía.....	126
9	Anexos .....	131
9.1	Anexo A. Topologías similares a la estructura PUC. ....	131
9.2	Anexo B. Tablas de conmutación de las distintas topologías de inversores MLI. ....	132
9.3	Anexo C. Niveles de armónicas para alta tensión. ....	148

## Lista de figuras

Fig. 1.1. Sistema eléctrico tradicional. ....	17
Fig. 1.2. Sistema de generación distribuida. ....	17
Fig. 1.3. Consumo de energía eléctrica por país en el mundo (TWh) .....	19
Fig. 1.4. Consumo final de electricidad a nivel mundial, 2009 (TJ) .....	19
Fig. 1.5. Capacidad de generación de energía eléctrica países miembros de la OCDE, 2009 (GW) .....	19
Fig. 1.6. Fuentes de energía para la generación eléctrica mundial, 2008-2035 (TWh).....	19
Fig. 1.7. Metodología a seguir durante el trabajo de tesis. ....	22
Fig. 2.1. Inversores de señal sinusoidal cuadrada, modificada o pura. ....	24
Fig. 2.2. Modulación por PWM bipolar. ....	25
Fig. 2.3. Modulación por PWM unipolar. ....	25
Fig. 2.4. Inversor multinivel modulado. ....	26
Fig. 2.5. Configuración inversor de medio puente. ....	27
Fig. 2.6. Señales de salida inversor medio puente. ....	27
Fig. 2.7. Configuración inversor puente completo. ....	27
Fig. 2.8. Señales de salida inversor puente completo (carga inductiva). ....	28
Fig. 2.9. Salida de un inversor multinivel. ....	28
Fig. 2.10. Métodos de modulación. ....	29
Fig. 2.11. Variantes de las técnicas de modulación por PWM. ....	30
Fig. 2.12. Inversor en Cascada. ....	31
Fig. 2.13. Inversor con diodo fijador. ....	32
Fig. 2.14. Inversor multinivel con capacitores flotantes. ....	33
Fig. 2.15. Unidad básica para la topología presentada en [14]. ....	35
Fig. 2.16. Rama para la topología generalizada de 9 niveles. ....	35

Fig. 2.17. Clasificación de los RDC-MLI de acuerdo a [3].....	37
Fig. 2.18. Estructura de la topología MLDCL.....	38
Fig. 2.19. Estructura de la topología SSPS-MLI.....	39
Fig. 2.20. Estructura de la topología SCSS-MLI.....	40
Fig. 2.21. Estructura de la topología MLM-MLI.....	40
Fig. 2.22. Estructura de la topología RV-MLI.....	41
Fig. 2.23. Estructura de la topología 2SELG-MLI.....	42
Fig. 2.24. Estructura generalizada de la topología Crisscross MLI.....	42
Fig. 2.25. Inversor multinivel propuesto en [30] (a) unidad básica, (b) estructura generalizada.	43
Fig. 2.26. Inversor HCMLI propuesto en [31]. (a) módulo básico, (b) estructura generalizada, (c) estructura 11 niveles, (d) estructura de 19 niveles.....	44
Fig. 2.27. Inversor multinivel propuesto en [32].....	45
Fig. 2.28. Estructura de la topología MLI tipo T.....	46
Fig. 2.29. Estructura de la topología CBSC MLI.....	47
Fig. 2.30. Estructura de la topología PUC.....	47
Fig. 2.31. Convertidor multinivel asimétrico híbrido en cascada con fuentes de voltaje aisladas. .....	48
Fig. 2.32. Topología básica propuesta en [46].....	49
Fig. 2.33. Topología generalizada propuesta en [46].....	49
Fig. 2.34. Topología básica propuesta en [47].....	50
Fig. 2.35. Topología básica propuesta en [48].....	50
Fig. 2.36. Modelo básico para la estructura propuesta en [49].....	51
Fig. 2.37. Topología MLI propuesta en [50].....	52
Fig. 2.38. Inversor multinivel propuesto en [51].....	53
Fig. 2.39. Inversor multinivel propuesto en [52].....	53
Fig. 2.40. Inversor multinivel propuesto en [53].....	54
Fig. 2.41. Inversión multinivel para baja conversión de potencia.....	55



Fig. 2.42. Estructura multinivel propuesta en [54].	55
Fig. 2.43. Inversor en cascada con transformadores de aislamiento [55].	56
Fig. 2.44. Inversor en cascada con transformador de múltiples devanados [56].	57
Fig. 2.45. Topología con transformador de múltiples devanados [56].	57
Fig. 2.46. Configuración de 9 niveles para el inversor propuesto en [57].	58
Fig. 2.47. Topología generalizada para el inversor propuesto en [57].	58
Fig. 2.48. MLI con convertidores CD/CD bidireccionales.	59
Fig. 2.49. MLI con convertidores CD/CD propuesto en [59].	60
Fig. 2.50. Unidad básica y sus modos de carga y descarga de capacitores.	60
Fig. 2.51. Inversor multinivel con capacitores conmutados. (a) estructura simplificada, (b) estructura en cascada, (c) estructura para 17 niveles.	61
Fig. 3.1. Célula del inversor	64
Fig. 3.2. Estructura del inversor propuesto.	64
Fig. 3.3. Implementación del puente H en el inversor propuesto.	66
Fig. 3.4. Expansión del inversor multinivel.	72
Fig. 3.5. Algoritmo para el manejo de fallas y descarga controlada de las baterías.	73
Fig. 3.6. Vector de fallas.	74
Fig. 3.7. Matriz correspondiente a la configuración de 13 niveles con mediana tolerancia a fallas.	75
Fig. 3.8. Manejo de descarga de baterías deseado.	75
Fig. 3.9. Algunas estructuras poligonales para la segunda propuesta de inversor multinivel.	76
Fig. 3.10. Vista en dos dimensiones de la segunda propuesta de topología multinivel (a) con dos fuentes de voltaje, (b) y (c) con tres fuentes de voltaje, (d) con cuatro fuentes de voltaje, (e) topología generalizada.	77
Fig. 3.11. Configuración con 5 fuentes de voltaje.	79
Fig. 3.12. Algunas estructuras poligonales para la tercera propuesta de inversor multinivel.	81
Fig. 3.13. Vista en dos dimensiones de la tercera propuesta de topología multinivel (a) con cuatro fuentes de voltaje, (b) y (c) con cinco fuentes de voltaje, (d) con seis fuentes de voltaje, (e) topología generalizada.	82

Fig. 3.14. Algunas estructuras poligonales para la cuarta propuesta de inversor multinivel. ....	86
Fig. 3.15. Vista en dos dimensiones de la cuarta propuesta de topología multinivel (a) con cuatro fuentes de voltaje. (b) topología generalizada. ....	87
Fig. 4.1. Implementación del algoritmo de descarga controlada de las baterías. ....	90
Fig. 4.2. Resultados algoritmo de descarga controlada de las baterías. ....	90
Fig. 4.3. Implementación de la topología de la propuesta I en simulink. ....	91
Fig. 4.4. Resultados de la configuración de 7 niveles de salida con alta tolerancia a fallas. ....	92
Fig. 4.5. Resultados de la distorsión armónica para la configuración de 7 niveles de salida con alta tolerancia a fallas. ....	93
Fig. 4.6. Resultados de la configuración de 13 niveles de salida con media tolerancia a fallas. (a) Ciclos completos (b) amplificación del momento en que ocurre la falla. ....	94
Fig. 4.7. Resultados de la distorsión armónica para la configuración de 13 niveles de salida con media tolerancia a fallas. ....	95
Fig. 4.8. Resultados de la configuración de 19 niveles de salida con baja tolerancia a fallas. (a) Ciclos completos (b) amplificación del momento en que ocurre la falla. ....	96
Fig. 4.9. Resultados de la distorsión armónica para la configuración de 7 niveles de salida con alta tolerancia a fallas. ....	97
Fig. 4.10. Resultados de la configuración de 25 niveles de salida sin tolerancia a fallas. ....	98
Fig. 4.11. Resultados de la distorsión armónica para la configuración de 25 niveles de salida sin tolerancia a fallas. ....	99
Fig. 4.12. Inversores en cascada. ....	99
Fig. 4.13. Distorsión armónica para el inversor en cascada. ....	100
Fig. 4.14. Implementación de la propuesta II en Simulink. ....	101
Fig. 4.15. Voltaje y corriente de carga resistiva en la configuración de 4 fuentes de la propuesta II. ....	101
Fig. 4.16. Voltaje y corriente de carga inductiva en la configuración de 4 fuentes de la propuesta II. ....	102
Fig. 4.17. THD para la configuración de 4 fuentes de la propuesta II. ....	102
Fig. 4.18. Resultados propuesta II configuración 5 fuentes con carga resistiva. ....	103
Fig. 4.19. Resultados propuesta II configuración 5 fuentes con carga inductiva. ....	103

Fig. 4.20. Resultados THD propuesta II configuración 5 fuentes. ....	104
Fig. 4.21. Implementación de la propuesta III en simulink. ....	104
Fig. 4.22. Resultados propuesta III configuración 4 fuentes con carga resistiva. ....	105
Fig. 4.23. Resultados propuesta III configuración 4 fuentes con carga inductiva. ....	105
Fig. 4.24. Resultados THD propuesta III configuración 4 fuentes. ....	106
Fig. 4.25. Resultados propuesta III configuración 5 fuentes con carga resistiva. ....	107
Fig. 4.26. Resultados propuesta III configuración 5 fuentes con carga inductiva. ....	107
Fig. 4.27. Resultados THD propuesta III configuración 5 fuentes. ....	108
Fig. 4.28. Resultados propuesta III configuración 5 fuentes con carga resistiva. ....	108
Fig. 4.29. Resultados propuesta III configuración 5 fuentes con carga inductiva. ....	109
Fig. 4.30. Resultados THD propuesta III configuración 5 fuentes. ....	109
Fig. 4.31. Implementación de la propuesta IV en Simulink. ....	110
Fig. 4.32. Resultados propuesta IV configuración 5 fuentes con carga resistiva. ....	110
Fig. 4.33. Resultados propuesta IV configuración 5 fuentes con carga inductiva. ....	111
Fig. 4.34. Resultados THD propuesta IV configuración 5 fuentes. ....	111
Fig. 6.1. Diagrama a bloques del inversor implementado. ....	117
Fig. 6.2. Configuración utilizada para activar los interruptores generadores de nivel. ....	117
Fig. 6.3. Configuración utilizada para el puente H. ....	118
Fig. 6.4. Configuración de fuentes utilizada para la prueba. ....	118
Fig. 6.5. Carga conectada a la salida del inversor. ....	119
Fig. 6.6. Implementación del prototipo del inversor. ....	119
Fig. 6.7. Niveles de salida del prototipo. ....	120
Fig. 6.8. Niveles de salida del prototipo. ....	120
Fig. 6.9. Niveles de salida del prototipo. ....	121

## Lista de Tablas

Tabla 2.1. Ventajas y desventajas de los inversores modulados y no modulados. ....	26
Tabla 2.2. Ventajas y desventajas de las topologías multinivel clásicas. ....	34
Tabla 2.3. Ventajas y limitaciones de las distintas topologías de inversor multinivel. ....	62
Tabla 3.1. Trayectorias para la generación de nivel de salida de voltaje. ....	65
Tabla 3.2. Valores para ejemplificar la configuración de 7 niveles de salida con alta tolerancia a fallas.....	66
Tabla 3.3. Representación con lógica combinatorial para las trayectorias y niveles de voltaje de salida para la configuración de 7 niveles con alta tolerancia a fallas. ....	67
Tabla 3.4. Valores para la configuración de 13 niveles de salida con media tolerancia a fallas... ..	67
Tabla 3.5. Representación con lógica combinatorial para las trayectorias y niveles de voltaje de salida para la configuración de 13 niveles con mediana tolerancia a fallas. ....	68
Tabla 3.6. Valores para la configuración de 19 niveles de salida con baja tolerancia a fallas. ....	69
Tabla 3.7. Representación con lógica combinatorial para las trayectorias y niveles de voltaje de salida para la configuración de 19 niveles con baja tolerancia a fallas. ....	70
Tabla 3.8. Valores para la configuración de 25 niveles de salida sin tolerancia a fallas.....	70
Tabla 3.9. Representación con lógica combinatorial para las trayectorias y niveles de voltaje de salida para la configuración de 25 niveles sin tolerancia a fallas. ....	71
Tabla 3.10. Tabla de verdad para detectar una falla en una trayectoria. ....	75
Tabla 3.11. Tabla de conmutación para la topología propuesta con $n = 3$ .....	78
Tabla 3.12. Tabla de conmutación para la topología propuesta con $n = 4$ .....	78
Tabla 3.13. Tabla de conmutación para la topología con 4 fuentes de voltaje.....	79
Tabla 3.14. Tabla de conmutación para la topología con 5 fuentes de voltaje.....	80
Tabla 3.15. Tabla de conmutación para la topología con 4 fuentes de voltaje.....	83
Tabla 3.16. Tabla de conmutación para la configuración para la topología con 5 fuentes. ....	84
Tabla 3.17. Tabla de conmutación para la configuración con 5 fuentes. ....	85
Tabla 3.18. Tabla de conmutación para la estructura de 5 fuentes (63 niveles).....	88
Tabla 4.1. Distorsión armónica para la configuración de 7 niveles de salida con alta tolerancia a fallas.....	92

Tabla 4.2. Distorsión armónica para la configuración de 13 niveles de salida con media tolerancia a fallas.....	94
Tabla 4.3. Distorsión armónica para la configuración de 19 niveles de salida con baja tolerancia a fallas.....	96
Tabla 4.4. Distorsión armónica para la configuración de 25 niveles de salida con alta tolerancia a fallas.....	98
Tabla 5.1. Comparación de la propuesta II con el inversor en cascada.....	114
Tabla 5.2. Comparación de la propuesta III con el inversor en cascada .....	114
Tabla A 1. Posibles combinaciones para un inversor en cascada de 5 niveles.....	132
Tabla A 2. Niveles de voltaje con diodo fijador y sus estados de conmutación. ....	132
Tabla A 3. Una combinación posible de interruptores en el inversor con capacitores flotantes. ....	132
Tabla A 4. Una combinación posible de interruptores en la topología generalizada .....	132
Tabla A 5. Estados de conmutación para la topología MLDCL .....	133
Tabla A 6. Estados de conmutación para la topología SSPS-MLI .....	133
Tabla A 7. Estados de conmutación para la topología SCSS-MLI. ....	134
Tabla A 8. Estados de conmutación para la topología MLM-MLI. ....	134
Tabla A 9. Estados de conmutación para la topología RV-MLI .....	134
Tabla A 10. Estados de conmutación para la topología 2SELG-MLI.....	135
Tabla A 11. Estados de conmutación para la topología Crisscross MLI (2 módulos) .....	135
Tabla A 12. Estados de conmutación para la estructura básica propuesta en [30].....	135
Tabla A 13. Estados de conmutación para la estructura básica propuesta en [30].....	136
Tabla A 14. MLI propuesto en [31] configuración simétrica.....	136
Tabla A 15. MLI propuesto en [31] configuración asimétrica. ....	137
Tabla A 16. MLI propuesto en [32].....	137
Tabla A 17. Estados de conmutación para la topología MLI tipo T .....	138
Tabla A 18. Estados de conmutación para la topología CBSC MLI .....	138

Tabla A 19. Estados de conmutación para la topología PUC.....	139
Tabla A 20. Estados de conmutación convertidor multinivel asimétrico híbrido en cascada con fuentes de voltaje aisladas [45].....	140
Tabla A 21. Estados de conmutación MLI propuesto en [46].....	140
Tabla A 22. Estados de conmutación MLI propuesto en [47] operación simétrica. ....	141
Tabla A 23. Estados de conmutación MLI propuesto en [47] operación asimétrica.....	141
Tabla A 24. MLI propuesto en [48].....	141
Tabla A 25. Inversor multinivel propuesto en [49] topología básica. ....	141
Tabla A 26. Inversor multinivel propuesto en [49] topología generalizada. ....	142
Tabla A 27. Inversor multinivel propuesto en [50]. ....	142
Tabla A 28. Inversor multinivel propuesto en [51]. ....	143
Tabla A 29. Inversor multinivel propuesto en [52]. ....	143
Tabla A 30. Inversor multinivel propuesto en [53]. ....	144
Tabla A 31. Inversor multinivel para baja conversión de potencia [16]. ....	144
Tabla A 32. Inversor multinivel de medio puente en cascada propuesto en [54] operación simétrica. ....	144
Tabla A 33. Inversor multinivel de medio puente en cascada propuesto en [54] operación asimétrica.....	145
Tabla A 34. Topología propuesta en [57].....	145
Tabla A 35. MLI con convertidores CD/CD propuesto en [59].....	146
Tabla A 36. Inversor multinivel en cascada con capacitores conmutados. [60] .....	147
Tabla A 37. Niveles armónicas (pares) en la tensión para AT (% de la fundamental). ....	148
Tabla A 38. Niveles armónicas (impares) en la tensión para AT (% de la fundamental). ....	149

## Abreviaturas y símbolos

CA	Corriente alterna
CD	Corriente directa
VAR	Volt Amper Reactivo
FACTS	Sistemas de transmisión flexible en corriente alterna
FRIENDS	Sistemas flexibles, confiables e inteligentes para la entrega de energía eléctrica
MLI	Inversor multinivel
DCMLI	Inversor multinivel con diodos de enclavamiento o diodo fijador
NPC	Inversor multinivel con diodos de enclavamiento o diodo fijador
FCMLI	Inversor multinivel con capacitores flotantes
CMLI	Inversor multinivel en cascada
CHB	Inversor multinivel en cascada
RDC-MLI	Inversores multinivel con número reducido de componentes
FFT	Transformada rápida de Fourier
THD	Distorsión armónica total
PWM	Modulación de ancho de pulso
DC/DC	Corriente directa / corriente directa
PUC	Celdas enpaquetadas en U

# 1 CAPÍTULO I. INTRODUCCIÓN.

## 1.1 ANTECEDENTES.

### 1.1.1 Sistema eléctrico tradicional y generación distribuida

Una red eléctrica tradicional está diseñada para trabajar pasivamente entregando la energía desde una central de generación hasta los puntos de consumo mediante las líneas de alta tensión. Es decir, solo entrega flujos de potencia en una sola dirección (Fig. 1.1). Para que la energía llegue desde la central hasta los puntos de consumo necesita pasar por distintas etapas de acondicionamiento en las cuales ocurren pérdidas al igual que en el transporte (pérdidas de aproximadamente 16%) [5].

Con el paso del tiempo se ha evolucionado a una red de generación distribuida (Fig. 1.2) [6] en la cual hay varias fuentes de generación como pueden ser los parques eólicos o solares, también están las centrales nucleares, plantas hidroeléctricas, hay pequeños y grandes puntos de almacenamiento, micro-redes de generación e incluso centrales a base de combustibles fósiles. La integración de estas tecnologías ha contribuido a disminuir las pérdidas por transporte. Las tecnologías de la información también han evolucionado haciendo que el intercambio de datos permita monitorear y controlar el camino que debe seguir la energía convirtiendo la red eléctrica en inteligente.



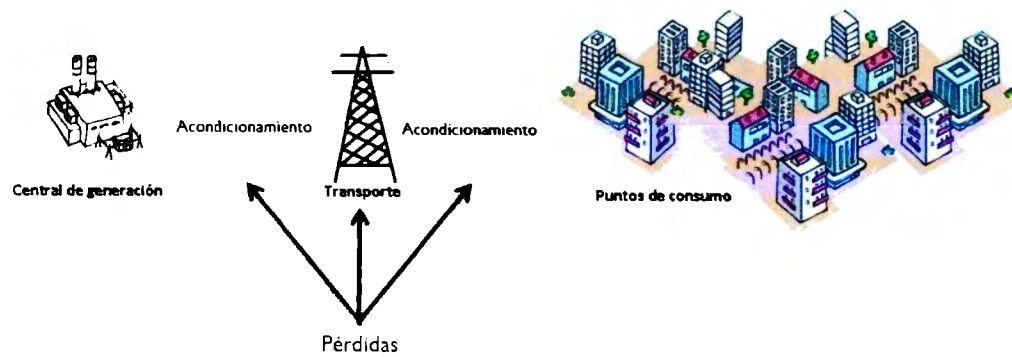


Fig. 1.1. Sistema eléctrico tradicional.

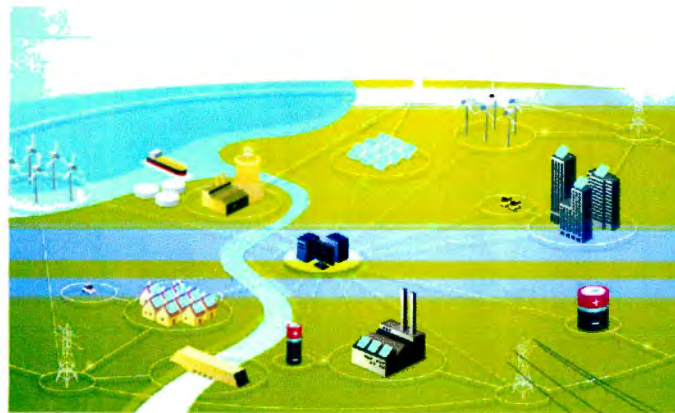


Fig. 1.2. Sistema de generación distribuida.

De esta evolución ha surgido el término “Smart Grid” el cual se define como la integración de una red eléctrica, una red de comunicaciones, software y hardware para monitorear, controlar y manejar la creación, distribución, almacenamiento y consumo de energía. Una “Smart Grid” permite la integración de infraestructura, edificios, casas, vehículos eléctricos, generación distribuida, almacenamiento y transporte de energía, aparatos para incrementar la confiabilidad y eficiencia energética, sensado y control, etc. [7].

En un inicio todos los componentes de un sistema tradicional de generación, transmisión y distribución eran electromecánicos (lentos y con gran desgaste mecánico), ahora con la inclusión de las energías renovables se requiere del uso de grandes convertidores electrónicos que permitan la adecuación de las señales para su uso y almacenamiento [6].

La calidad de la energía y continuidad del suministro de potencia eléctrica se ha convertido en una gran preocupación debido al incremento en el consumo de energía eléctrica. Esto ha llevado a desarrollar nuevas tecnologías para mejorar el control y operación. Entre estas nuevas tecnologías se encuentran dos conceptos [6]:

- FACTS “flexible AC transmission systems”. Sistemas flexibles de transmisión en corriente alterna.
- FRIENDS “Flexible Reliable and Intelligent Electric Delivery Systems”. Sistemas flexibles, confiables e inteligentes para la entrega de energía eléctrica.

Los "FACTS" tienen dos objetivos principales: incrementar la capacidad de transferencia de potencia de las líneas de transmisión y mantener el flujo de potencia sobre las rutas más convenientes técnica y económicamente.

El propósito de los "FRIENDS" es identificar la operación de las empresas eléctricas con los nuevos compensadores estáticos y dispositivos de comunicación. Su meta consiste en desarrollar sistemas de entrega de energía donde los equipos de generación distribuida y de almacenamiento están localizados cerca de la carga.

Dentro de los "FACTS" se encuentran los convertidores de potencia de CD a CA utilizados en muchas aplicaciones industriales como el control de motores, compensadores estáticos, aire acondicionado, fuentes de potencia in-interrumpibles, filtros activos [3], [4]. Los inversores multinivel son una tecnología clave en la generación, transmisión, distribución y utilización de la potencia eléctrica [3].

Los convertidores de potencia pueden permitir la interconexión de grandes redes de electricidad, incluso aquellas que operan a distintas frecuencias, ya que se puede convertir de CA a CD y después CD a CA en otra frecuencia.

La conversión de CA a CD es bastante simple, ya que basta con conectar algunos puentes rectificadores y capacitores en una determinada configuración. Sin embargo la conversión de CD a CA es mucho más compleja.

El dispositivo que se encarga de convertir CD a CA normalmente es llamado "Inversor o convertidor de Voltaje". En el mercado y la industria existen varios tipos de inversores, entre ellos se encuentran los convertidores multinivel [8]. *El presente trabajo de investigación se centra en el desarrollo de nuevas topologías o estructuras de inversores multinivel.*

En la siguiente sección se verá el panorama mundial de la energía eléctrica, en el cuál se muestran algunas estadísticas del aumento en el consumo de la energía eléctrica a nivel mundial y el incremento en las fuentes de energía renovables, y dará idea de la importancia que puede llegar a tener el trabajo de investigación.

### **1.1.2 Panorama mundial de la energía eléctrica.**

Como se mencionó anteriormente la demanda de energía eléctrica se ha incrementado considerablemente en los últimos años, provocando un mayor desgaste de las líneas de transmisión y el sistema de distribución: estos problemas hacen más difícil ofrecer buena calidad y confiabilidad de los servicios de electricidad [6]. Los 10 principales países con mayor consumo de energía eléctrica son [9]: Estados Unidos, China, Japón, India, Rusia, Alemania, Canadá, Francia, Brasil y Corea del Sur. México ocupa el lugar 17 en un grupo de 138 países (Fig. 1.3 y Fig. 1.5).

Respecto al consumo mundial de electricidad por uso final, la participación del sector industrial es la más significativa, con aproximadamente 40.2%, seguido de otros sectores como el residencial y comercial-servicios, con 28.3% y 23.9%, respectivamente (Fig. 1.4).

Los combustibles fósiles son los más empleados para la generación de electricidad. Sin embargo, se espera que disminuyan su contribución y que las energías renovables tengan el mayor crecimiento en la generación eléctrica con una tasa estimada en 3.1% anual durante el periodo 2008-2035 (Fig. 1.6). En el caso de la energía nuclear, se espera que continúe en el mismo nivel.

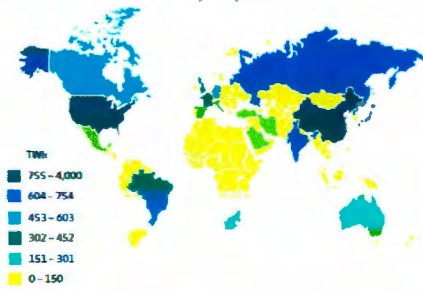


Fig. 1.3. Consumo de energía eléctrica por país en el mundo (TWh)

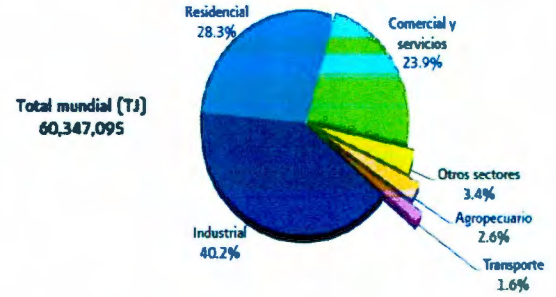


Fig. 1.4. Consumo final de electricidad a nivel mundial, 2009 (TJ)

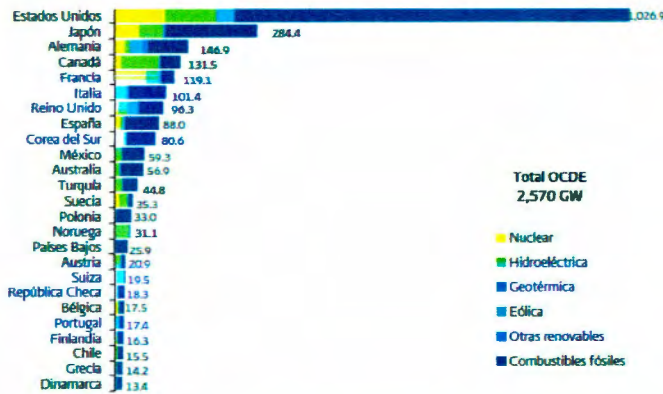


Fig. 1.5. Capacidad de generación de energía eléctrica países miembros de la OCDE, 2009 (GW)

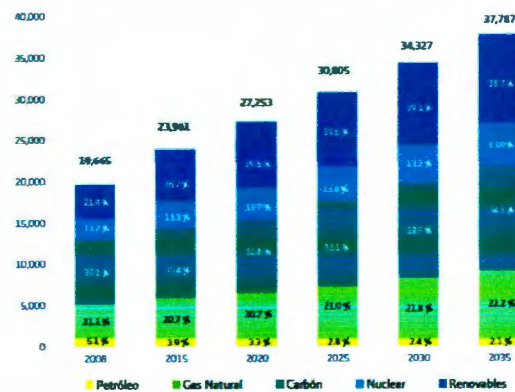


Fig. 1.6. Fuentes de energía para la generación eléctrica mundial, 2008-2035 (TWh)

Las energías renovables tienen como principales problemas la intermitencia y la incertidumbre. Estos problemas serán solucionados utilizando sistemas de almacenamiento, incluso a nivel industrial y residencial. Dichos sistemas a su vez requerirán del uso de inversores para la aplicación de energías alternas. Por lo tanto se tendrá una gran área de oportunidad a mediano plazo, si se toma en cuenta que México es uno de los países que más energía eléctrica consumen y que además cuenta con recursos renovables abundantes.

## 1.2 MOTIVACIÓN

El sistema eléctrico nacional no está plenamente desarrollado, ya que en México, existen cerca de 500.000 viviendas sin acceso a energía eléctrica [10], la mayoría de ellas están ubicadas en zonas rurales y de difícil acceso; el colocar líneas de transmisión para satisfacer estas necesidades de energía tendría un costo bastante alto. En el escenario mundial la situación es aún más grave, ya que se estiman más de 1.200 millones de personas sin acceso a la electricidad [11].

La ausencia de energía eléctrica es un indicador de:

- Pobreza extrema
- Problemas de producción
- Falta de acceso a agua potable
- Problemas de salud
- Educación deficiente

La falta de electricidad es un indicador de pobreza extrema ya que sin ella no puede haber industrias en las que las personas puedan trabajar. Sin electricidad no se puede llevar agua potable a comunidades alejadas ocasionando problemas de salud. A esto se suman los problemas de salud causados por la inhalación del CO<sub>2</sub> procedente de las fogatas que las personas utilizan para cocinar o calentarse durante el invierno.

Los niños que viven en comunidades aisladas tienen una educación deficiente, debido a que durante el día tienen que trabajar y acudir a la escuela, y durante la noche no pueden estudiar o hacer sus tareas por la falta de electricidad. Además de que las escuelas rurales no tienen acceso a la información de internet, debido a la falta de servicios de electricidad.

Una posible solución a estos problemas se encuentra en el uso de las energías renovables. La generación distribuida podría no sólo proveer energía eléctrica en zonas rurales, sino también podría contribuir en la mejora del sistema eléctrico existente.

La intención de este trabajo de investigación es iniciar el proceso de desarrollo de un dispositivo que permita mejorar las condiciones de vida de las personas que viven en comunidades rurales. Éste dispositivo debe permitir el aprovechamiento de la energía eléctrica generada a partir de fuentes de energías alternas, proporcionando una señal eléctrica de alta calidad. De esta forma se contribuye con el desarrollo social y tecnológico del país.

### **1.3 PLANTEAMIENTO DEL PROBLEMA**

En el mercado y en la industria existen una gran cantidad de modelos de convertidores de CD a CA de bajo costo, la mayoría de ellos tienen capacidades limitadas, ya que sólo permiten la conexión de cargas eléctricas de tipo resistivo o capacitivo como pueden ser lámparas para iluminación o televisores, pero no permiten usar cargas de tipo inductivo como refrigeradores o ventiladores.

También existen modelos de inversores de CD a CA que permiten la conexión de cualquier tipo de carga sin embargo son demasiado costosos y sus aplicaciones son del tipo industrial. Estos inversores de voltaje se basan en tres topologías clásicas [8]:

- Inversor con diodo fijador DCMLI
- Inversor con capacitores flotantes FCMLI
- Inversor en cascada con fuentes separadas CMLI

Debido a que estos inversores son de alta potencia, su precio es demasiado alto; tornándolos inviables para su instalación en pequeñas comunidades rurales, las cuales requieren solo de un suministro de baja potencia.

De estos problemas surge la necesidad de contar con un inversor de voltaje de baja potencia y de bajo costo que suministre energía eléctrica de calidad procedente de fuentes de energía renovable y que a su vez permita conectar cargas eléctricas de cualquier tipo.

### **1.4 PREGUNTA DE INVESTIGACIÓN**

El problema planteado en la sección 1.3 lleva a considerar la siguiente pregunta de investigación:

¿Será posible proponer una topología de inversor multinivel con un bajo número de componentes sin comprometer la calidad de la energía eléctrica?

### **1.5 OBJETIVO GENERAL**

Proporcionar una nueva topología de inversor multinivel que ofrezca una alta calidad en la señal eléctrica suministrada, permitiendo conectar cargas eléctricas de cualquier tipo.

## 1.6 OBJETIVOS ESPECÍFICOS

Los objetivos particulares se mencionan a continuación:

- Identificar una oportunidad de desarrollo tecnológico en el arte del Smart Grid.
- Realizar una investigación del estado del arte en inversores multinivel.
- Comparar las diferencias entre los distintos inversores multinivel.
- Realizar una compilación de las distintas topologías de inversor multinivel.
- Proponer una nueva topología de inversor multinivel.
- Simular el comportamiento del inversor multinivel sometido a distintas condiciones.
- Proporcionar una técnica de control para la topología propuesta.
- Proporcionar una base para el desarrollo de tecnología nacional.
- Realizar una publicación de la topología propuesta.

## 1.7 METODOLOGÍA

Para el desarrollo del presente trabajo de tesis se pretende seguir la metodología marcada en la Fig. 1.7, el primer paso consiste en identificar un área de oportunidad de mejora de tecnología dentro del concepto del “Smart Grid”, el segundo paso consiste en investigar los distintos tipos de tecnologías empleadas en el arte del “Smart Grid” y ubicar una oportunidad de mejora en alguna de estas tecnologías. El tercer paso consiste en realizar un modelo simplificado de las soluciones ya existentes. En caso de encontrar una oportunidad de mejora se pueden plantear y modelar la solución. Las soluciones planteadas se pueden verificar mediante simulaciones y de ser posible se pueden mejorar para finalmente implementar la mejor solución.

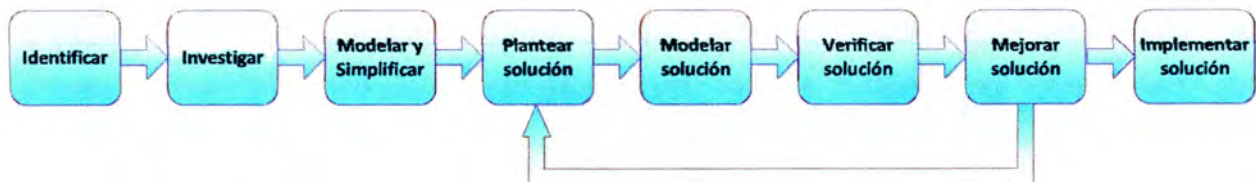


Fig. 1.7. Metodología a seguir durante el trabajo de tesis.

### 1.7.1 ALCANCES

El alcance del proyecto de investigación es proporcionar una nueva topología de inversor multinivel con un menor número de componentes que las topologías clásicas y no debe comprometer la calidad de la energía eléctrica.

Un buen parámetro para la medición de la calidad de la energía eléctrica tiene que ver con la distorsión armónica, de acuerdo a las reglas de interconexión de CFE la distorsión armónica total para sistemas de alta tensión es de 3%, sin embargo no hay un valor de referencia para sistemas de baja tensión. En el Anexo C se muestran las tablas con los niveles de armónicas pares e impares para alta tensión.

## 2 Capítulo 2. Estado del arte. Inversores de voltaje.

Los inversores se pueden clasificar en inversores con tensión de salida de señal cuadrada, sinusoidal modificada, onda multinivel y con tensión de salida de señal sinusoidal pura. Fig. 2.1.

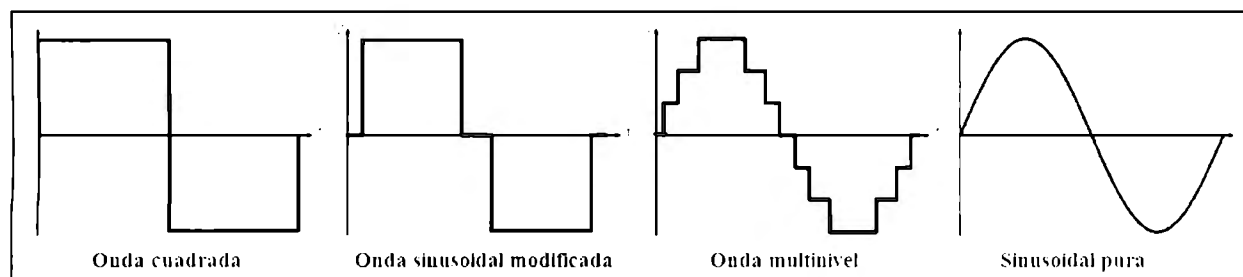


Fig. 2.1. Inversores de señal sinusoidal cuadrada, modificada o pura.

Los inversores que proporcionan una onda cuadrada de voltaje o sinusoidal modificada, son los más comunes y se usan para conectar cargas del tipo resistivo, incluso se usan como fuente de energía de respaldo para algunas computadoras y televisiones, pero no sirven para cargas inductivas como los refrigeradores o bombas de agua. Los inversores de onda multinivel o sinusoidal pura son menos conocidos y mucho más costosos pero estos si permiten conectar cargas inductivas que son las más comunes en la industria y en el uso residencial.

### 2.1 Inversores de voltaje de onda cuadrada y sinusoidal modificada

Estos inversores se pueden clasificar de acuerdo a la modulación como:

- Inversores no modulados
- Inversores modulados
  - Modulación en amplitud,  $m_a = \frac{V_{CP}}{V_{TP}}$



- Poco modulados  $m_a < 1$
- Sobre modulados  $m_a > 1$
- Modulación en frecuencia,  $m_f = \frac{f_T}{f_C}$  (PWM con conmutación por voltaje bipolar, PWM con conmutación por voltaje unipolar, Fig. 2.2 y Fig. 2.3)
  - Poco Modulados
  - Muy Modulados

Para la modulación se tiene una señal portadora triangular con un valor de pico  $V_{TP}$  y una frecuencia  $f_T$  y una señal de control (señal moduladora) con un valor de pico  $V_{CP}$  y una frecuencia  $f_C$ .

Los inversores con  $m_a < 1$  presentan una relación lineal entre la tensión de control y la tensión obtenida a la salida. Por otra parte, los inversores con índice de modulación superior a la unidad no presentan una relación lineal con la tensión de alimentación pero permiten obtener tensiones de la fundamental a la salida, superiores a la de la fuente de suministro. Los inversores no modulados son casos extremos de sobre modulación.

La modulación puede ser aplicada a inversores de onda cuadrada o sinusoidal modificada, incluso es posible aplicarlos a los inversores multinivel.

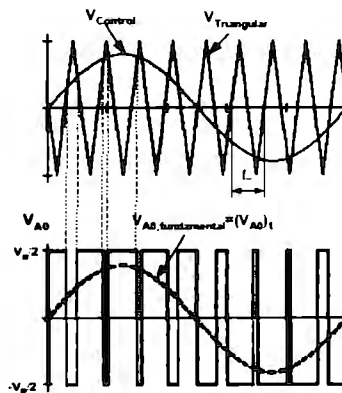


Fig. 2.2. Modulación por PWM bipolar.

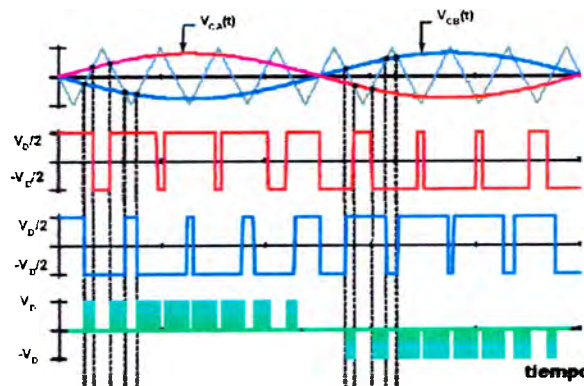


Fig. 2.3. Modulación por PWM unipolar.

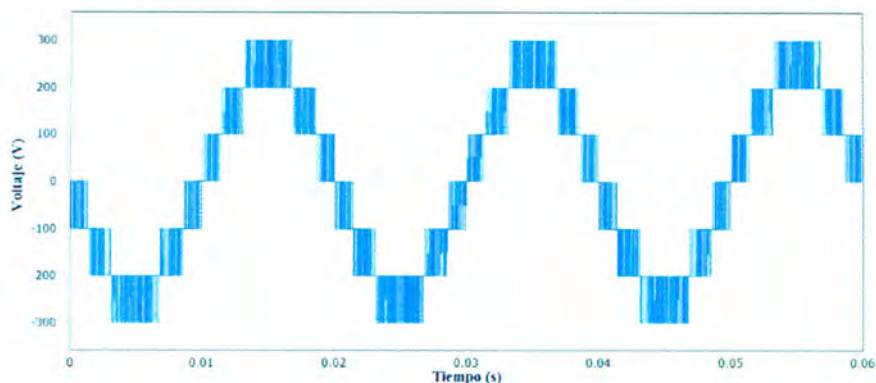


Fig. 2.4. Inversor multinivel modulado.

En la Tabla 2.1 se pueden observar las ventajas y desventajas de los inversores modulados y no modulados [8]:

Tabla 2.1. Ventajas y desventajas de los inversores modulados y no modulados.

Inversor	Ventajas	Desventajas
<b>Modulado</b>	<ul style="list-style-type: none"> <li>• Se reduce el tamaño del filtro.</li> <li>• Se evita la influencia sobre la fundamental.</li> <li>• Se puede obtener una señal donde los armónicos y la fundamental estén muy separados.</li> </ul>	<ul style="list-style-type: none"> <li>• Altas pérdidas por conmutación de semiconductores.</li> </ul>
<b>No Modulado</b>	<ul style="list-style-type: none"> <li>• Sencillos de implementar.</li> </ul>	<ul style="list-style-type: none"> <li>• La tensión obtenida presenta una distorsión elevada.</li> <li>• Necesitan filtros voluminosos.</li> <li>• Las frecuencias de corte de los filtros son tan bajas que dificultan el funcionamiento a distintas frecuencias.</li> <li>• Los filtros pueden atenuar los armónicos y la frecuencia fundamental obligando al inversor a trabajar con tensiones elevadas. [12]</li> </ul>

### Consideraciones sobre las señales de control:

Cuanto menor sea el índice de modulación en frecuencia  $m_f$  se debe elegir con mayor cuidado la configuración de las señales utilizadas. Unas sencillas reglas que ayudarán al mejor funcionamiento de nuestro inversor son:

- “ $m_f$ ” debe ser un número entero e impar. En estas condiciones la señal tiene simetría impar reduciéndose su contenido armónico y evitando que aparezcan sub-armónicos.

- La señal sinusoidal y la triangular deben estar sincronizadas, es decir, deben iniciarse en el mismo instante.
- La pendiente de la triangular y la sinusoidal deben ser opuestas al iniciarse la modulación. Así se evitan pulsos de corta duración en sistemas poco modulados.

Los inversores de onda cuadrada o sinusoidal modificada también se pueden clasificar como:

- **Inversores de medio puente.** Fig. 2.5 y Fig. 2.6.

En estos se tienen dos fuentes de voltaje y dos interruptores. Cuando se cierra el interruptor S1, la carga tiene un voltaje positivo igual a  $V_{dc}/2$ , si se cierra S2 la carga tiene un voltaje negativo igual a  $-V_{dc}/2$ , si ambos interruptores están abiertos el voltaje es de 0, se debe de evitar cerrar ambos interruptores al mismo tiempo para evitar cortos circuitos.

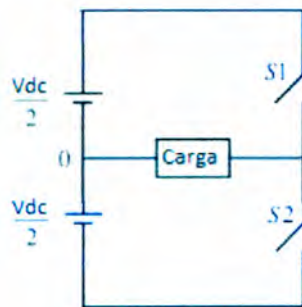


Fig. 2.5. Configuración inversor de medio puente.

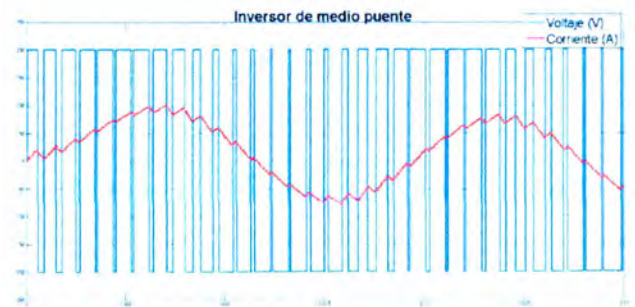


Fig. 2.6. Señales de salida inversor medio puente.

- **Inversores de puente completo.** Fig. 2.7 y Fig. 2.8.

Un inversor de puente completo está formado por dos medios puentes y se utiliza para rangos de potencias superiores. Con la misma tensión de entrada que en el caso anterior (medio puente), la tensión máxima a la salida del inversor será el doble. Cuando se cierran los interruptores S1 y S4, la carga tiene un voltaje positivo igual a  $V_{dc}$ , si se cierra S2 y S3 la carga tiene un voltaje negativo igual a  $-V_{dc}$ , si se cierran S1 y S2 ó S3 y S4 el voltaje es de 0, se debe de evitar cerrar S1 y S3 ó S2 y S4 al mismo tiempo para evitar cortos circuitos.

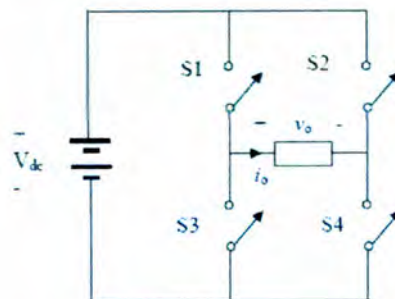


Fig. 2.7. Configuración inversor puente completo.

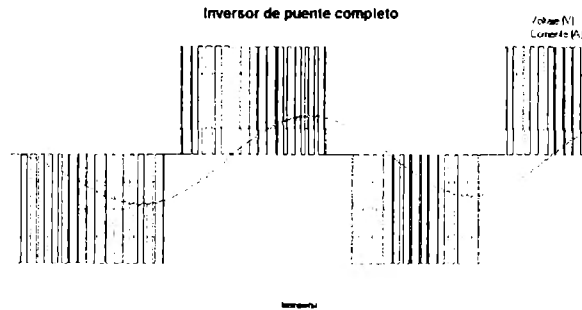


Fig. 2.8. Señales de salida inversor puente completo (carga inductiva).

Hasta ahora sólo se ha hablado de los inversores de voltaje básicos, los cuales sólo poseen 3 niveles de salida, uno positivo, uno negativo y el nivel 0. Sin embargo existen inversores que pueden generar un mayor número de niveles, estos se conocen como inversores multinivel y son el principal objeto de estudio de esta investigación.

## 2.2 Inversores multinivel

Los inversores multinivel alimentados en tensión han surgido como una nueva opción de convertidor para aplicaciones de alta potencia. El inversor multinivel básicamente sintetiza una onda de tensión en varias tensiones de cd escalonadas, Fig. 2.9. [13]

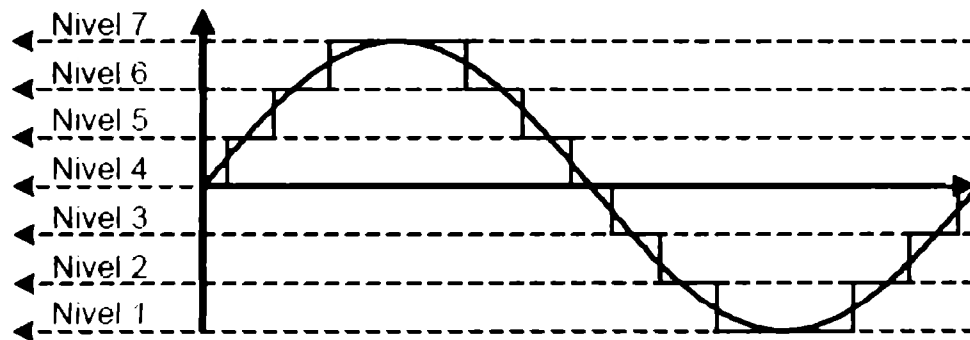


Fig. 2.9. Salida de un inversor multinivel.

Los inversores multinivel son una tecnología clave en la generación, transmisión, distribución y utilización de la potencia eléctrica [3], son utilizados en muchas aplicaciones industriales como el control de motores, compensadores estáticos VAR, aire acondicionado, fuentes de potencia ininterrumpibles, filtros activos, sistemas de transmisión flexibles [3], [4].

Los inversores multinivel tienen las siguientes ventajas [4], [14], [15], [16], [17]:

- Alta calidad en la forma de onda
- Pequeño paso de tensión de salida, lo cual produce una alta calidad de potencia
- Generan salidas de tensión con muy baja distorsión
- Los transitorios de voltaje se limitan automáticamente
- Pueden operar con una baja frecuencia de conmutación
- Tienen bajas pérdidas por conmutación
- Tienen bajo contenido armónico
- Mejor compatibilidad electromagnética

Desafortunadamente los inversores multinivel tienen algunas desventajas [4], [15], [17]:

- Necesidad de una gran cantidad de semiconductores de potencia.
- Cada semiconductor requiere de circuitos de disparo y protección. Esto causa el incremento en el costo y complejidad del sistema.
- Requieren de un gran número de niveles de tensión directa, proporcionados por fuentes de suministro independientes o más comúnmente por un arreglo de divisores de voltaje capacitivos.

### Clasificación de las estrategias de control de inversores multinivel

El principal objetivo de las estrategias de modulación de los inversores multinivel es sintetizar el voltaje de salida lo más cercano a una forma de onda sinusoidal. Se han desarrollado varias técnicas de modulación para la reducción del contenido armónico y minimización de las pérdidas por conmutación.

Los métodos de modulación se pueden clasificar de acuerdo a la frecuencia de conmutación como se puede observar en Fig. 2.10. En la Fig. 2.11 se pueden observar las variantes de las técnicas de control con PWM [15].

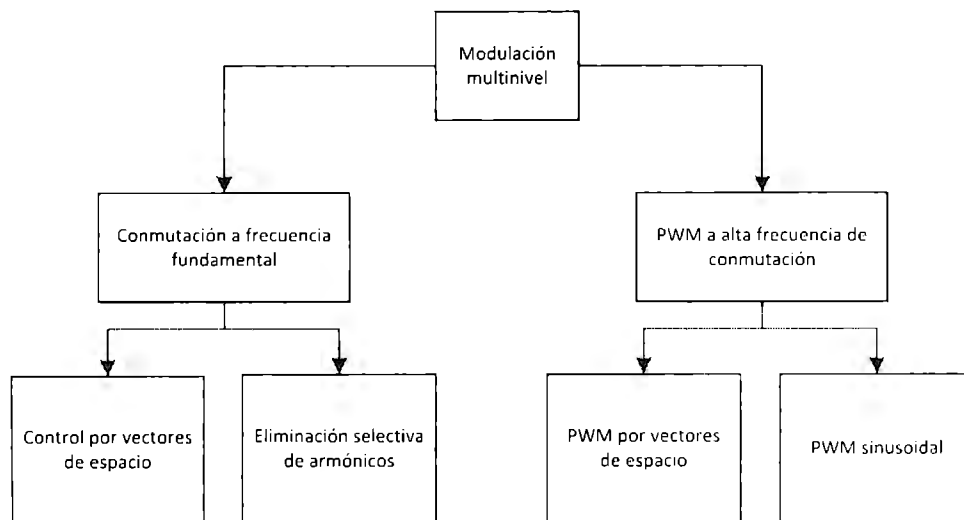


Fig. 2.10. Métodos de modulación.

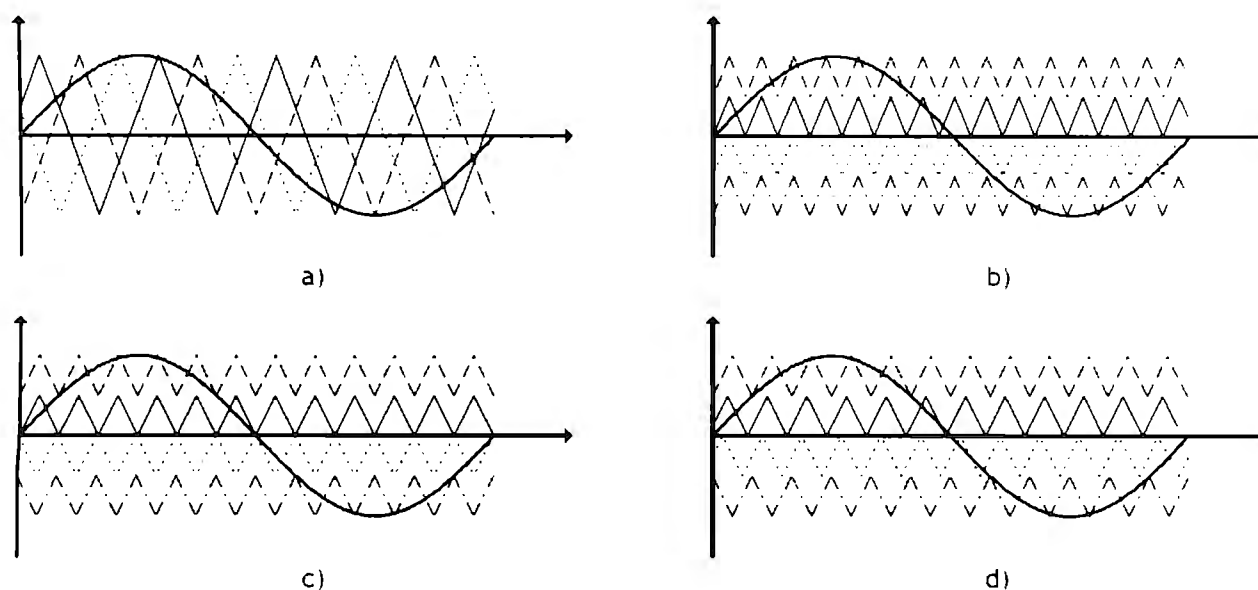


Fig. 2.11. Variantes de las técnicas de modulación por PWM.

El primer inversor multinivel apareció en 1975 y fue el inversor multinivel en cascada patentado por Baker y Bannister. este utilizaba fuentes de corriente CD separadas para sintetizar una onda de salida escalonada. Posteriormente apareció el inversor multinivel con diodos de enclavamiento en 1980 (también introducido por Baker y Bannister), el cual permitió usar sólo una fuente de voltaje para el inversor. El siguiente inversor multinivel apareció entre los años 1997 y 1998 y fue conocido como inversor multinivel con capacitores flotantes, introducido por Meynard, Foch y Lavielle. Estas 3 configuraciones de inversores multinivel son conocidas como las topologías clásicas de los inversores multinivel. Desde entonces han aparecido una gran cantidad de patentes de inversores multinivel para distintas aplicaciones. [3]

## 2.2.1 Topologías clásicas

### 2.2.1.1 Inversor multinivel en cascada

Un inversor multinivel en cascada consiste en una serie de unidades inversoras de puente completo (Fig. 2.12). La función general de este inversor multinivel es sintetizar un determinado voltaje a partir de varias fuentes separadas de cd, que pueden ser baterías, celdas de combustible o celdas solares [8]. En la Tabla A 1 de los anexos se muestra una de las posibles combinaciones para generar los niveles en el inversor multinivel en cascada de 5 niveles.

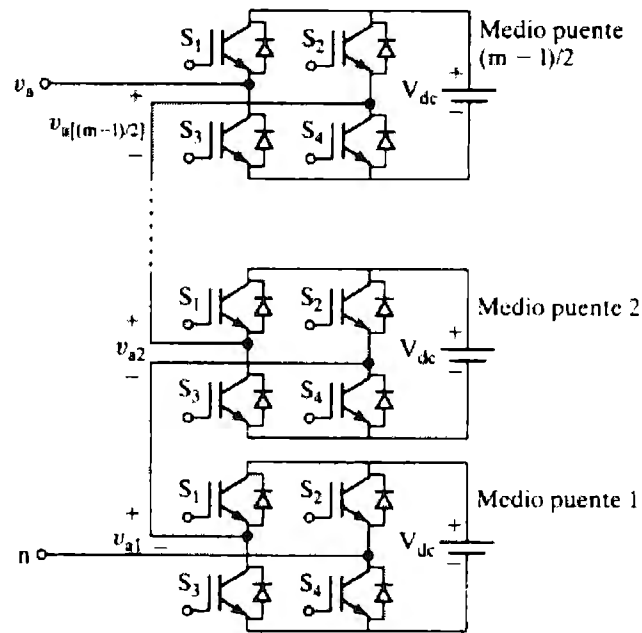


Fig. 2.12. Inversor en Cascada.

Las propiedades principales del inversor en cascada son las siguientes:

- 1) Para convertidores de potencia real, de CA a CD y después de CD a CA, los inversores en cascada necesitan fuentes separadas de CD. La estructura de las fuentes separadas de cd es adecuada para diversas fuentes de energía renovable, como celdas de combustible, paneles fotovoltaicos, sistemas eólicos y biomasa.
- 2) No es posible conectar las fuentes de CD una a continuación de otra entre dos convertidores, porque puede introducirse un corto circuito cuando dos convertidores seguidos no conmutan en forma sincrónica.

### 2.2.1.2 Inversor multinivel con diodo fijador o diodo de enclavamiento

El inversor multinivel con diodo fijador (Fig. 2.13) permitió utilizar una sola fuente de voltaje en la construcción de un inversor y tiene las siguientes propiedades:

- 1) **Especificación de alto voltaje para diodos de bloqueo.** Aunque cada dispositivo de conmutación sólo debe de bloquear un nivel de voltaje, los diodos fijadores deben de tener distintas especificaciones de bloqueo de voltaje en sentido inverso.

- 2) **Diferente especificación nominal de dispositivo conmutador.** Un trabajo de conducción desigual requiere distintas especificaciones nominales de corriente para los dispositivos de conmutación.
- 3) **Desbalanceo del voltaje de los capacitores.** Como los niveles de voltaje en las terminales de capacitor son diferentes, las corrientes que suministran los capacitores también son diferentes. Cuando se opera con factor de potencia unitario, el tiempo de carga o descarga es diferente para cada capacitor, provocando voltajes desbalanceados. Este problema de desbalanceo de voltaje en un convertidor multinivel se puede resolver reemplazando los capacitores por una fuente controlada de voltaje, baterías o control por PWM.

La Tabla A 2 muestra los niveles de voltaje y los estados de conmutación correspondientes a la Fig. 2.13.

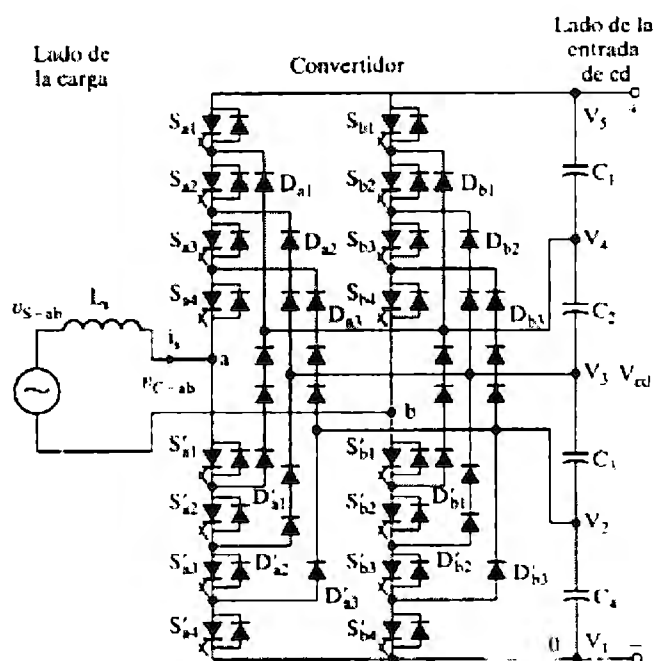


Fig. 2.13. Inversor con diodo fijador.

### 2.2.1.3 Inversores multinivel con capacitores flotantes (FCMLI)

Las características principales del inversor multinivel con capacitores flotantes (Fig. 2.14) son las siguientes:

- 1) Gran cantidad de capacitores. El inversor requiere una gran cantidad de capacitores de almacenamiento.



- 2) Balanceo de voltajes de capacitor. A diferencia del inversor con diodo fijador, el FCMLI tiene redundancia en sus niveles internos de voltaje. Un nivel de voltaje es redundante si puede sintetizarse con dos o más combinaciones válidas del interruptor. Para producir el mismo voltaje de salida, el inversor puede utilizar distintas combinaciones de capacitores, permitiendo la carga o descarga preferencial de los capacitores individuales. Esta flexibilidad facilita la manipulación de los voltajes de capacitor, y el mantenerlos en sus valores correctos.

La Tabla A 3 muestra una de las posibles combinaciones de interruptores para generar los diferentes niveles en el inversor con capacitores flotantes.

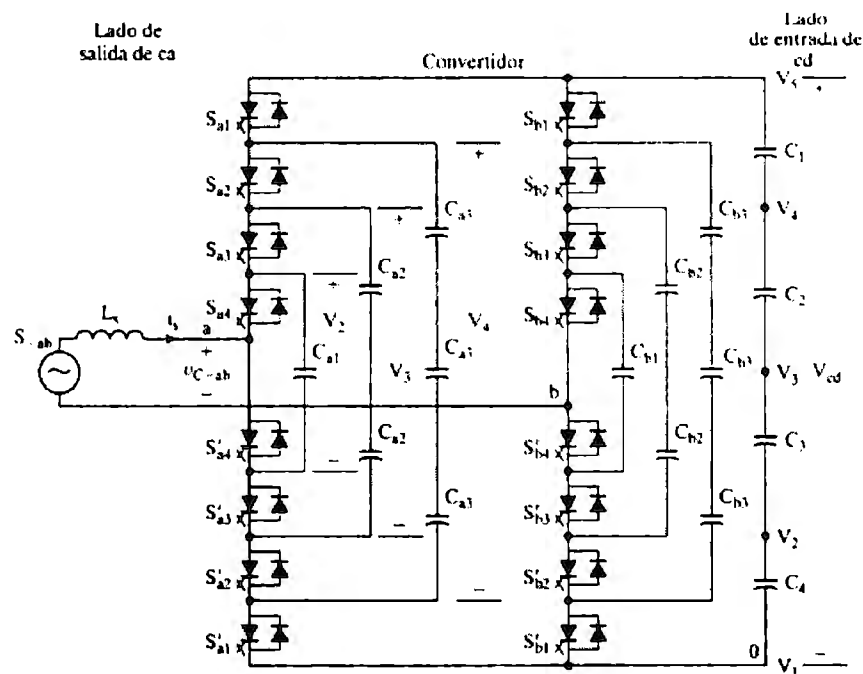


Fig. 2.14. Inversor multinivel con capacitores flotantes.

Algunas de las desventajas de los inversores multinivel es que exhiben una importante limitación para un número grande de niveles de salida; requieren un mayor número de dispositivos semiconductores, incrementando el costo, volumen y complejidad de control. A su vez cada dispositivo semiconductor requiere de un circuito de control, un circuito de protección y un disipador de calor, provocando que el sistema sea aún más costoso, voluminoso y complejo. Por consecuencia recientemente se han realizado esfuerzos para reducir el número de dispositivos semiconductores apareciendo un gran número de topologías en la literatura. La Tabla 2.2 lista las ventajas y desventajas de las topologías clásicas de inversores multinivel.

Tabla 2.2. Ventajas y desventajas de las topologías multinivel clásicas.

Configuración	Ventajas	Desventajas
Diodo Fijador	<ul style="list-style-type: none"> <li>• Cuando la cantidad de niveles es suficientemente alta el contenido armónico es bajo para evitar el uso de filtros.</li> <li>• Eficiencia del inversor es alta, porque todos los dispositivos son conmutados a la frecuencia fundamental.</li> <li>• Método de control sencillo.</li> </ul>	<ul style="list-style-type: none"> <li>• Se requieren demasiados diodos fijadores cuando la cantidad de niveles es alta.</li> <li>• Es difícil controlar el flujo de potencia real del convertidor individual, en sistemas con varios convertidores</li> </ul>
Condensadores flotantes	<ul style="list-style-type: none"> <li>• Cuando la cantidad de niveles es suficientemente alta el contenido armónico es bajo para evitar el uso de filtros.</li> <li>• Combinaciones extra (redundantes) de conmutación para balancear los niveles de tensión.</li> <li>• Se puede controlar el flujo de potencia tanto real como reactiva.</li> <li>• Debido a las grandes cantidades de capacitores de almacenamiento se puede proporcionar operación durante cortes de energía.</li> </ul>	<ul style="list-style-type: none"> <li>• Se requiere una cantidad excesiva de capacitores de almacenamiento cuando la cantidad de niveles es grande.</li> <li>• Los inversores en altos niveles son más difíciles de encapsular por los voluminosos capacitores de potencia, que también son más costosos.</li> <li>• El control del inversor puede ser muy complicado.</li> <li>• La frecuencia de conmutación es alta provocando pérdidas por conmutación para la transmisión de potencia real.</li> </ul>
Cascada	<ul style="list-style-type: none"> <li>• Cuando la cantidad de niveles es suficientemente alta el contenido armónico es bajo para evitar el uso de filtros.</li> <li>• Menor cantidad de componentes comparado con los inversores con diodo fijador y capacitores flotantes.</li> <li>• Distribución y encapsulado del circuito optimizados, porque cada nivel tiene la misma estructura.</li> <li>• Posee combinaciones redundantes para obtener el mismo nivel de tensión.</li> </ul>	<ul style="list-style-type: none"> <li>• Necesita fuentes de voltaje independientes.</li> <li>• Control complicado.</li> </ul>

### 2.2.2 Inversor multinivel con topología generalizada de Fang Z. Peng [14]

El inversor está formado a partir de celdas básicas como las que se muestra en la Fig. 2.15, la Fig. 2.16 muestra el diagrama para un inversor de 9 niveles, de esta topología se pueden deducir las topologías de capacitores flotantes y diodos de enclavamiento, esta topología ofrece estados redundantes, una posible combinación se muestra en la Tabla A 4. Esta topología de inversor permite realizar el balanceo automático de voltaje en los capacitores.

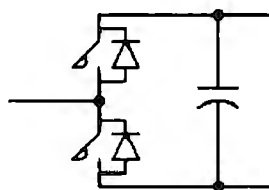


Fig. 2.15. Unidad básica para la topología presentada en [14]

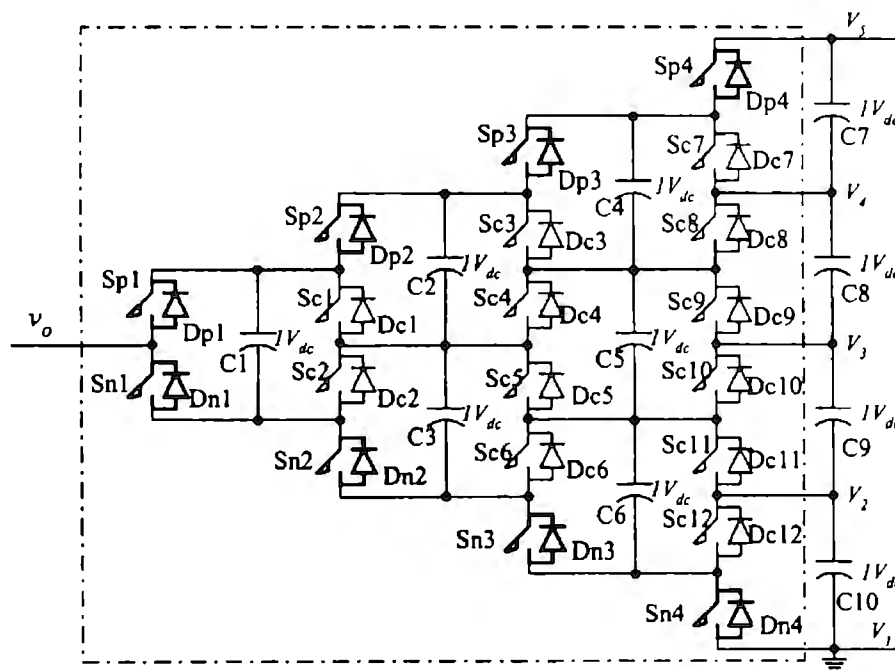


Fig. 2.16. Rama para la topología generalizada de 9 niveles.

### 2.2.3 Topologías con número reducido de componentes.

Para poder revisar estas topologías es necesario conocer algunos términos [3]:

- **RDC-MLI** se refiere a los inversores multinivel con un número reducido de dispositivos (reduced device count multilevel inverter).
- **Capacidad total de bloqueo de tensión.** Es la suma total de las capacidades de voltaje de bloqueo para todos los dispositivos de potencia.
- **Configuración de fuentes simétrica y asimétrica.** Cuando los voltajes de entrada de los niveles CD a un MLI son iguales se tiene una configuración de fuentes simétrica, de lo contrario se tiene una asimétrica. Algunas configuraciones de fuentes asimétricas populares son la configuración binaria y trinaria estas son en progresión geométrica.
- **Distribución de potencia par.** Ocurre cuando la conversión de potencia se hace de tal forma que cada fuente de entrada contribuye con la misma potencia a la carga. Algunos autores se refieren a este término como “control de balance de carga” o “comportamiento igualitario de carga”
- **Generación de nivel y generación de polaridad.** Cuando un MLI sintetiza los múltiples niveles con una sola polaridad y usa un puente H para formar una onda bipolar se tiene una generación de nivel y una generación de polaridad.
- **Conmutación de la frecuencia fundamental.** Las pérdidas por conmutación en un convertidor son proporcionales a la corriente, el voltaje de bloqueo y la frecuencia de conmutación. Para disminuir las pérdidas por conmutación es preferible operar al mayor voltaje posible los semiconductores y a baja frecuencia, de ser posible a la frecuencia fundamental, sin comprometer la calidad de la forma de onda de salida.

De acuerdo a [3] para analizar el potencial de los distintos RDC-MLI es necesario establecer los siguientes criterios:

- El número de interruptores de potencia usados.
- El voltaje de bloqueo total del convertidor.
- El control óptimo de la topología, en términos de las posibilidades del control de balance de carga y la distribución adecuada de las frecuencias de conmutación.
- Posibilidad de emplear fuentes asimétricas.

De acuerdo a la Fig. 2.17 las topologías RDC-MLI pueden ser clasificadas como aquellas con puente H (tienen generación de nivel y generación de polaridad) y sin puente H [3]:

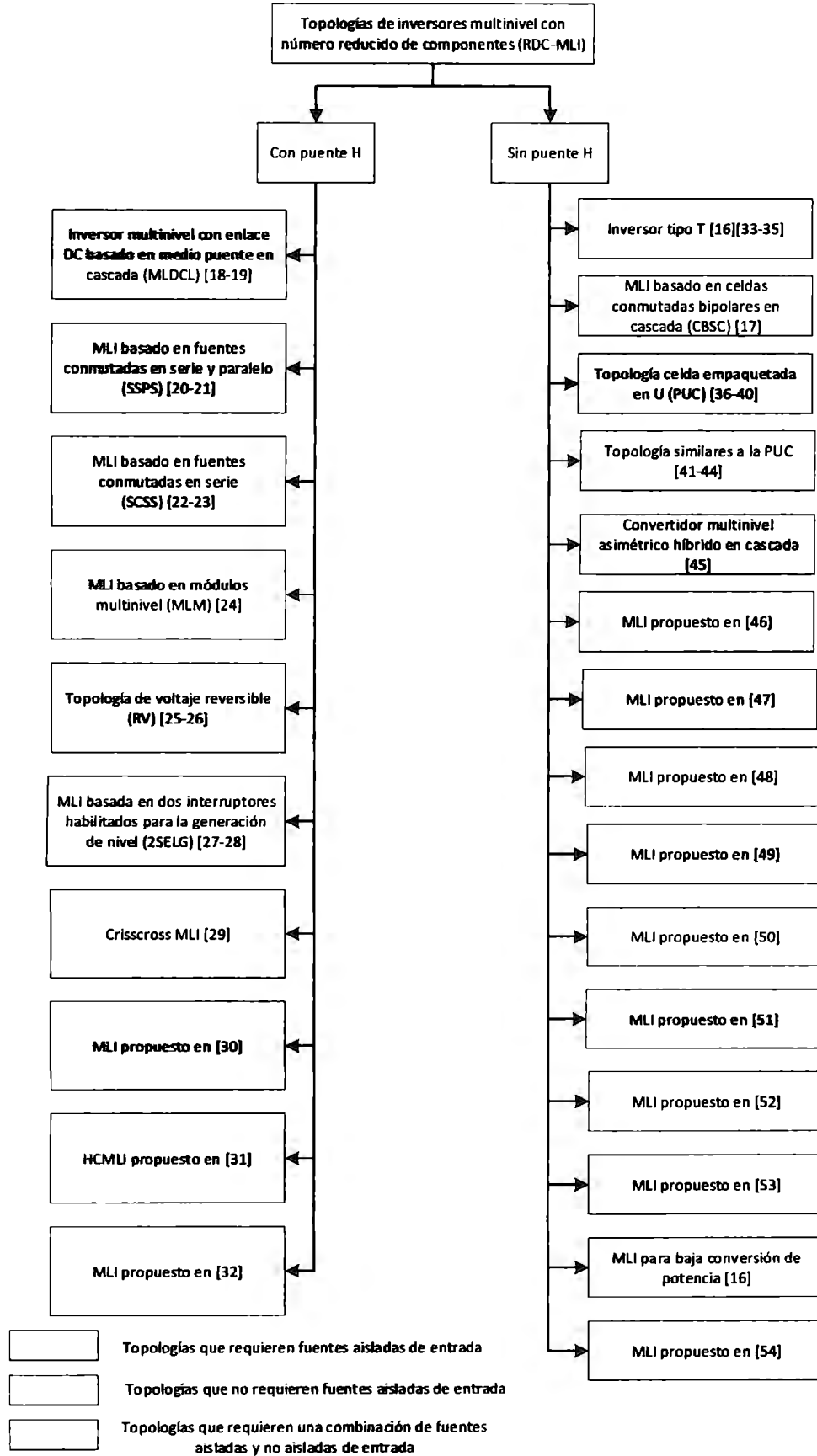


Fig. 2.17. Clasificación de los RDC-MLI de acuerdo a [3].

### 2.2.3.1 Inversores multinivel con puente H

Estos inversores trabajan con generación de nivel y generación de polaridad, es decir, ocupan una combinación de interruptores para generar los niveles de voltaje y otra combinación para generar el signo de salida. Una de las características principales de este tipo de inversores es que los dispositivos semiconductores utilizados en el puente H se deben de elegir de tal forma que soporten mayores niveles de tensión.

En la siguiente sección se verán las conexiones de las distintas topologías y sus respectivas tablas para los estados de conmutación.

Es necesario aclarar que no todos los diagramas de conexión muestran las topologías generalizadas ni las tablas correspondientes, sólo se muestran las conexiones para un determinado número de fuentes.

#### 2.2.3.1.1 Inversor multinivel en cascada con enlace CD en medio puente MLDC [18], [19]

Esta topología está comprendida por celdas conectadas en cascada, cada celda tiene su propia fuente de CD; la topología presenta una parte para la generación de nivel y una para la generación de polaridad. Comparada con la topología en cascada tiene un número reducido de componentes. La Fig. 2.18 muestra las conexiones para 4 fuentes de voltaje en esta topología, mientras que la Tabla A 5 muestra los estados para la generación de nivel. Esta topología requiere de fuentes aisladas para operar, permite implementar configuración de fuentes simétricas y asimétricas en configuración binaria, además de que permite realizar el reparto equitativo de la carga en configuración simétrica.

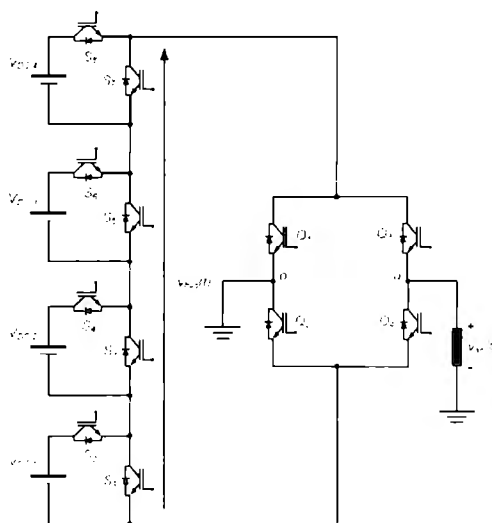


Fig. 2.18. Estructura de la topología MLDC.

### 2.2.3.1.2 MLI basado en fuentes conmutadas en serie y paralelo (SSPS) [20] [21]

Esta topología requiere del mismo número de fuentes de voltaje que el inversor multinivel en cascada pero sintetiza el mismo número de niveles con un menor número de interruptores de potencia. La topología permite implementar fuentes simétricas y asimétricas en configuración binaria, además de que permite el reparto equitativo de la carga; es necesario que las fuentes de suministro sean aisladas. Una importante aplicación sugerida para esta topología es en vehículos eléctricos. En la Tabla A 6 se pueden observar los estados de conmutación para los respectivos niveles.

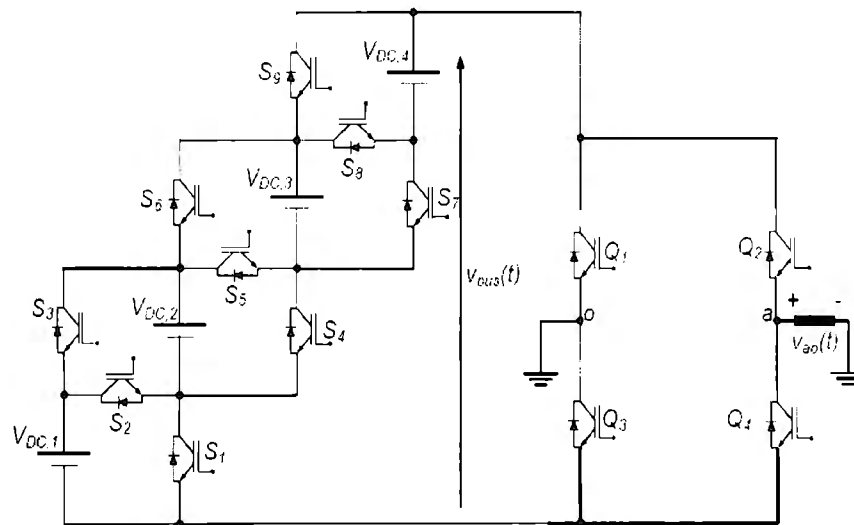


Fig. 2.19. Estructura de la topología SSPS-MLI.

### 2.2.3.1.3 MLI basado en fuentes conmutadas en serie (SCSS) [22] [23]

En esta topología el número de interruptores es menor comparado con el inversor en cascada. La configuración del circuito es bastante simple, tiene una etapa de generación de nivel y una etapa de generación de polaridad. La topología requiere operar con fuentes de voltaje simétricas aisladas, sin embargo no permite realizar el reparto equitativo de la carga. A pesar de que su estructura es simple no es modular. La Tabla A 7 muestra los estados de conmutación para generar los distintos niveles de voltaje.

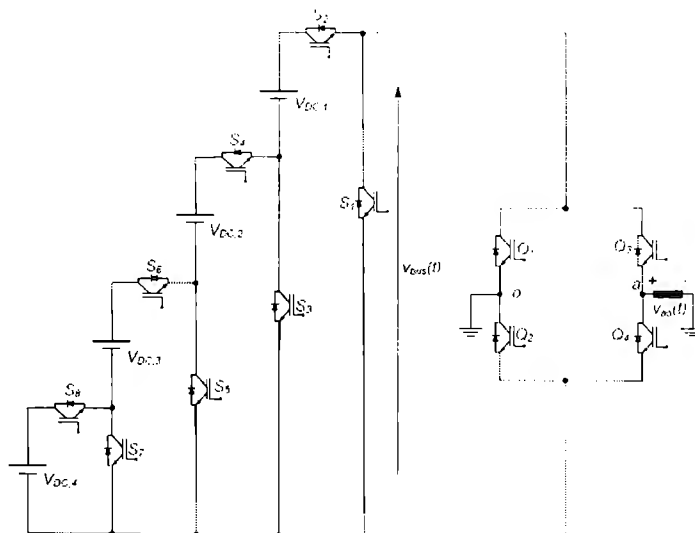


Fig. 2.20. Estructura de la topología SCSS-MLI.

#### 2.2.3.1.4 MLI basado en módulos multinivel (MLM) [24]

La topología consiste de una etapa de generación de polaridad y una etapa de generación de nivel. La etapa de generación de nivel consiste en fuentes de entrada CD no aisladas y de interruptores bidireccionales. La estructura requiere de fuentes simétricas para su funcionamiento. Los esfuerzos de voltaje en los interruptores no están distribuidos uniformemente. Los estados de conmutación para esta topología se pueden observar en la Tabla A 8.

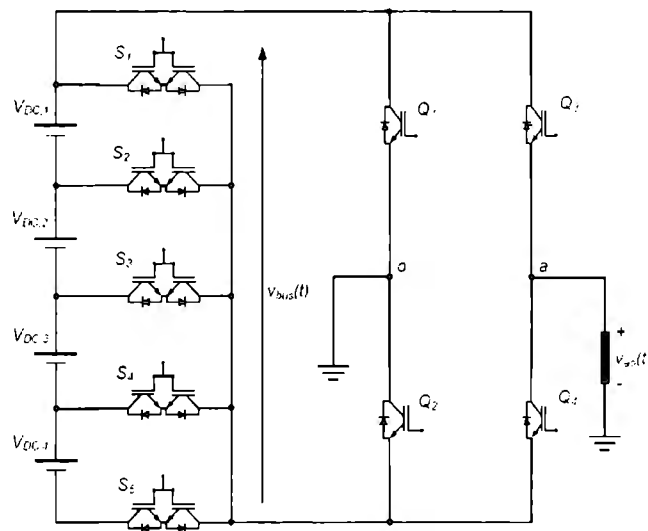


Fig. 2.21. Estructura de la topología MLM-MLI.



### 2.2.3.1.5 Topología de voltaje reversible (RV) [25] [26]

Esta topología permite disminuir el número de semiconductores y resuelve los problemas de balanceo de voltaje. La topología requiere de una etapa de generación y una etapa de generación de polaridad. La estructura no requiere de fuentes aisladas para operar, sin embargo no permite operar en configuración asimétrica. Los interruptores de esta topología pueden ser unidireccionales. La Tabla A 9 muestra los estados de conmutación para esta topología.

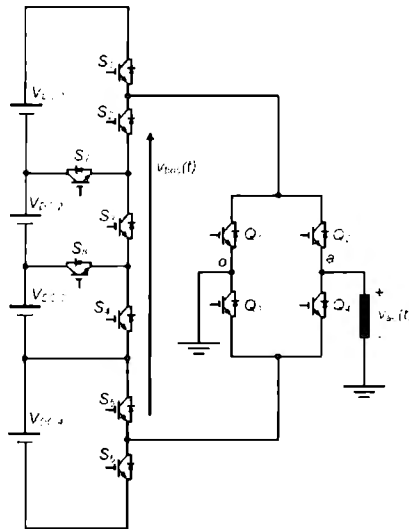


Fig. 2.22. Estructura de la topología RV-MLI.

### 2.2.3.1.6 MLI basada en dos interruptores habilitados para la generación de nivel (2SELG) [27] [28]

Esta topología tiene una etapa de generación de nivel y una de generación de polaridad. La ventaja de esta topología es que sólo requiere que dos interruptores conduzcan para generar cualquier nivel de voltaje válido, permitiendo bajas pérdidas por conducción. La estructura requiere de fuentes no aisladas para su operación, pero deben estar en configuración simétrica. La topología requiere de una mezcla de interruptores unidireccionales y bidireccionales. En la Tabla A 10 se pueden observar las distintas combinaciones de interruptores de potencia que la estructura ocupa para generar los distintos niveles.

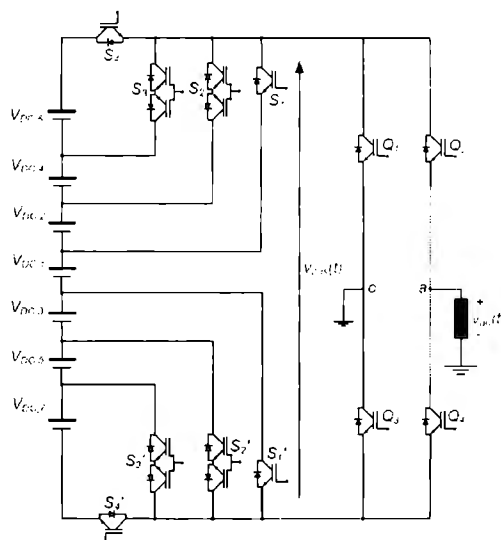


Fig. 2.23. Estructura de la topología 2SELG-MLI.

### 2.2.3.1.7 Crisscross MLI [29]

Una de las características principales de esta topología es su modularidad. Esta topología también requiere de una etapa de generación de polaridad y una etapa de generación de nivel, también requiere de una mezcla de interruptores unidireccionales y bidireccionales. Una de las principales características de esta topología es que permite usar fuentes en simétricas y asimétricas en configuración binaria además de que tiene bajas pérdidas por conducción. La Tabla A 11 muestra los estados de conmutación para esta topología.

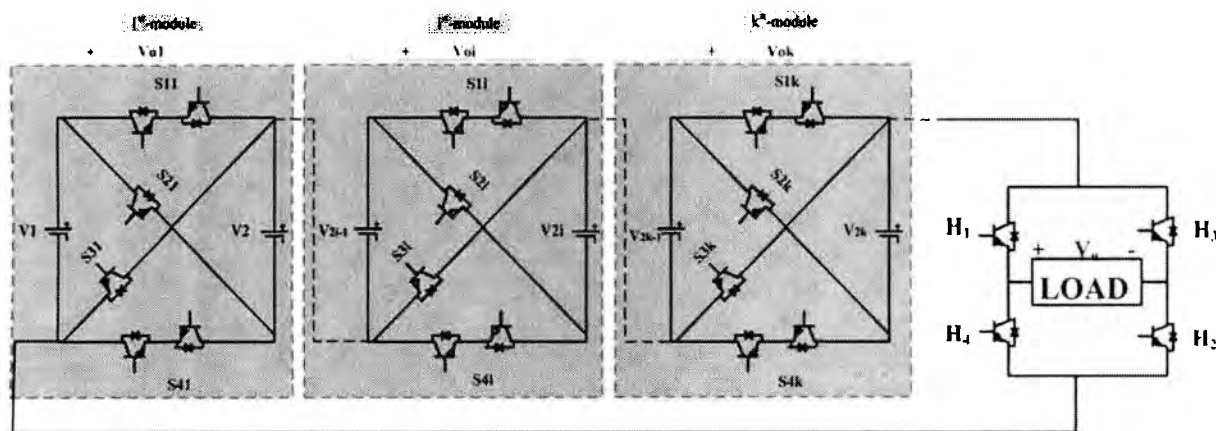


Fig. 2.24. Estructura generalizada de la topología Crisscross MLI

### 2.2.3.1.8 MLI propuesto en [30]

Esta estructura consiste de una conexión en serie de unidades básicas las cuales son construidas con interruptores unidireccionales y bidireccionales. Cada unidad básica consiste de 2 fuentes de voltaje en CD y tres interruptores. S1 y S3 son unidireccionales y S2 es bidireccional. Esta estructura sólo puede producir niveles de salida de voltaje positivos por lo que requiere de un puente H. Otra característica es que puede operar con fuentes simétricas y asimétricas en configuración binaria. La Tabla A 12 muestra las combinaciones de interruptores para la unidad básica y Tabla A 13 muestra las combinaciones para la topología generalizada.

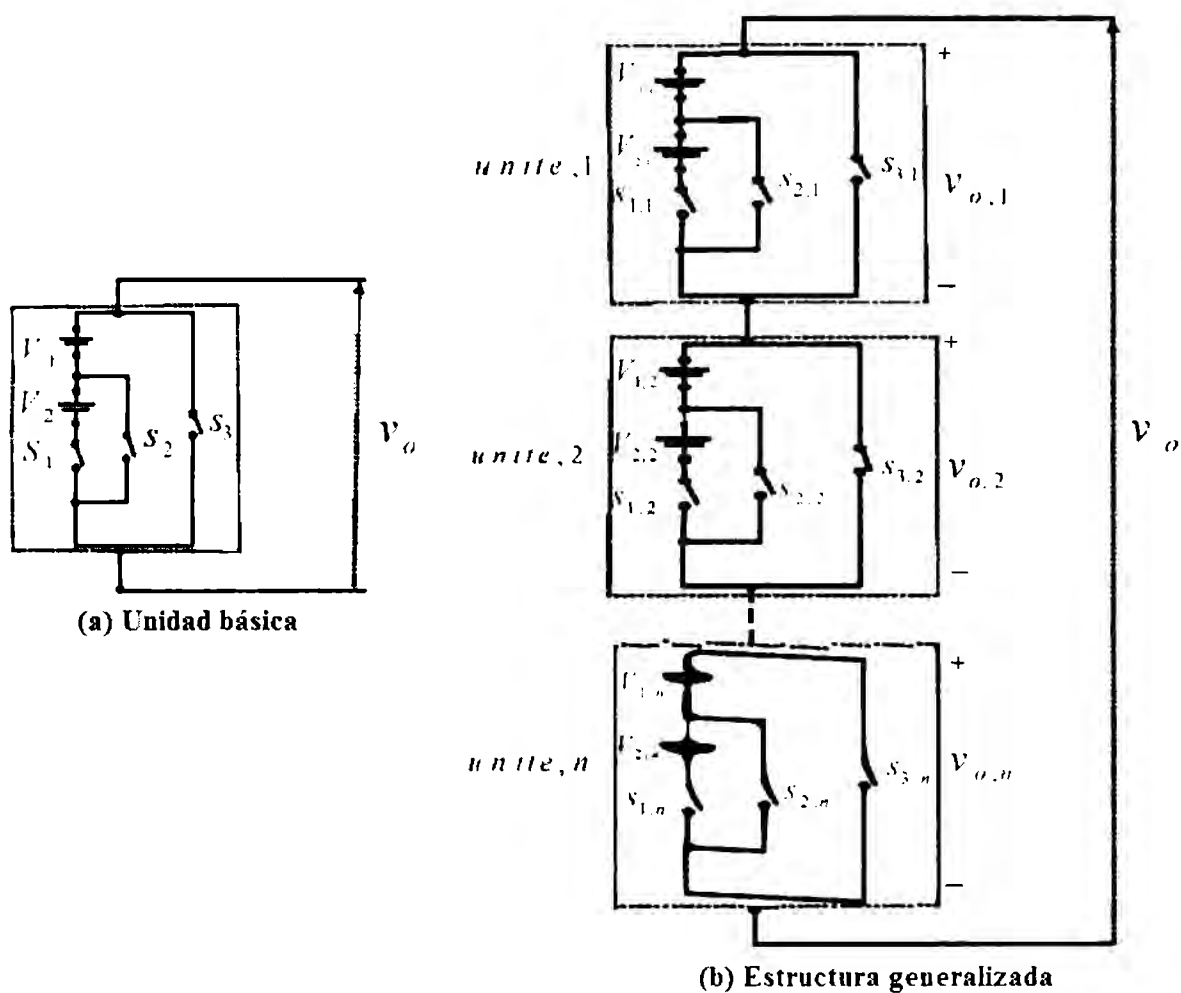


Fig. 2.25. Inversor multinivel propuesto en [30] (a) unidad básica. (b) estructura generalizada.

### 2.2.3.1.9 HCMLI propuesto en [31]

Esta topología consiste en un inversor multinivel híbrido en cascada. Esta topología consta de unidades básicas y de una unidad de puente H. Las unidades básicas son usadas para crear todos los niveles positivos y consisten de 2 fuentes de CD no aisladas, un diodo y 3 interruptores unidireccionales. El inversor puede operar en configuración simétrica y asimétrica binaria y trinaria. La Tabla A 14 muestra los estados de conmutación para el inversor multinivel de 11 niveles con fuentes simétricas (Fig. 2.26c) y Tabla A 15 muestra los estados de conmutación para el inversor multinivel de 19 niveles con fuentes asimétricas (Fig. 2.26d).

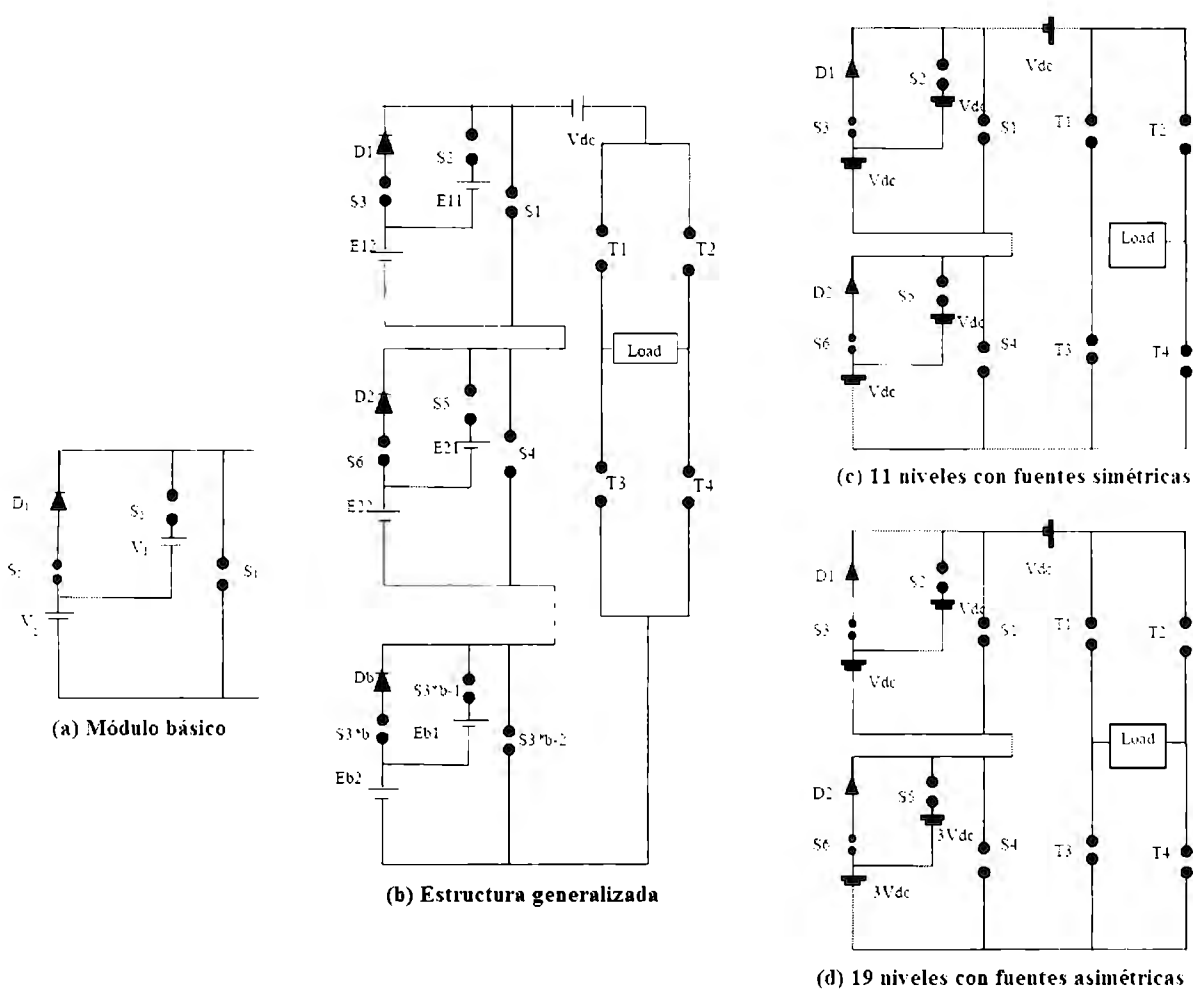


Fig. 2.26. Inversor HCMLI propuesto en [31]. (a) módulo básico, (b) estructura generalizada, (c) estructura 11 niveles, (d) estructura de 19 niveles.

### 2.2.3.1.10 MLI propuesto en [32]

Esta topología trabaja con el principio del inversor asimétrico en cascada en configuración trinaria. De esta forma la topología toma todas las posibles combinaciones de fuentes de CD de una manera muy sencilla. Las fuentes de la estructura deben ser aisladas. La Fig. 2.27 muestra la configuración de dos fuentes, tres fuentes y finalmente la topología generalizada. Los estados de conmutación correspondientes a la configuración de dos fuentes de voltaje se muestran en la Tabla A 16

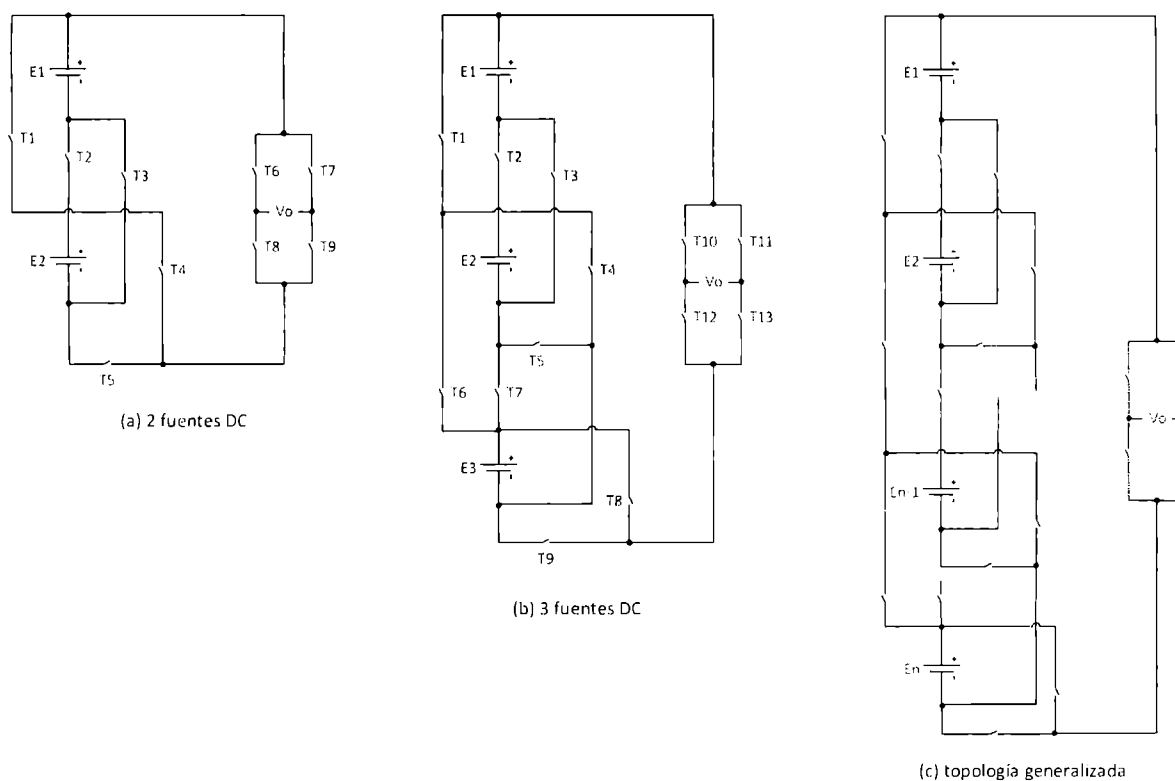


Fig. 2.27. Inversor multinivel propuesto en [32]

### 2.2.3.2 Inversores multinivel sin puente H

Estas topologías se distinguen por no utilizar un puente H para generar la polaridad de salida, por su estructura es posible obtener niveles de voltaje tanto positivos como negativos. Debido a que estas topologías no requieren el puente H los dispositivos semiconductores no necesitan especificaciones tan altas de voltaje.

### 2.2.3.2.1 Inversor tipo T [16] [33] [34] [35]

Aparentemente esta topología tiene un puente H, pero revisando los estados de conmutación de la Tabla A 17 es posible notar que no es así. Esta topología requiere de una mezcla de interruptores bidireccionales y unidireccionales. Esta configuración requiere de fuentes de alimentación en configuración simétrica, debido a que no es posible sintetizar todas las combinaciones aditivas y sustractivas.

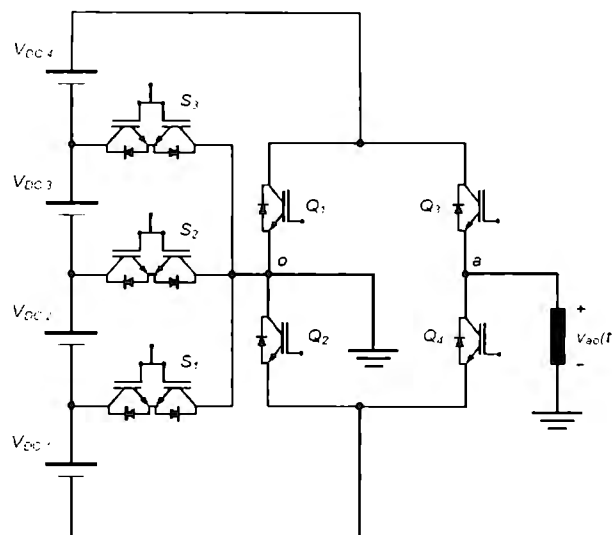


Fig. 2.28. Estructura de la topología MLI tipo T.

### 2.2.3.2.2 MLI basado en celdas conmutadas bipolares en cascada (CBSC) [17]

Esta topología requiere que todos los dispositivos semiconductores sean bidireccionales. La estructura está formada por celdas que consisten de una fuente de voltaje e interruptores de potencia (Fig. 2.29). Esta topología sólo puede funcionar con una configuración de fuentes simétrica, sin embargo no es necesario que las fuentes estén aisladas. Una de las características principales de esta topología es que tiene bajas pérdidas por conducción. La Tabla A 18 muestra las combinaciones de interruptores necesarias para obtener los distintos niveles de voltaje cuando se utilizan fuentes de alimentación.

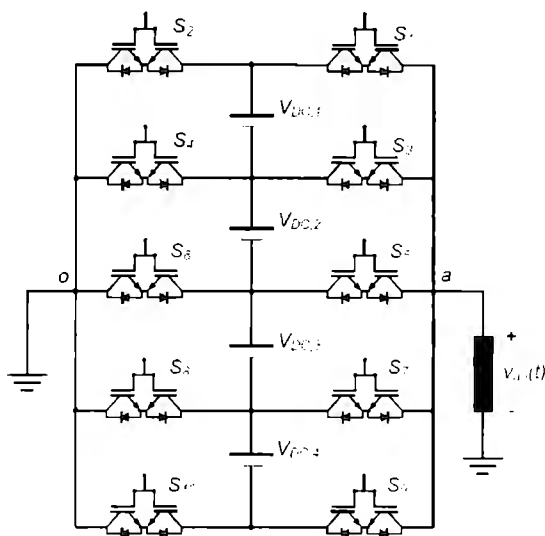


Fig. 2.29. Estructura de la topología CBSC MLI.

### 2.2.3.2.3 Topología celda empaquetada en U (PUC) [36] [37] [38] [39] [40]

Cada celda en U consiste de un arreglo de dos semiconductores de potencia y una entrada de nivel de CD que puede proceder de una fuente de voltaje o un capacitor flotante (Fig. 2.30). La topología PUC es muy simple en términos de interconexión. Cada semiconductor de la topología requiere de distintas características de potencia. La estructura requiere de una configuración asimétrica para operar. La Tabla A 19 muestra las combinaciones de interruptores necesarias para formar los distintos niveles.

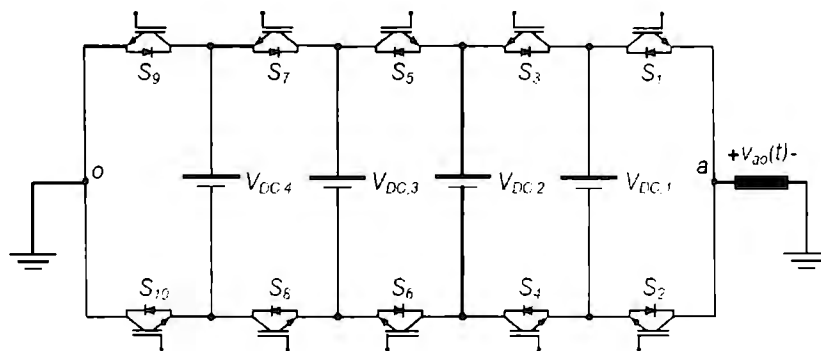


Fig. 2.30. Estructura de la topología PUC.

Existen topologías muy similares a la PUC, estas se muestran a continuación. Para identificar la estructura simplemente hay que reacomodar las fuentes y los interruptores. Estas topologías se muestran en el Anexo A. [41] [42] [43] [44]

### 2.2.3.2.4 Convertidor multinivel asimétrico híbrido en cascada con fuentes de voltaje aisladas [45]

Como su nombre lo dice esta topología es una forma híbrida del inversor multinivel en cascada, cada inversor tiene una fuente de voltaje adicional entre los nodos superiores del puente H, esto permite elevar ligeramente la cantidad de niveles que se pueden generar. Esta topología requiere de fuentes asimétricas para su funcionamiento. La Tabla A 20 muestra los estados de conmutación para la estructura mostrada en la Fig. 2.31.

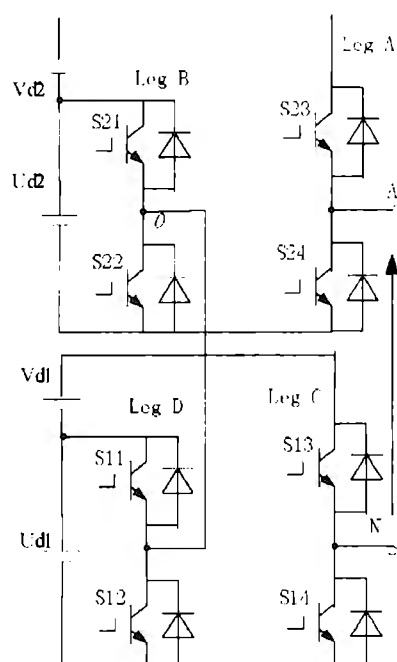


Fig. 2.31. Convertidor multinivel asimétrico híbrido en cascada con fuentes de voltaje aisladas.

### 2.2.3.2.5 MLI propuesto en [46]

En esta topología se pueden sintetizar todas las combinaciones aditivas y sustractivas de las fuentes de entrada en la forma de onda de voltaje de salida. Comparada con las topologías multinivel clásicas, la topología reduce el número de dispositivos de conmutación y las pérdidas por conducción. La topología requiere de fuentes de voltaje aisladas. La topología puede operar con fuentes simétricas o asimétricas en configuración binaria o trinaria. La Tabla A 21 muestra los estados de conmutación para la topología básica.



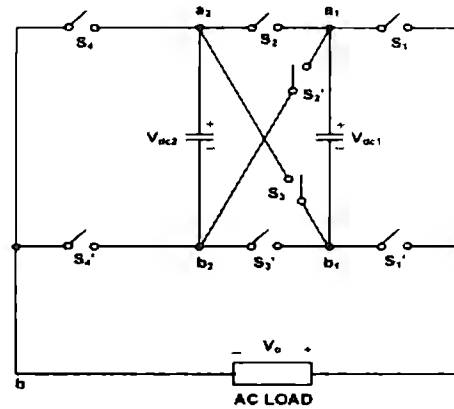


Fig. 2.32. Topología básica propuesta en [46]

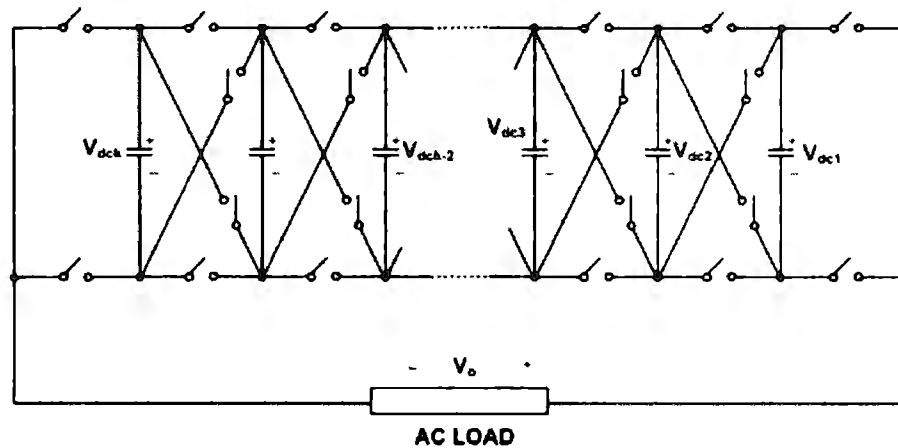


Fig. 2.33. Topología generalizada propuesta en [46]

### 2.2.3.2.6 MLI propuesto en [47]

Esta topología permite manejar fuentes tanto en configuración simétrica como en configuración asimétrica. En esta topología las operaciones de conmutación se separan en partes de alta y baja frecuencia. Esta topología permite reducir el número de dispositivos de conmutación, el número de fuentes y las pérdidas totales. La Tabla A 22 muestra los estados de conmutación de la estructura propuesta cuando se utilizan fuentes simétricas, mientras que la Tabla A 23 muestra los estados de conmutación para la operación simétrica del inversor. La Fig. 2.34 muestra la topología básica de este inversor multinivel.

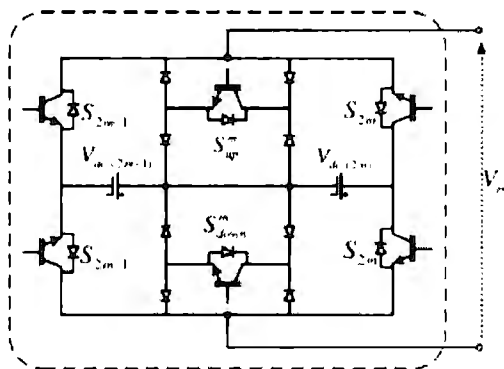


Fig. 2.34. Topología básica propuesta en [47]

**2.2.3.2.7 MLI propuesto en [48]**

La topología básica de esta propuesta consiste de dos fuentes de voltaje y dos dispositivos semiconductores unidireccionales, es decir, esta topología utiliza menos interruptores comparada con el inversor multinivel en cascada. La topología puede operar con fuentes simétricas y asimétricas en configuración binaria. En condiciones de operación asimétricas la cantidad de fuentes de voltaje es menor a la de las topologías convencionales. La Tabla A 24 muestra los estados de conmutación para la topología básica del inversor.

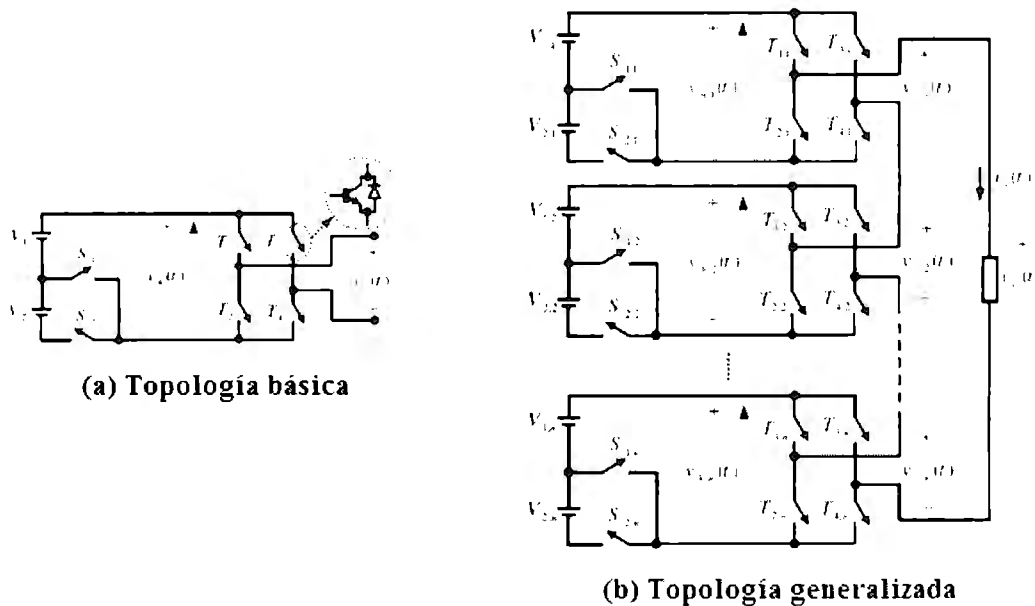


Fig. 2.35. Topología básica propuesta en [48]

### 2.2.3.2.8 Inversor multinivel propuesto en [49]

Esta topología requiere de un número reducido de dispositivos semiconductores, lo cual permite bajar las pérdidas por conmutación, peso y costo en comparación con los inversores tradicionales. Otra ventaja de esta estructura es su alta capacidad de modularidad. Esta estructura permite implementar fuentes simétricas y asimétricas en configuración binaria y trinaria para su operación. La Tabla A 25 muestra los estados de conmutación para el modelo básico (Fig. 2.36a) y la Tabla A 26 muestra los estados para la topología generalizada (Fig. 2.36b).

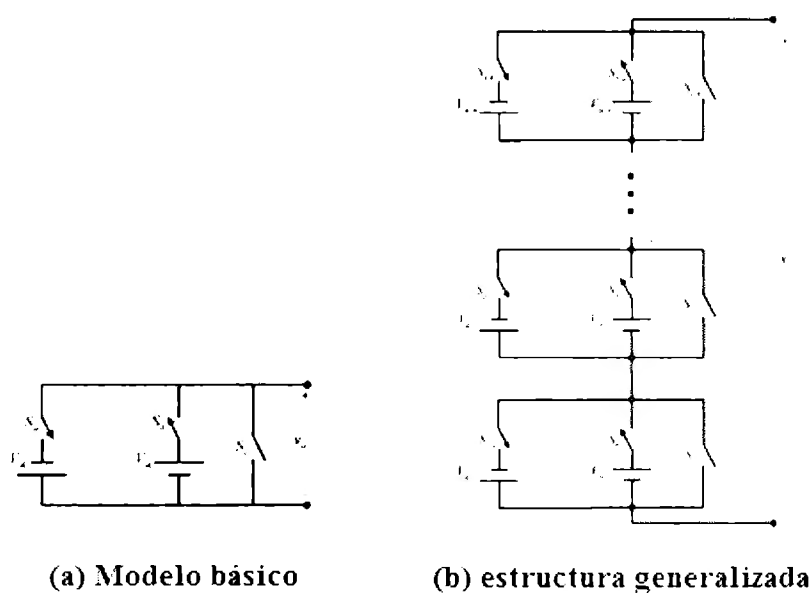


Fig. 2.36. Modelo básico para la estructura propuesta en [49]

### 2.2.3.2.9 Inversor multinivel propuesto en [50]

Este inversor permite tener una configuración de fuentes simétricas no aisladas con un número reducido de interruptores de potencia lo cual puede reducir la complejidad del control. Esta topología se puede extender para generar todos los niveles de voltaje deseados. En esta topología dos de los interruptores operan a la frecuencia de la línea, permitiendo reducir las pérdidas de potencia e incrementar la eficiencia. Los estados de conmutación para esta estructura se muestran en la Tabla A 27.

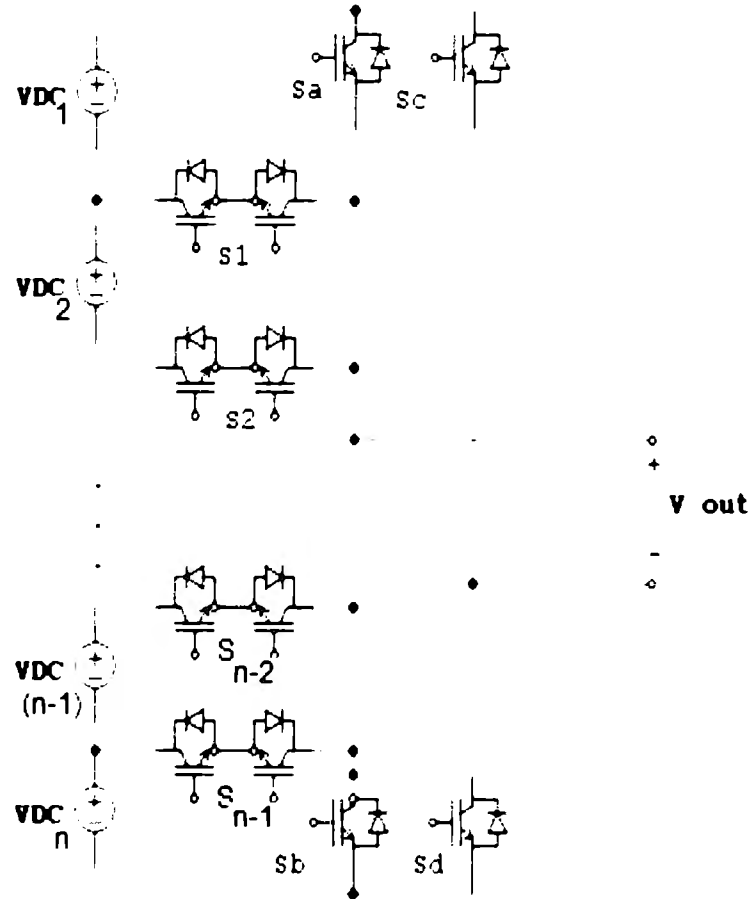


Fig. 2.37. Topología MLI propuesta en [50]

#### 2.2.3.2.10 Inversor multinivel propuesto en [51]

Esta topología permite obtener nueve niveles de voltaje con un menor número de componentes que el inversor en cascada. Esta topología consiste en dos inversores como se muestra en la Fig. 2.38, el inversor en la parte superior está formado por diodos de enclavamiento en una rama y la otra rama es convencional; se utilizan dos fuentes de voltaje en serie para alimentar el inversor en la parte superior. Los estados de conmutación para esta topología se muestran en la Tabla A 28.

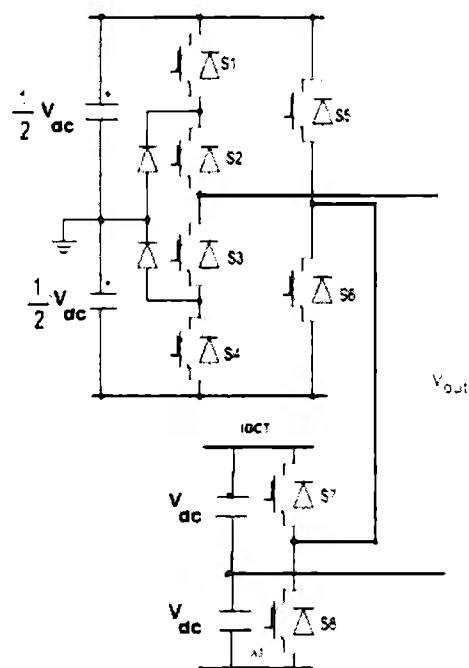


Fig. 2.38. Inversor multinivel propuesto en [51]

### 2.2.3.2.11 Inversor multinivel propuesto en [52]

En esta topología se tienen dos inversores en cascada híbridos con fuentes de voltaje asimétricas. esto permite generar una gran cantidad de niveles con un bajo número de semiconductores y un bajo número de fuentes de voltaje. En la Fig. 2.39 se pueden apreciar que la topología requiere de una combinación de semiconductores unidireccionales y bidireccionales. En la Tabla A 29 se muestran las combinaciones de interruptores necesarias para generar los distintos niveles.

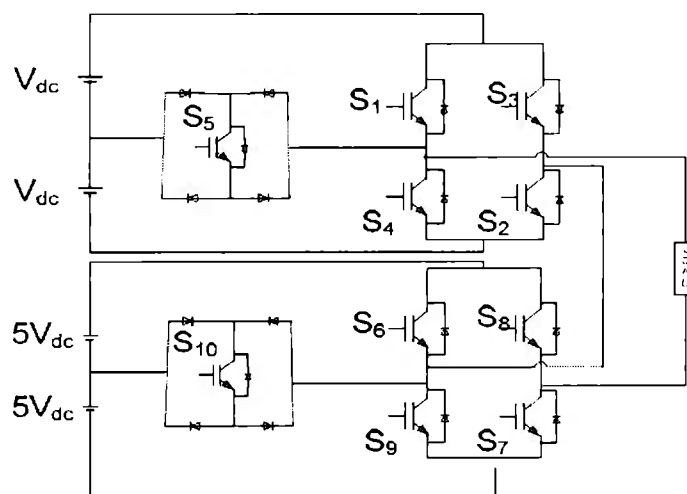


Fig. 2.39. Inversor multinivel propuesto en [52]

2.2.3.2.12 Inversor multinivel propuesto en [53]

Esta topología de inversor multinivel no reduce el número de dispositivos de conmutación, sin embargo reduce el número de componentes debido a que no requiere de diodos de enclavamiento o capacitores flotantes (Fig. 2.40). Esta topología es más eficaz para aplicaciones de bajo voltaje con baja distorsión armónica. La Tabla A 30 muestra los estados de conmutación para esta topología.

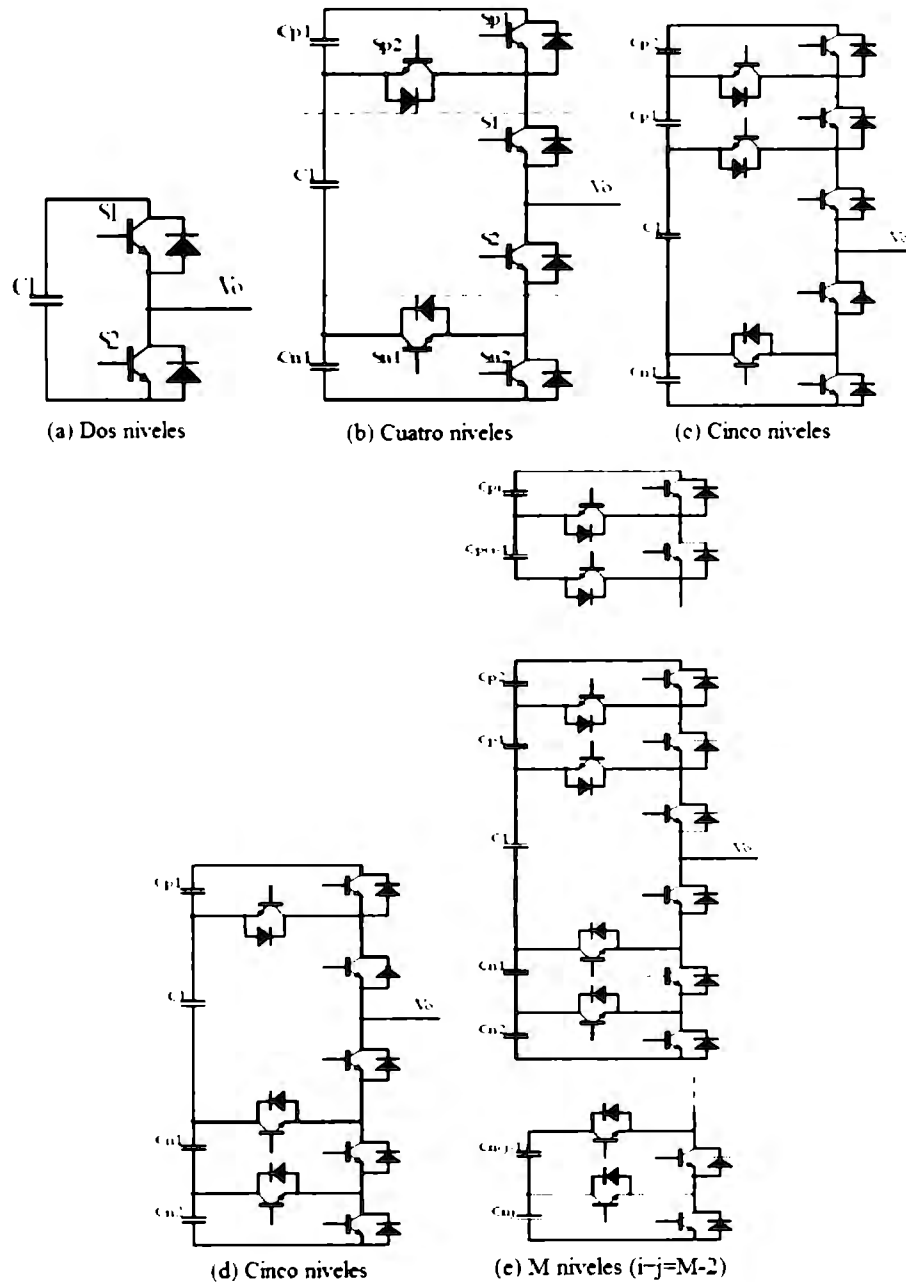


Fig. 2.40. Inversor multinivel propuesto en [53]

### 2.2.3.2.13 Inversor multinivel para baja conversión de potencia [16]

Este inversor multinivel permite obtener formas de onda de alta calidad y alta eficiencia, por lo que puede ser empleado en aplicaciones de bajo voltaje. En esta estructura el inversor requiere que haya sólo un interruptor encendido a la vez. La Tabla A 31 muestra los estados de conmutación.

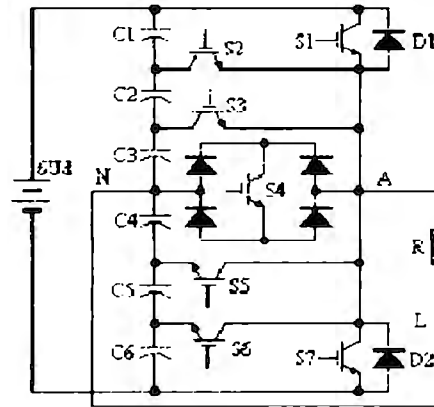


Fig. 2.41. Inversor multinivel para baja conversión de potencia.

### 2.2.3.2.14 Inversor multinivel de medio puente en cascada propuesto en [54]

Esta topología puede ser utilizada en configuración simétrica y asimétrica. El inversor propuesto tiene algunas ventajas entre ellas bajas pérdidas por conducción y conmutación. La topología requiere de fuentes aisladas para poder operar. La Tabla A 32 muestra los estados de conmutación para el uso de fuentes simétricas y la Tabla A 33 muestra los estados para fuentes asimétricas.

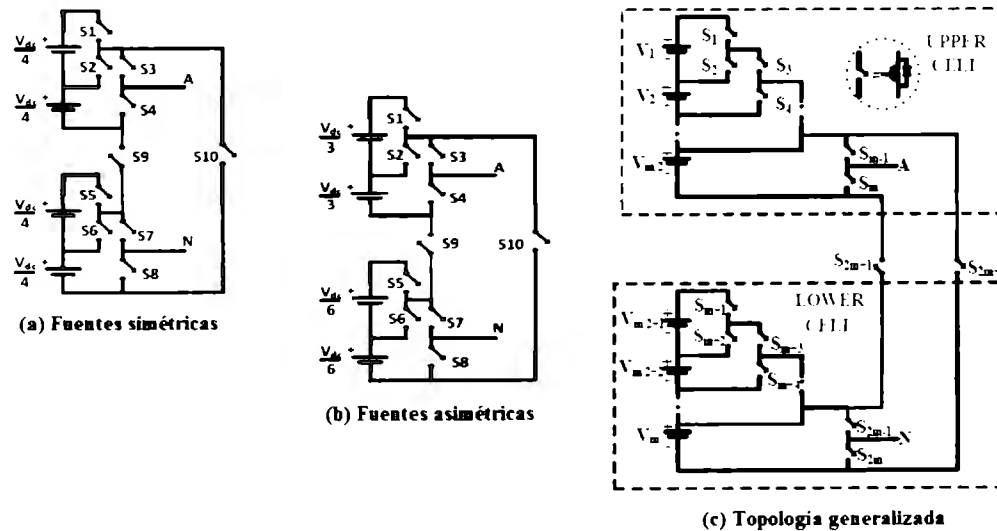


Fig. 2.42. Estructura multinivel propuesta en [54].

## 2.2.4 Inversores multinivel con transformadores

En esta sección se presentan algunas topologías que utilizan transformadores para la generación de niveles. Una de las desventajas de esta topología es que los dispositivos semiconductores deben de operar a altas frecuencias, teniendo algunas pérdidas por conmutación. El funcionamiento de estas topologías es muy parecido al del inversor multinivel en cascada.

### 2.2.4.1 Inversor en cascada con transformadores de aislamiento [55]

En esta topología se tiene una fuente de voltaje que suministra potencia a un determinado número de inversores en puente completo. a la salida de cada uno de estos inversores en puente completo hay un transformador. los devanados secundarios de los transformadores se conectan en serie para obtener el voltaje de salida.

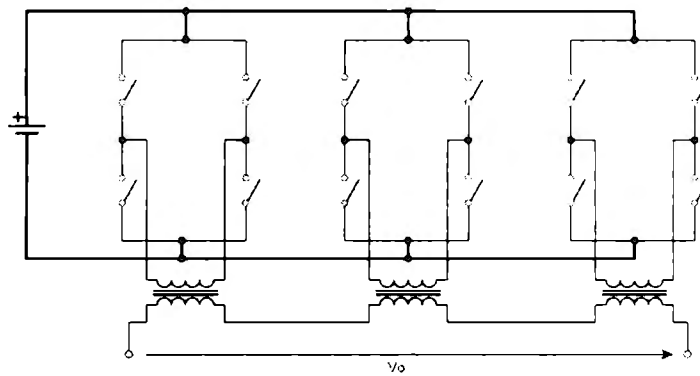


Fig. 2.43. Inversor en cascada con transformadores de aislamiento [55]

### 2.2.4.2 Inversor en cascada con transformador de múltiples devanados [56]

En este inversor multinivel hay un inversor de puente completo que convierte tensión directa a tensión alterna, y tiene un transformador con varios devanados a la salida. las salidas del transformador se conectan a puentes rectificadores para convertir nuevamente a corriente directa. Estas señales rectificadas se convierten en las fuentes de suministro de un inversor multinivel en cascada.



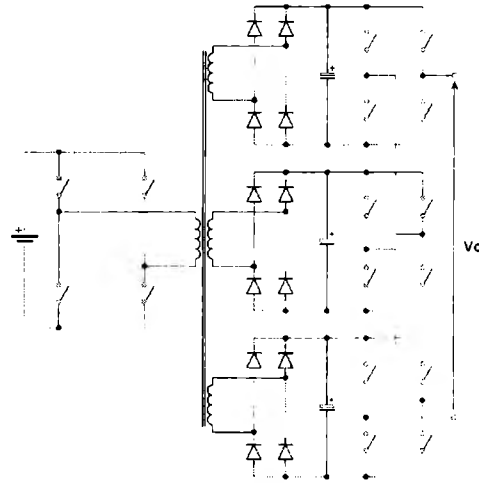


Fig. 2.44. Inversor en cascada con transformador de múltiples devanados [56]

### 2.2.4.3 Topología con transformador de múltiples devanados [56]

Está es otra propuesta de MLI [56], el funcionamiento es muy parecido al inversor en cascada con transformador de múltiples devanados, sin embargo en este se optimizan el número de interruptores necesarios para la operación del inversor multinivel.

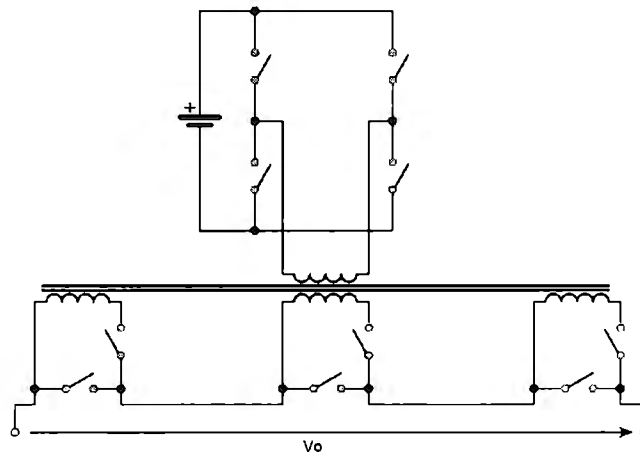


Fig. 2.45. Topología con transformador de múltiples devanados [56].

**2.2.4.4 Topología propuesta en [57]**

Esta estructura consiste de una sola fuente de CD, algunos transformadores y dispositivos de conmutación. Hay dos dispositivos de conmutación en cada módulo de la estructura propuesta y sólo un módulo con tres interruptores de potencia. En la Tabla A 34 se pueden encontrar los estados de conmutación para generar 9 niveles con esta topología.

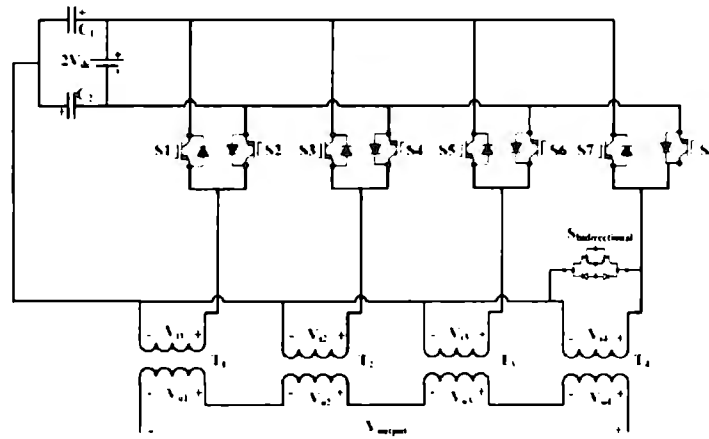


Fig. 2.46. Configuración de 9 niveles para el inversor propuesto en [57]

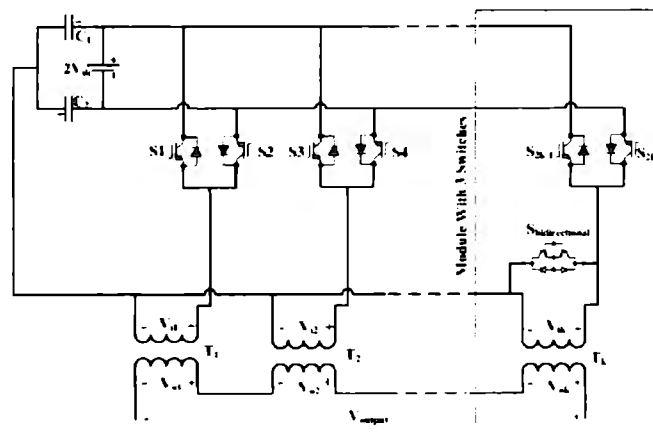


Fig. 2.47. Topología generalizada para el inversor propuesto en [57]

## 2.2.5 Topologías que utilizan convertidores CD/CD

Existen topologías de inversores multinivel que utilizan convertidores CD/CD para producir fuentes de alimentación separadas que necesitan algunas topologías de inversores multinivel. Estas topologías también son susceptibles a pérdidas por conmutación, aun así tienen un alto rendimiento. Otro inconveniente de este tipo de topologías es que el costo se puede elevar considerablemente debido a los convertidores CD/CD.

### 2.2.5.1 MLI con convertidores CD/CD bidireccionales. [58]

En esta configuración hay una fuente de voltaje que suministra potencia a distintos convertidores CD/CD. Estos convertidores tienen tierras de entrada y salida separadas. A la salida de cada convertidor hay un inversor de puente completo; finalmente los inversores de puente completo se conectan en serie funcionando como un inversor multinivel en cascada.

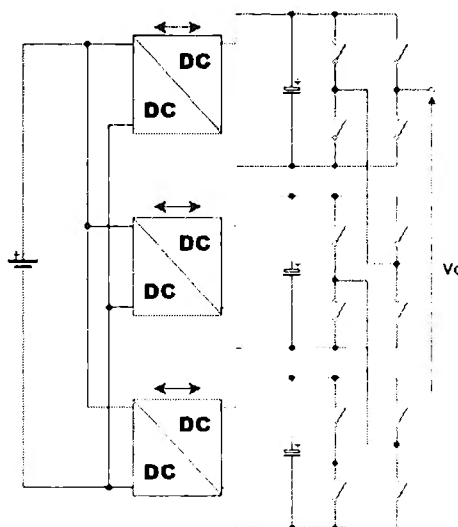


Fig. 2.48. MLI con convertidores CD/CD bidireccionales.

### 2.2.5.2 MLI con convertidores CD/CD propuesto en [59]

En esta topología se pueden generar hasta 63 niveles a partir de pocos componentes, sólo se necesitan 10 interruptores para la generación de nivel, 4 interruptores para la generación de polaridad y 5 convertidores CD/CD reductores “buck”. La topología utiliza combinaciones de lógica binaria para generar los niveles. La Tabla A 35 muestra las combinaciones para obtener todos los niveles de voltaje con esta topología.

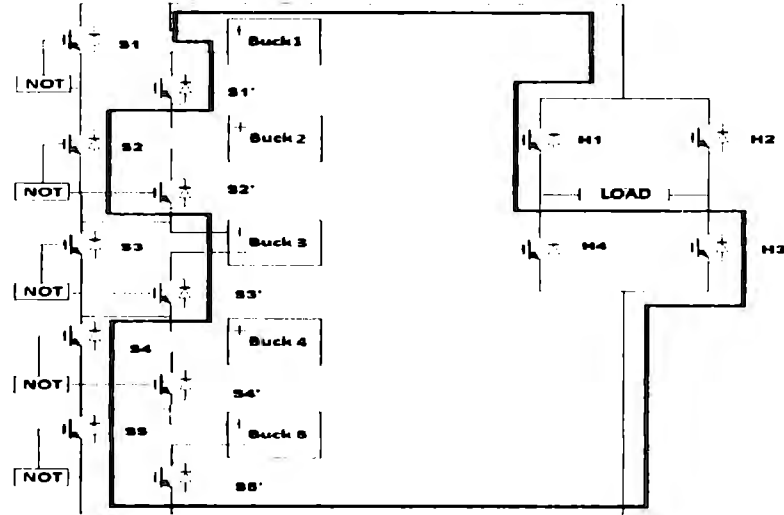


Fig. 2.49. MLI con convertidores CD/CD propuesto en [59]

### 2.2.5.3 Inversor multinivel en cascada con capacitores conmutados. [60]

En esta topología se propone el uso de unidades o celdas de convertidores CD/CD con capacitores conmutados usadas como sub-inversores multinivel. Esta topología permite usar las características de los convertidores CD/CD para incrementar el número de niveles de voltaje de salida sin usar ninguna célula de puente H. En la Fig. 2.50 se muestran la unidad básica y sus modos de carga y descarga; mientras que la estructura simplificada del inversor se muestra en la Fig. 2.51a, la estructura en cascada se muestra en la Fig. 2.51b y finalmente en la Fig. 2.51c se muestra la estructura para formar 17 niveles de salida. Los estados de conmutación para la Fig. 2.51c se muestran en la Tabla A 36.

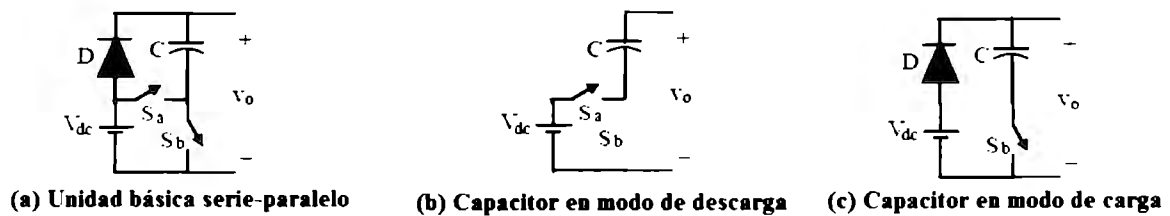


Fig. 2.50. Unidad básica y sus modos de carga y descarga de capacitores.

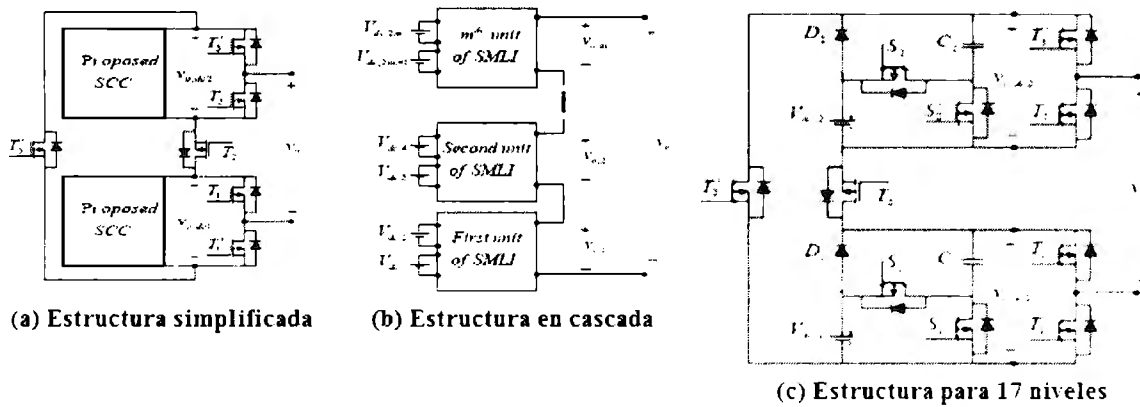


Fig. 2.51. Inversor multinivel con capacitores conmutados. (a) estructura simplificada. (b) estructura en cascada, (c) estructura para 17 niveles.

En la Tabla 2.3 se puede observar un resumen de las ventajas y desventajas de las distintas topologías de inversor multinivel. En la Tabla 2.3 no se incluyen las topologías que operan en base a transformadores o convertidores CD/CD debido a que no hay características que se puedan comparar fácilmente. El símbolo de "\*" significa que depende si es en operación de configuración simétrica o asimétrica, la letra "O" se refiere a opcional, el símbolo "-" significa no disponible y finalmente la letra "D" significa que depende si se usan capacitores o fuentes de voltaje para generar los distintos niveles.



### **3 Capítulo 3. Descripción de las topologías propuestas.**

En este capítulo se describen las distintas propuestas de topologías de inversor multinivel. Todas las topologías planteadas son para inversores multinivel monofásicos. Estas topologías requieren de fuentes separadas para funcionar lo que las hace ideales para operar con fuentes de energía renovables.

La primera propuesta de topología permite seleccionar el número de niveles, la tolerancia fallas y realizar una descarga controlada de las baterías en base al voltaje suministrado por las distintas fuentes de generación. Esta topología está formada por una etapa de generación de nivel y una etapa de generación de polaridad.

La segunda propuesta es una topología generalizada con un menor número de componentes que las topologías tradicionales y que permite obtener una mayor cantidad de niveles cuando se compara con las topologías tradicionales y mejorando con ello la calidad de la señal de salida. Esta topología está formada por una etapa de generación de nivel y una etapa de generación de polaridad.

Para lograr una mejor calidad en la forma de onda de salida se realizó una tercera propuesta de topología, esta estructura generalizada permite mejorar la cantidad de niveles en relación con el número de componentes, a diferencia de la primera y la segunda propuesta no requiere de un puente H para la generación de polaridad.

Finalmente se hace una cuarta propuesta de topología, esta consiste en una variante de la tercera propuesta a la cual se agrega un puente H, esto permite aumentar considerablemente el número de niveles de la tercer propuesta y mejorar aún más la relación entre el número de niveles y el número de componentes, y por lo tanto la calidad de la señal de salida.

### 3.1 Propuesta de inversor multinivel I

#### 3.1.1 Estructura del inversor

El inversor está formado por un conjunto de 12 células, cada célula a su vez está formada por un dispositivo semiconductor y una fuente de voltaje o suministro de energía en serie con él dispositivo semiconductor (Fig. 3.1).

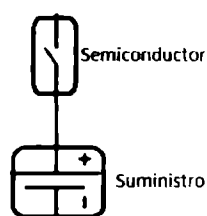


Fig. 3.1. Célula del inversor

El suministro de energía como se mencionó anteriormente puede proceder de fuentes de energía renovables o de energía almacenada en baterías.

La estructura completa del inversor se muestra en la Fig. 3.2, en donde es posible observar que las conexiones del inversor se asemejan a una estructura cúbica, donde cada célula se ubica en un borde del cubo. La referencia de voltaje se ubica en el nodo en el que se unen las células A1, A2 y A3; mientras que la salida de voltaje se ubica en el nodo en el que se unen las células C1, C2 y C3.

De la Fig. 3.2 es posible notar que para obtener los distintos niveles de voltaje de salida del inversor se pueden seguir 18 rutas diferentes, estas rutas se enlistan en la Tabla 3.1.

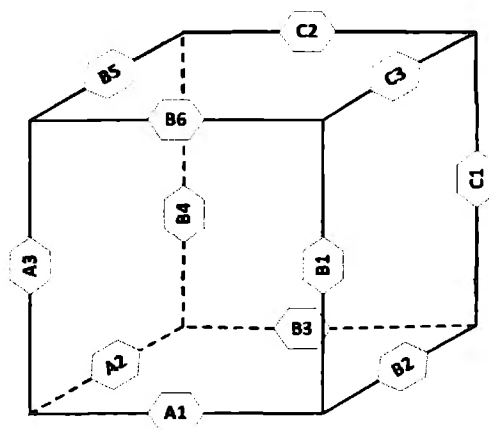


Fig. 3.2. Estructura del inversor propuesto.



Tabla 3.1. Trayectorias para la generación de nivel de salida de voltaje.

Trayectoria	Voltaje de salida
1	$A1+B1+C3$
2	$A1+B2+C1$
3	$A2+B3+C1$
4	$A2+B4+C2$
5	$A3+B5+C2$
6	$A3+B6+C3$
7	$A1+B2-B3+B4+C2$
8	$A1+B2-B3+B4-B5+B6+C3$
9	$A1+B1-B6+B5+C2$
10	$A1+B1-B6+B5-B4+B3+C1$
11	$A2+B3-B2+B1+C3$
12	$A2+B3-B2+B1-B6+B5+C2$
13	$A2+B4-B5+B6+C3$
14	$A2+B4-B5+B6-B1+B2+C1$
15	$A3+B5-B4+B3+C1$
16	$A3+B5-B4+B3-B2+B1+C3$
17	$A3+B6-B1+B2+C1$
18	$A3+B6-B1+B2-B3+B4+C2$

De acuerdo a la Tabla 3.1. para obtener un voltaje de salida se tienen 18 rutas o estados posibles. cada ruta atraviesa un número diferente de células. lo cual provoca que la caída de tensión debido a la no idealidad de los semiconductores sea diferente para cada trayectoria [17].

Debido a la estructura del inversor mostrada en la Fig. 3.2 y a las trayectorias mostradas en la Tabla 3.1 se puede notar que las células marcadas con la letra B requieren tener semiconductores bidireccionales lo cual incrementa el costo del inversor debido a que se requiere una mayor cantidad de semiconductores [3].

### 3.1.2 Manejo del número de niveles, tolerancia a fallas y balance de carga de baterías

Cómo ya se mencionó anteriormente el número de niveles, la tolerancia a fallas y el balance de carga se determina en base al voltaje suministrado por las fuentes de generación. La elección entre un mayor número de niveles o una mayor tolerancia a fallas dependerá de la aplicación final del inversor. Para explicar el funcionamiento del inversor se manejarán distintas configuraciones:

**3.1.2.1 Configuración de 7 niveles de salida con alta tolerancia a fallas**

Para ejemplificar el funcionamiento con esta configuración se necesita que los voltajes en las células sean los valores mostrados en la Tabla 3.2, cabe señalar que estos no son los únicos valores que pueden tomar las fuentes para lograr el funcionamiento de esta configuración.

Tabla 3.2. Valores para ejemplificar la configuración de 7 niveles de salida con alta tolerancia a fallas.

Célula	A1	A2	A3	B1	B2	B3	B4	B5	B6	C1	C2	C3
Voltaje de la fuente	Vdc	Vdc	Vdc	Vdc	Vdc	Vdc	2Vdc	2Vdc	Vdc	Vdc	3Vdc	3Vdc

Con la combinación de los valores mostrados en la Tabla 3.2 y a las trayectorias de la Tabla 3.1, se pueden obtener 3 niveles de salida para el inversor (6 trayectorias diferentes para cada nivel):

- Primer nivel  $V_o = 3V_{DC}$
- Segundo nivel  $V_o = 5V_{DC}$
- Tercer nivel  $V_o = 6V_{DC}$

Es notorio que los valores de salida son positivos requiriendo que se conecte un puente H al inversor (Fig. 3.3) para lograr 6 niveles y se requeriría cerrar los semiconductores de la parte superior o inferior del puente H para lograr el nivel de voltaje de cero volts, dando un total de 7 niveles.

También es notorio que los escalones no son de la misma amplitud, sin embargo de acuerdo a [61] la distorsión armónica es menor.

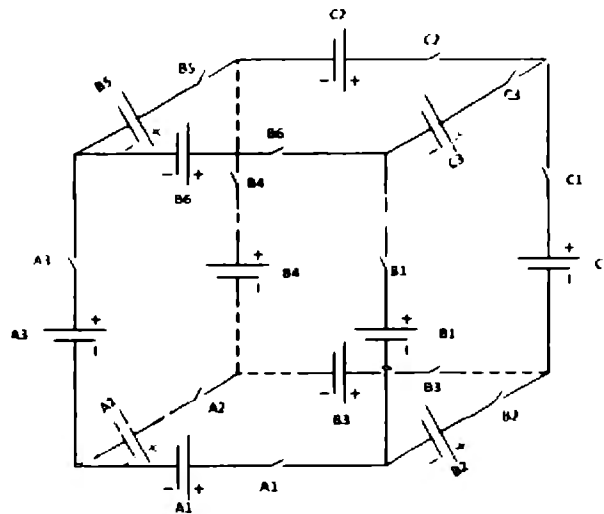


Fig. 3.3. Implementación del puente H en el inversor propuesto.

En la Tabla 3.3 se muestran las 6 trayectorias posibles para cada nivel y que células están activas (1's) o inactivas (0's) en cada nivel. En la Tabla 3.3 se puede observar que hay redundancia para la salida de voltaje de cada nivel esto se debe a las 6 trayectorias posibles, esta redundancia hace posible tener una alta tolerancia a fallas y permite controlar o balancear la carga de las baterías. Los recuadros dobles de la Tabla 3.3 indican que si falla la célula C1 o la célula C3 habría una falla parcial en el inversor, ya que se perdería el nivel de  $V_o = 3V_{DC}$  y el nivel de  $V_o = 5V_{DC}$ , mientras que una falla en la célula C2 (recuadro triple) provocaría la falla total del inversor debido a que la falla se da en el voltaje más alto.

Tabla 3.3. Representación con lógica combinatorial para las trayectorias y niveles de voltaje de salida para la configuración de 7 niveles con alta tolerancia a fallas.

Nivel	$V_o = 3V_{DC}$						$V_o = 5V_{DC}$						$V_o = 6V_{DC}$					
	Trayectorias para cada nivel																	
Célula	1	2	3	4	5	6	1	2	3	4	5	6	1	2	3	4	5	6
A1	1	0	1	0	0	0	1	0	1	0	0	0	0	0	1	1	0	0
A2	0	1	0	1	0	0	0	0	0	1	1	0	1	0	0	0	1	0
A3	0	0	0	0	1	1	0	1	0	0	0	1	0	1	0	0	0	1
B1	0	0	1	1	0	1	1	0	0	1	0	1	0	0	0	1	1	1
B2	1	0	0	1	0	1	0	0	1	1	0	1	0	0	1	0	1	1
B3	0	1	1	0	1	0	0	0	1	1	0	1	0	0	1	0	1	1
B4	0	0	1	1	1	0	0	0	1	0	1	1	1	0	1	0	0	1
B5	0	0	1	1	1	0	0	0	1	0	1	1	0	1	0	1	1	0
B6	0	0	1	1	0	1	0	1	1	0	1	0	0	0	0	1	1	1
C1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
C2	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
C3	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	0	0	0

### 3.1.2.2 Configuración de 13 niveles de salida con media tolerancia a fallas

Para ejemplificar el funcionamiento con esta configuración se necesita que los voltajes en las células sean los valores mostrados en la Tabla 3.4, cabe señalar que estos no son los únicos valores que pueden tomar las fuentes para lograr el funcionamiento de esta configuración.

Tabla 3.4. Valores para la configuración de 13 niveles de salida con media tolerancia a fallas

Célula	A1	A2	A3	B1	B2	B3	B4	B5	B6	C1	C2	C3
Voltaje de la fuente	Vdc	Vdc	Vdc	Vdc	2Vdc	Vdc	2Vdc	Vdc	2Vdc	Vdc	Vdc	Vdc

Con la combinación de los valores mostrados en la Tabla 3.4 y a las trayectorias de la Tabla 3.1, se pueden obtener 6 niveles de salida para el inversor (3 trayectorias diferentes para cada nivel):

- Primer nivel  $V_o = V_{DC}$
- Segundo nivel  $V_o = 2V_{DC}$
- Tercer nivel  $V_o = 3V_{DC}$
- Cuarto nivel  $V_o = 4V_{DC}$
- Quinto nivel  $V_o = 5V_{DC}$
- Sexto nivel  $V_o = 6V_{DC}$

Al igual que en la primer configuración los valores de salida son positivos requiriendo que se conecte un puente H al inversor y se requeriría cerrar los semiconductores de la parte superior o inferior del puente H para lograr el nivel de voltaje de cero volts, dando un total de 13 niveles.

En la Tabla 3.5 se muestran las 3 trayectorias posibles para cada nivel y que células están activas (1's) o inactivas (0's) en cada nivel. Al igual que en la primer configuración se puede observar que hay redundancia, sin embargo está vez la redundancia no es tan grande y sólo permite tener una mediana tolerancia a fallas, aun así se permite controlar o balancear la carga de las baterías; y también se logra disminuir ligeramente la distorsión armónica ya que se tiene un mayor número de niveles. Los recuadros dobles de la Tabla 3.5 indican que si falla la célula B1, B3 o B5 habría una falla parcial en el inversor, ya que se perdería el nivel más bajo de voltaje de salida  $V_o = V_{DC}$ , mientras que una falla en las células B2, B4 o B6 (recuadro triple) provocaría la falla total del inversor debido a que esta se da en el nivel de voltaje más alto.

Tabla 3.5. Representación con lógica combinatorial para las trayectorias y niveles de voltaje de salida para la configuración de 13 niveles con mediana tolerancia a fallas.

Nivel	$V_o = V_{DC}$	$V_o = 2V_{DC}$	$V_o = 3V_{DC}$	$V_o = 4V_{DC}$	$V_o = 5V_{DC}$	$V_o = 6V_{DC}$
	Trayectorias para cada nivel					
Célula	1 2 3	1 2 3	1 2 3	1 2 3	1 2 3	1 2 3
a1	1 0 0	1 0 0	1 0 0	1 0 0	1 0 0	1 0 0
a2	0 1 0	0 1 0	0 1 0	0 1 0	0 1 0	0 1 0
a3	0 0 1	0 0 1	0 0 1	0 0 1	0 0 1	0 0 1
b1	1 1 1	1 1 0	1 0 0	0 0 0	0 0 1	0 1 1
b2	0 1 1	0 1 0	0 0 0	1 0 0	1 0 1	1 1 1
b3	1 1 1	0 1 1	0 1 0	0 0 0	1 0 0	1 0 1
b4	1 0 1	0 0 1	0 0 0	0 1 0	1 1 0	1 1 1
b5	1 1 1	1 0 1	0 0 1	0 0 0	0 1 0	1 1 0
b6	1 1 0	1 0 0	0 0 0	0 0 1	0 1 1	1 1 1
c1	1 0 0	0 0 1	0 1 0	1 0 0	0 0 1	0 1 0
c2	0 1 0	1 0 0	0 0 1	0 1 0	1 0 0	0 0 1
c3	0 0 1	0 1 0	1 0 0	0 0 1	0 1 0	1 0 0

### 3.1.2.3 Configuración de 19 niveles de salida con baja tolerancia a fallas

Para ejemplificar el funcionamiento con esta configuración se necesita que los voltajes en las células sean los valores mostrados en la Tabla 3.6, cabe señalar que estos no son los únicos valores que pueden tomar las fuentes para lograr el funcionamiento de esta configuración.

Tabla 3.6. Valores para la configuración de 19 niveles de salida con baja tolerancia a fallas.

Célula	A1	A2	A3	B1	B2	B3	B4	B5	B6	C1	C2	C3
Voltaje de la fuente	Vdc	Vdc	Vdc	Vdc	5Vdc	4Vdc	3Vdc	5Vdc	2Vdc	3Vdc	Vdc	Vdc

Con la combinación de los valores mostrados en la Tabla 3.6 y a las trayectorias de la Tabla 3.1, se pueden obtener 9 niveles de salida para el inversor (2 trayectorias diferentes para cada nivel):

- Primer nivel  $V_o = V_{DC}$
- Segundo nivel  $V_o = 2V_{DC}$
- Tercer nivel  $V_o = 3V_{DC}$
- Cuarto nivel  $V_o = 4V_{DC}$
- Quinto nivel  $V_o = 5V_{DC}$
- Sexto nivel  $V_o = 6V_{DC}$
- Séptimo nivel  $V_o = 7V_{DC}$
- Octavo nivel  $V_o = 8V_{DC}$
- Noveno nivel  $V_o = 9V_{DC}$

Al igual que en la primer configuración los valores de salida son positivos requiriendo que se conecte un puente H al inversor, dando un total de 19 niveles.

En la Tabla 3.7 se muestran las 2 trayectorias posibles para cada nivel y que células están activas o inactivas en cada nivel. Se puede observar que la redundancia para esta configuración es menor, sin embargo se tiene un mayor número de niveles lo que permitiría tener una menor distorsión armónica. está configuración también permite que siga habiendo una ligera tolerancia a fallas y por lo tanto algo de balance de carga. Los recuadros amarillos de la Tabla 3.7 indican las fallas parciales en el inversor, mientras que los recuadros rojos indican la falla total del inversor debido a que la falla se da en el nivel de voltaje más alto.

Tabla 3.7. Representación con lógica combinacional para las trayectorias y niveles de voltaje de salida para la configuración de 19 niveles con baja tolerancia a fallas.

Nivel	$V_{DC}$	$2V_{DC}$	$3V_{DC}$	$4V_{DC}$	$5V_{DC}$	$6V_{DC}$	$7V_{DC}$	$8V_{DC}$	$9V_{DC}$					
	Trayectorias para cada nivel													
Célula	1	2	1	2	1	2	1	2	1	2	1	2	1	2
a1	0	0	1	1	0	0	0	0	1	1	0	0	0	0
a2	1	1	0	0	0	0	1	1	0	0	0	0	1	1
a3	0	0	0	0	1	1	0	0	0	0	1	1	0	0
b1	1	0	1	0	0	1	0	1	0	1	0	1	0	1
b2	1	0	0	1	0	1	0	1	1	0	0	1	0	1
b3	1	0	0	1	0	1	0	1	1	0	0	1	1	0
b4	0	1	0	1	0	1	1	0	1	0	0	1	0	1
b5	0	1	0	1	0	1	0	1	1	0	0	1	0	1
b6	0	1	0	1	1	0	0	1	0	1	0	1	0	1
c1	0	0	0	0	0	0	0	0	0	0	1	1	1	1
c2	0	0	0	0	0	0	1	1	1	1	1	1	0	0
c3	1	1	1	1	1	1	0	0	0	0	0	0	0	0

### 3.1.2.4 Configuración de 25 niveles de salida sin tolerancia a fallas

Para ejemplificar el funcionamiento con esta configuración se necesita que los voltajes en las células sean los valores mostrados en la Tabla 3.8, cabe señalar que estos no son los únicos valores que pueden tomar las fuentes para lograr el funcionamiento de esta configuración.

Tabla 3.8. Valores para la configuración de 25 niveles de salida sin tolerancia a fallas

Célula	A1	A2	A3	B1	B2	B3	B4	B5	B6	C1	C2	C3
Voltaje de la fuente	Vdc	2Vdc	3Vdc	Vdc	2Vdc	3Vdc	4Vdc	5Vdc	6Vdc	3Vdc	2Vdc	Vdc

Con la combinación de los valores mostrados en la Tabla 3.8 y a las trayectorias de la Tabla 3.1, se pueden obtener hasta 12 niveles de salida para el inversor sin embargo en esta ocasión sólo algunos niveles presentan rutas repetidas:

- Primer nivel  $V_o = 2V_{DC}$
- Segundo nivel  $V_o = 3V_{DC}$
- Tercer nivel  $V_o = 4V_{DC}$
- Cuarto nivel  $V_o = 5V_{DC}$

- Quinto nivel  $V_o = 6V_{DC}$
- Sexto nivel  $V_o = 7V_{DC}$
- Séptimo nivel  $V_o = 8V_{DC}$
- Octavo nivel  $V_o = 9V_{DC}$
- Noveno nivel  $V_o = 10V_{DC}$
- Décimo nivel  $V_o = 11V_{DC}$
- Noveno nivel  $V_o = 12V_{DC}$
- Doceavo nivel  $V_o = 13V_{DC}$

Al igual que en la primer configuración los valores de salida son positivos requiriendo que se conecte un puente H al inversor, dando un total de 25 niveles. En el listado anterior se puede apreciar que el primer nivel comienza con un voltaje de salida de  $V_o = 2V_{DC}$  y termina con  $V_o = 13V_{DC}$ , sin embargo de acuerdo a [61] la distorsión armónica es menor. Es importante señalar que existen combinaciones en las fuentes de voltaje que permiten lograr que el primer nivel empiece en  $V_o = V_{DC}$  y el último nivel en  $V_o = 12V_{DC}$ , o bien hay combinaciones con las que se puede lograr que el voltaje del doceavo nivel sea más alto por ejemplo:  $V_o = 14V_{DC}$ , el inconveniente es que no todos los escalones serian de la misma amplitud.

En la Tabla 3.9 se muestra que células están activas o inactivas en cada nivel para los voltajes especificados en la Tabla 3.8. Se puede observar que sólo hay redundancia para algunos niveles en esta configuración limitando considerablemente la tolerancia a fallas, sin embargo se tiene un mayor número de niveles lo que permitiría tener todavía una menor distorsión armónica.

Tabla 3.9. Representación con lógica combinatorial para las trayectorias y niveles de voltaje de salida para la configuración de 25 niveles sin tolerancia a fallas.

Célula	Nivel												
	$2V_{DC}$	$3V_{DC}$	$4V_{DC}$	$5V_{DC}$	$6V_{DC}$	$7V_{DC}$	$8V_{DC}$	$9V_{DC}$	$10V_{DC}$	$11V_{DC}$	$12V_{DC}$	$13V_{DC}$	
a1	1	1	1 0	1	1 0	0 1	0 0	0 0	0	0 0	0	0	
a2	0	0	0 1	0	0 1	1 0	1 0	0 1	0	0 1	0	0	
a3	0	0	0 0	0	0 0	0 0	0 1	1 0	1	1 0	1	1	
b1	1	1	1 1	0	0 1	0 0	0 1	0 0	0	0 1	1	1	
b2	0	0	0 1	1	1 1	0 1	0 1	0 0	0	0 1	1	1	
b3	0	1	0 1	1	0 1	0 1	1 1	0 0	1	0 0	1	0	
b4	0	1	0 0	1	0 0	1 1	0 1	0 1	1	0 1	1	0	
b5	1	1	0 1	0	0 0	0 1	0 1	1 1	1	0 1	0	0	
b6	1	1	0 1	0	0 0	0 1	0 0	0 1	0	1 1	1	1	
c1	0	1	0 0	0	1 0	0 0	1 0	0 0	1	0 1	0	1	
c2	1	0	0 1	1	0 0	1 0	0 0	1 0	0	0 0	1	0	
c3	0	0	1 0	0	0 1	0 1	0 1	0 1	0	1 0	0	0	

### 3.1.2.5 Expansión de la estructura del inversor

Al igual que los inversores tradicionales de 3 niveles que se conectan en serie para formar la topología del inversor multinivel en cascada, la topología propuesta también se puede conectar en serie para incrementar aún más el número de niveles (Fig. 3.4); aunque se dificultaría en cierta forma el control del inversor. Con esta relativa facilidad de expansión de la estructura del inversor se podría tener una gran cantidad de niveles con una buena tolerancia a fallas; por ejemplo se podría tener dos inversores conectados en serie en configuración de 13 niveles de salida con media tolerancia a fallas para obtener 25 niveles de salida (25 niveles en lugar de 26 niveles ya que el nivel de 0 no contribuye para aumentar un nivel) con una buena tolerancia a fallas.

En la Fig. 3.4 es posible observar cómo podría conectarse el puente H en el inversor en cascada, es notorio que sólo se necesita de un puente H.

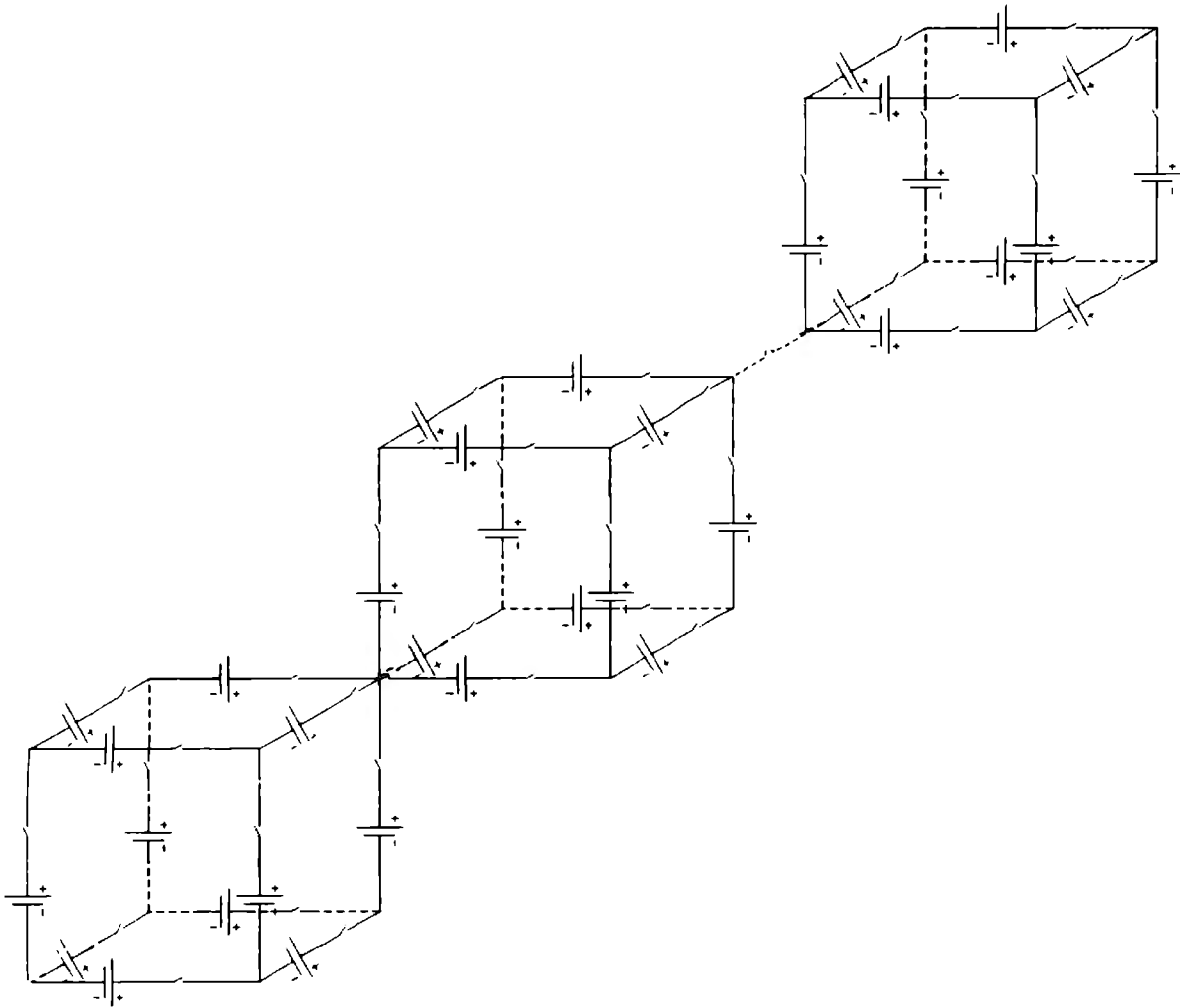


Fig. 3.4. Expansión del inversor multinivel.



### 3.1.3 Control del inversor

#### 3.1.3.1 Tolerancia a fallas y descarga de las baterías

Se creó un algoritmo para manejar la tolerancia a fallas y el balance de carga (Fig. 3.5). el algoritmo empieza por revisar si hay células con falla, si hay fallas se marca la célula con falla. Posteriormente se revisa el porcentaje de carga de cada batería de cada célula: a continuación se promedian los porcentajes de carga para cada trayectoria de cada nivel. si el promedio de porcentaje de carga para una trayectoria es el máximo se revisa si tiene alguna célula con falla. si no hay falla se utiliza esta trayectoria para la generación del nivel de voltaje, si hay falla se escoge la siguiente trayectoria con mayor porcentaje de carga y así sucesivamente.

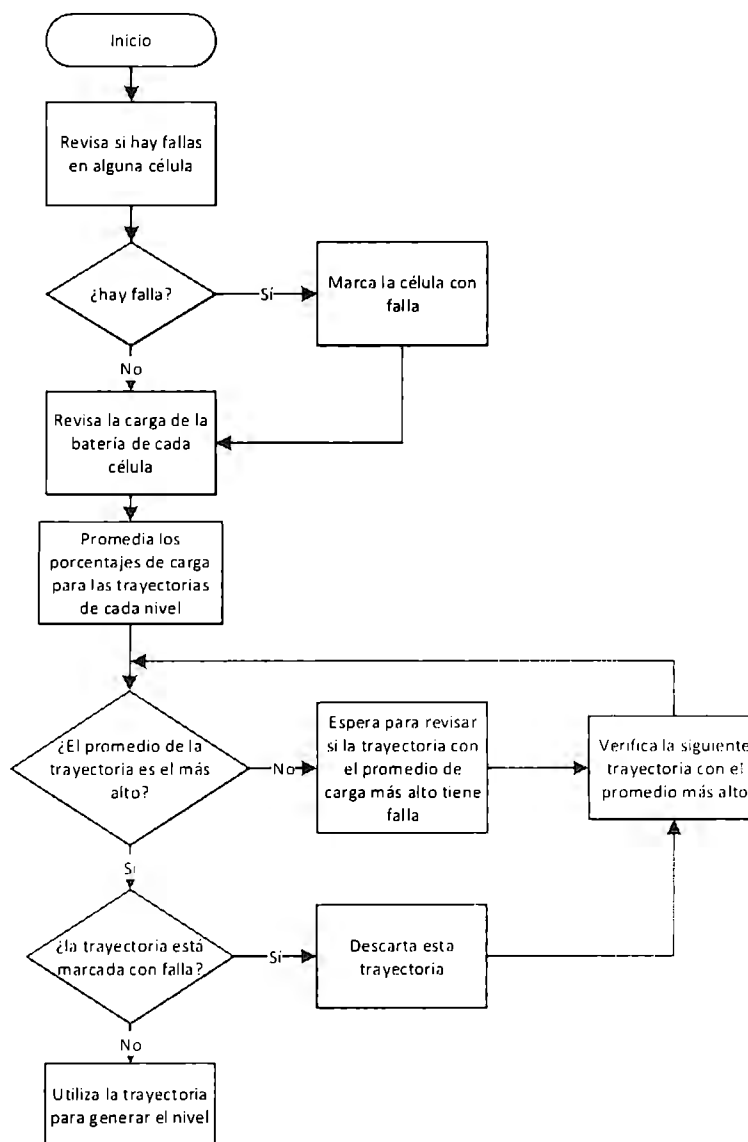


Fig. 3.5. Algoritmo para el manejo de fallas y descarga controlada de las baterías.

### 3.1.3.2 Simulación del inversor mediante Simulink

Se implementó el inversor en sus distintas configuraciones, así como el algoritmo para descarga controlada de las baterías y manejo de fallas en Simulink.

Para elegir cuando se ocupa cada nivel en el inversor, se utilizó una técnica de control con **conmutación a frecuencia fundamental** se seleccionó esta técnica de control debido a que simplemente se tiene que activar el nivel en el momento oportuno, es decir, cuando la amplitud de una señal de referencia rebasa cada nivel establecido, también se seleccionó esta técnica debido a que la gran cantidad de niveles del inversor permite minimizar la distorsión armónica, de tal forma que no se requiera de un control PWM que aparte de ser más complicado provoca pérdidas debido a la **conmutación** de los dispositivos semiconductores.

Las fallas que podrían ocurrir en cada célula consisten en un posible corto circuito o bien en una desconexión, estas fallas se pueden simular fácilmente en Simulink mediante interruptores, mientras que su detección se hace por medio del monitoreo del voltaje y la corriente de salida de cada batería. La falla se guarda en un vector de fallas, en donde cada posición en el vector representa una de las células, la célula con falla toma un valor de un 1 lógico; por ejemplo la Fig. 3.6 muestra una falla en la célula B4. Hay un vector de fallas para cortos circuitos y un vector de fallas para desconexiones, estos dos vectores se fusionan en un solo vector aplicando el operador lógico OR.

A1	A2	A3	B1	B2	B3	B4	B5	B6	C1	C2	C3
[ 0	0	0	0	0	0	1	0	0	0	0	0]

Fig. 3.6. Vector de fallas.

Al igual que las fallas, los porcentajes de carga también se guardan en un vector, las trayectorias de la Tabla 3.3, Tabla 3.5, Tabla 3.7, Tabla 3.9 se guardan en una matriz. Las columnas de la matriz representan la célula y las filas representan las trayectorias. El valor de los elementos de cada fila de la matriz de trayectorias determina si una célula se ocupa en la trayectoria (un 0 indica que la célula correspondiente no se ocupa, mientras un 1 indica que la célula se ocupa). Como ejemplo se puede observar la Fig. 3.7 correspondiente a la configuración de 13 niveles con mediana tolerancia a fallas.

Para detectar la falla en una trayectoria se utiliza el operador lógico NAND entre el vector de fallas y cada fila de la matriz de trayectorias. Si la salida del operador NAND en todos los elementos del vector resultante es 1 es posible utilizar dicha trayectoria para cada nivel (Tabla 3.10), es decir, este resultado da la autorización para activar determinado nivel.

Si todas las filas (trayectorias) para cada nivel proporcionan un vector resultante con el valor de sus elementos igual a 1, entonces se revisa el porcentaje de carga promedio para cada trayectoria.

A1	A2	A3	B1	B2	B3	B4	B5	B6	C1	C2	C3	
1	0	0	1	0	1	1	1	1	1	0	0	} Filas correspondientes a las trayectorias del primer nivel
0	1	0	1	1	1	0	1	1	0	1	0	
0	0	1	1	1	1	1	1	0	0	0	1	
1	0	0	1	0	0	0	1	1	0	1	0	} Filas correspondientes a las trayectorias del segundo nivel
0	1	0	1	1	1	0	0	0	0	0	1	
0	0	1	0	0	1	1	1	0	1	0	0	
1	0	0	1	0	0	0	0	0	0	0	1	} Filas correspondientes a las trayectorias del tercer nivel
0	1	0	0	0	1	0	0	0	1	0	0	
0	0	1	0	0	0	0	1	0	0	1	0	
1	0	0	0	1	0	0	0	0	1	0	0	} Filas correspondientes a las trayectorias del cuarto nivel
0	1	0	0	0	0	1	0	0	0	1	0	
0	0	1	0	0	0	0	0	1	0	0	1	
1	0	0	0	1	1	1	0	0	0	1	0	} Filas correspondientes a las trayectorias del quinto nivel
0	1	0	0	0	0	1	1	1	0	0	1	
0	0	1	1	1	0	0	0	1	1	0	0	
1	0	0	0	1	1	1	1	1	0	0	1	} Filas correspondientes a las trayectorias del sexto nivel
0	1	0	1	1	0	1	1	1	1	0	0	
0	0	1	1	1	1	1	0	1	0	1	0	

Fig. 3.7. Matriz correspondiente a la configuración de 13 niveles con mediana tolerancia a fallas.

Tabla 3.10. Tabla de verdad para detectar una falla en una trayectoria.

Hay falla en la célula	Se ocupa la célula en la trayectoria	Salida
0	0	1
0	1	1
1	0	1
1	1	0

Finalmente, se elige la trayectoria con el mayor promedio de carga para generar el nivel de voltaje. Una vez que se comienzan a descargar las baterías se toma en cuenta una ligera histéresis en la descarga para dar un pequeño rango de descarga, en lugar de que se ocupe inmediatamente otra trayectoria cuando el promedio de porcentaje de carga ya no sea el máximo, el manejo en la descarga de baterías deseado se puede observar en la Fig. 3.8.

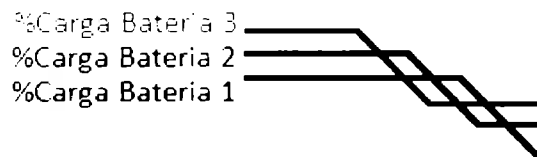


Fig. 3.8. Manejo de descarga de baterías deseado.

Para simular el funcionamiento del inversor se utilizó una carga resistiva en la cual pudiera observarse los distintos niveles de voltaje, la carga resistiva era de gran magnitud de tal forma que gastará una gran cantidad de corriente para que las baterías se descargaran de manera relativamente rápida y así se pudiera evitar hacer una simulación demasiado larga.

Se realizó la simulación de cada una de las configuraciones propuestas, para cada simulación se obtuvo la distorsión armónica total del inversor con falla y sin falla, estos resultados se verán en el siguiente capítulo.

## 3.2 Propuesta de inversor multinivel II

Se identificó que la topología presentada en la sección anterior podía ser mejorada ya que la propuesta ocupaba un número considerable de fuentes de voltaje lo cual incrementaría considerablemente el costo a pesar de que el número de dispositivos semiconductores era reducido. La propuesta II permite tener un gran número de niveles, sin embargo, se sacrifica la tolerancia a fallas del sistema. Esta solución podría utilizarse en sistemas de baja y media potencia.

### 3.2.1 Estructura generalizada de la propuesta de inversor multinivel II

La segunda propuesta de inversor multinivel presentada en este trabajo se basa en estructuras de prismas poligonales, como se puede observar en la Fig. 3.9. El número de lados de estas estructuras poligonales depende del número de fuentes que se utilicen. La vista en dos dimensiones de la segunda topología propuesta se puede observar en la Fig. 3.10, la topología generalizada se puede ver en la Fig. 3.10(e). Esta topología requiere de fuentes aisladas para su operación. Los interruptores en la parte inferior están denotados por la letra *L* mientras que en la parte superior se denotan con la letra *U*. Es importante señalar que para un número de fuentes impar hay dos posibles formas de conexión por ejemplo para tres fuentes se puede usar la Fig. 3.10(b) y la Fig. 3.10(c).

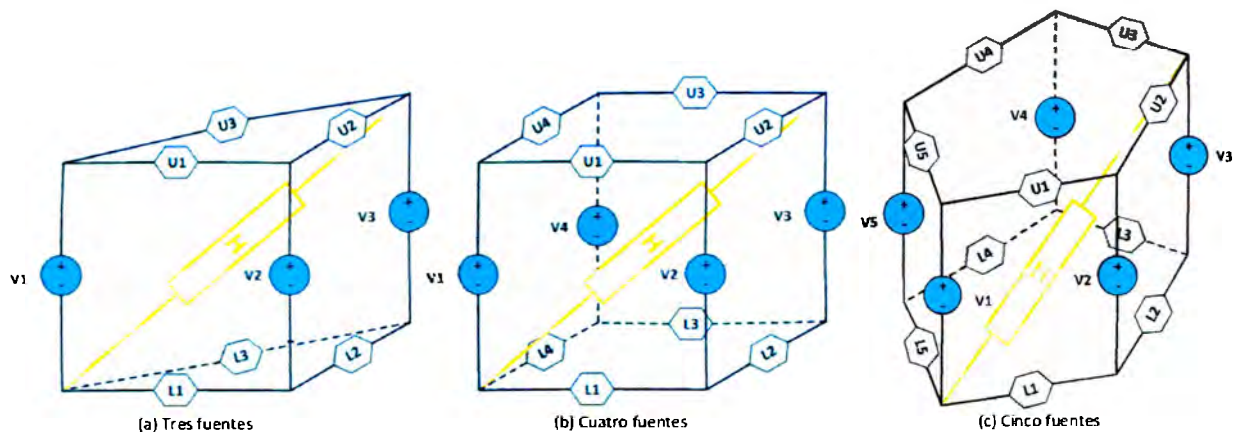


Fig. 3.9. Algunas estructuras poligonales para la segunda propuesta de inversor multinivel.

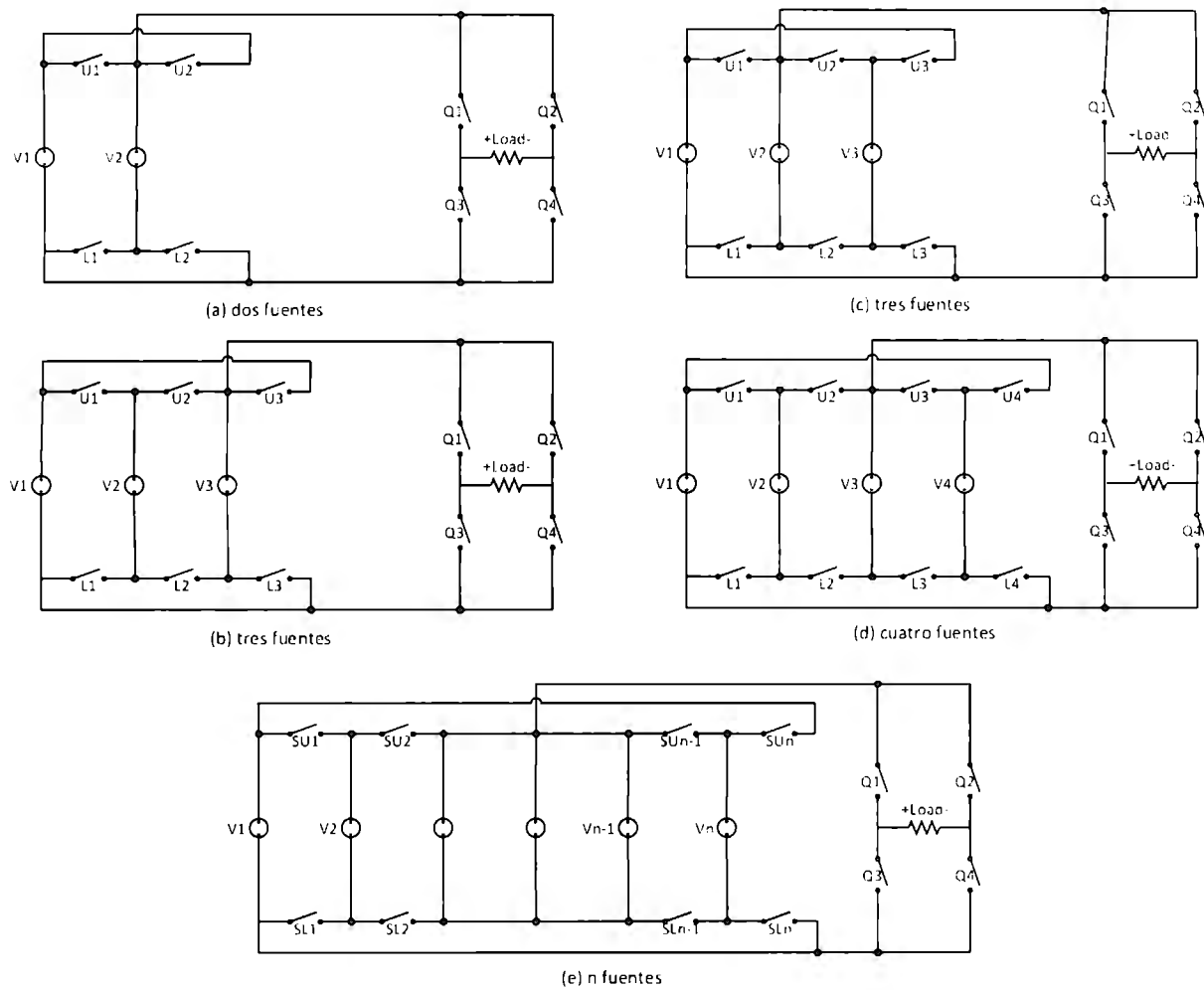


Fig. 3.10. Vista en dos dimensiones de la segunda propuesta de topología multinivel (a) con dos fuentes de voltaje, (b) y (c) con tres fuentes de voltaje, (d) con cuatro fuentes de voltaje, (e) topología generalizada.

De acuerdo a la Fig. 3.9 y a la Fig. 3.10 se puede observar que por cada fuente de voltaje se necesita de 2 interruptores.

$$N = 2 \times n$$

Donde:

$n$ : número de fuentes

$N$ : Número de interruptores

Para  $n$  par el número de combinaciones posibles está dado por:

$$S_n = \sum_{i=1}^{n/2} 2^i$$

Mientras que para  $n$  impar el número de combinaciones posibles está dado por:

$$S_n = \left( \sum_{i=1}^{(n+1)/2} 2^i \right) - 2^{(n-1)/2}$$

En la Tabla 3.11 se muestran las diferentes combinaciones de interruptores para lograr los niveles de voltaje para  $n = 3$ .

Tabla 3.11. Tabla de conmutación para la topología propuesta con  $n = 3$

Interruptores encendidos	Nivel de voltaje
U1	V1
L1	V2
U2, L3	V3
U3, L2	V1+V2-V3

La Tabla 3.12 muestra las diferentes combinaciones de interruptores para lograr los diferentes niveles de voltaje con  $n = 4$ . Hay algunas combinaciones redundantes de interruptores que no están incluidas.

Tabla 3.12. Tabla de conmutación para la topología propuesta con  $n = 4$

Interruptores encendidos	Nivel de voltaje
U1, U2	V1
L1, U2	V2
L1, L2	V3
L4, U3	V4
L3, U4	V1-V4+V3
L2, U1	V1-V2+V3

### 3.2.1.1 Configuración con 4 fuentes de voltaje (13 niveles)

Es posible formar una onda de salida de 13 niveles cuando los voltajes de las fuentes son  $V1=4V_{dc}$ ,  $V2=1V_{dc}$ ,  $V3=3V_{dc}$ ,  $V4=2V_{dc}$ , el máximo voltaje de salida es 600V si el valor de  $V_{dc} = 100V$ .

En la Tabla 3.13 se puede observar la tabla de conmutación para lograr 13 niveles de salida con 4 fuentes de voltaje.

Tabla 3.13. Tabla de conmutación para la topología con 4 fuentes de voltaje.

Interruptores encendidos	V salida	Nivel de voltaje
Q1, Q4, L2, U1	$-(V1-V2+V3)$	-6Vdc
Q1, Q4, L3, U4	$-(V1-V4+V3)$	-5Vdc
Q1, Q4, U1, U2	-V1	-4Vdc
Q1, Q4, L1, L2	-V3	-3Vdc
Q1, Q4, L4, U3	-V4	-2Vdc
Q1, Q4, L1, U2	-V2	-1Vdc
Q1, Q2	0	0
Q3, Q4	0	0
Q2, Q3, L1, U2	V2	1Vdc
Q2, Q3, L4, U3	V4	2Vdc
Q2, Q3, L1, L2	V3	3Vdc
Q2, Q3, U1, U2	V1	4Vdc
Q2, Q3, L3, U4	$V1-V4+V3$	5Vdc
Q2, Q3, L2, U1	$V1-V2+V3$	6Vdc

### 3.2.1.2 Configuración con 5 fuentes

La configuración de fuentes mostrada en la Fig. 3.11 permite formar una onda de salida de 21 niveles cuando los voltajes de las fuentes son  $V1=5Vdc$ ,  $V2=1Vdc$ ,  $V3=3Vdc$ ,  $V4=6Vdc$ ,  $V5=2Vdc$ , el máximo voltaje de salida es 1000V si el valor de  $Vdc = 100V$ .

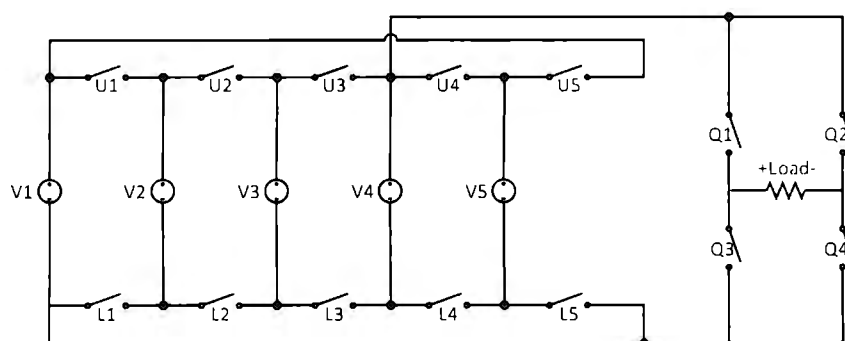


Fig. 3.11. Configuración con 5 fuentes de voltaje.

En la Tabla 3.14 se puede observar la tabla de conmutación para lograr 21 niveles de salida con 5 fuentes de voltaje.

Tabla 3.14. Tabla de conmutación para la topología con 5 fuentes de voltaje.

Interruptores encendidos	V salida	Nivel de voltaje
Q1, Q4, L1, L2, L3	-V4	-10Vdc
Q1, Q4, U1, L2, L3	-(V1-V2+V4)	-9Vdc
Q1, Q4, L1, U2, L3	-(V2-V3+V4)	-8Vdc
Q1, Q4, U1, U2, L3	-(V1-V3+V4)	-7Vdc
Q1, Q4, U5, L4	-(V1-V5+V4)	-6Vdc
Q1, Q4, U4, L5	-V5	-5Vdc
Q1, Q4, L1, L2, U3	-V3	-4Vdc
Q1, Q4, U1, L2, U3	-(V1-V2+V3)	-3Vdc
Q1, Q4, L1, U2, U3	-V2	-2Vdc
Q1, Q4, U1, U2, U3	-V1	-1Vdc
Q1, Q2	0	0
Q3, Q4	0	0
Q2, Q3, U1, U2, U3	V1	1Vdc
Q2, Q3, L1, U2, U3	V2	2Vdc
Q2, Q3, U1, L2, U3	V1-V2+V3	3Vdc
Q2, Q3, L1, L2, U3	V3	4Vdc
Q2, Q3, U4, L5	V5	5Vdc
Q2, Q3, U5, L4	V1-V5+V4	6Vdc
Q2, Q3, U1, U2, L3	V1-V3+V4	7Vdc
Q2, Q3, L1, U2, L3	V2-V3+V4	8Vdc
Q2, Q3, U1, L2, L3	V1-V2+V4	9Vdc
Q2, Q3, L1, L2, L3	V4	10Vdc

### 3.3 Propuesta de inversor multinivel III

Esta propuesta surgió como una mejora a la topología presentada en la sección anterior. Esta topología permite lograr un mayor número de niveles aumentando ligeramente el número de componentes también evita la necesidad de utilizar un puente H para generar la polaridad del inversor. Al quitar el puente H se puede aumentar el nivel de potencia de operación del inversor. Por lo tanto esta propuesta puede ser utilizada para sistemas de media y alta potencia.



### 3.3.1 Estructura generalizada de la propuesta de inversor multinivel III

Esta propuesta de inversor multinivel también se basa en prismas poligonales, sin embargo en esta configuración se utiliza un mayor número de interruptores. En esta propuesta hay un interruptor en cada borde o arista de la estructura prismática, las fuentes de voltaje se colocan en las caras laterales del prisma poligonal en forma diagonal tal y como puede observarse en los ejemplos de la Fig. 3.12.

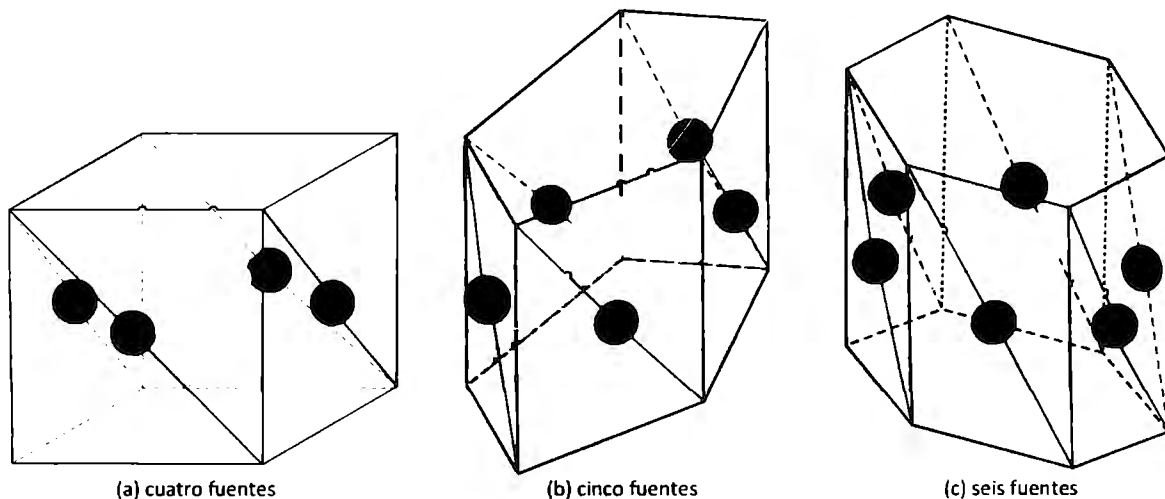


Fig. 3.12. Algunas estructuras poligonales para la tercera propuesta de inversor multinivel.

Al igual que la topología presentada en la sección anterior esta topología requiere de fuentes aisladas para su operación. Los interruptores en los bordes inferiores están denotados por la letra  $L$  mientras que en la parte superior se denotan con la letra  $U$ , y en la parte media se denotan con la letra  $M$ . Es importante señalar que para un número de fuentes impar hay dos posibles formas de conexión por ejemplo para cinco fuentes se puede usar la Fig. 3.13(b) y la Fig. 3.13(c).

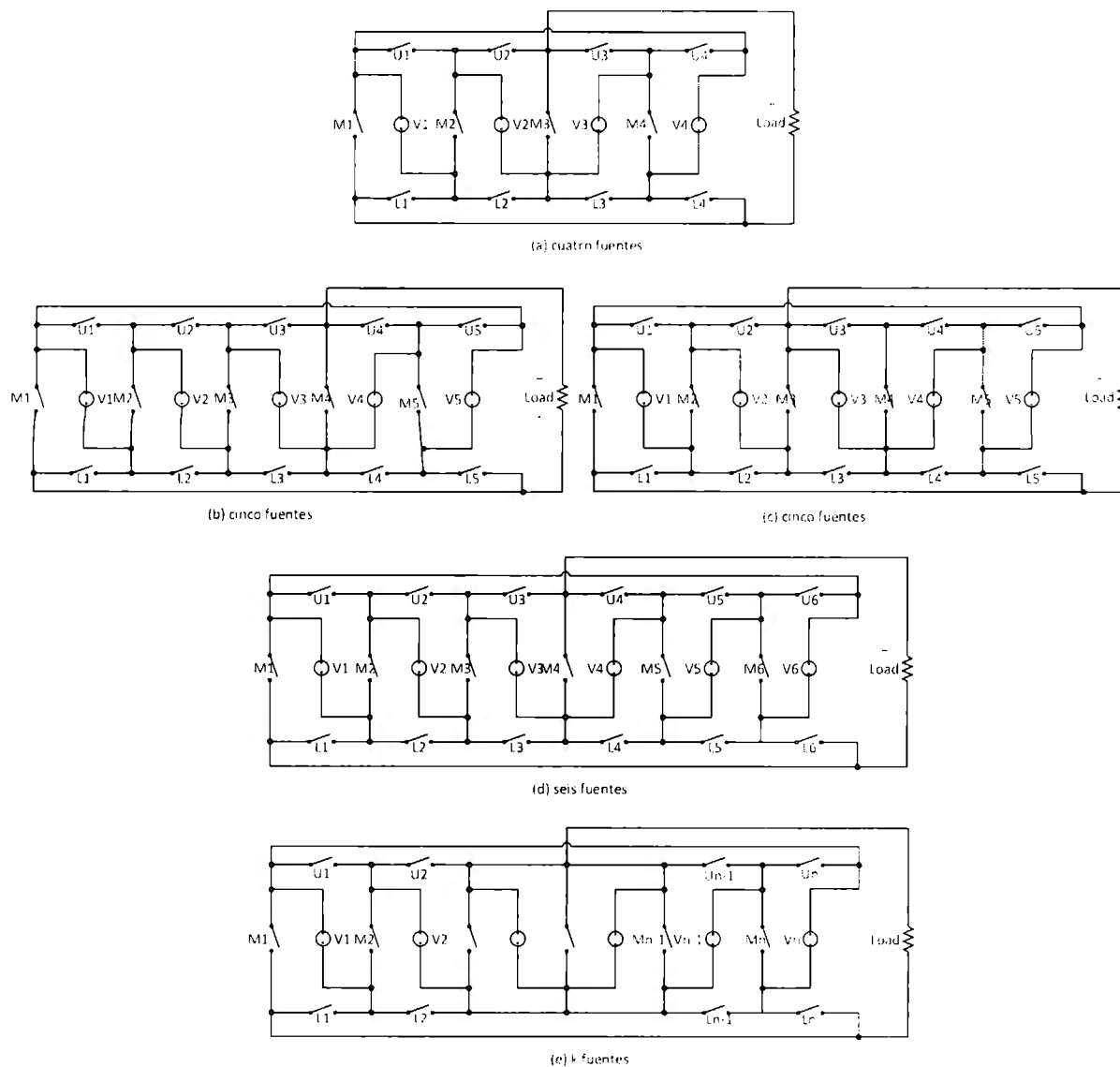


Fig. 3.13. Vista en dos dimensiones de la tercera propuesta de topología multinivel (a) con cuatro fuentes de voltaje. (b) y (c) con cinco fuentes de voltaje. (d) con seis fuentes de voltaje. (e) topología generalizada.

### 3.3.1.1 Configuración con 4 fuentes (25 niveles)

La configuración de esta propuesta con 4 fuentes de alimentación puede tener 46 posibles combinaciones para lograr los distintos niveles. Con 4 fuentes de suministro se pueden tener 25 niveles de salida sin la necesidad de tener un puente H. Los voltajes de las fuentes para lograr estos niveles deben de ser:  $V1=V4=1V_{dc}$ ,  $V3=3V_{dc}$  y  $V2=7V_{dc}$ . El máximo voltaje de salida es 1200V si el valor de  $V_{dc}=100V$ . La Tabla 3.15 muestra una de las posibles combinaciones de interruptores

para lograr los distintos valores de voltaje, en la Tabla 3.15 se puede observar que sólo 3 semiconductores conducen a la vez permitiendo que se tengan bajas pérdidas por conducción y por lo tanto una alta eficiencia.

Tabla 3.15. Tabla de conmutación para la topología con 4 fuentes de voltaje.

Interruptores encendidos	Salida de voltaje	Nivel de voltaje
L4.M2.U3	$V1+V2+V3+V4$	12Vdc
L4.U1.U3	$V1+V2+V3$	11Vdc
L1.M2.U3	$V2+V3$	10Vdc
L1.U1.U3	$V2+V3-V4$	9Vdc
M1.M2.M3	$V2+V4$	8Vdc
M1.M3.U1	$V2$	7Vdc
L1.M3.U1	$-V1+V2$	6Vdc
L2.L4.U3	$V1+V3+V4$	5Vdc
L2.M1.U3	$V1+V3$	4Vdc
L1.L2.U3	$V3$	3Vdc
L2.L4.M3	$V1+V4$	2Vdc
L4.U3.U4	$V1$	1Vdc
L1.L2.M3	0	0
L1.U3.U4	$-V4$	-1Vdc
L1.L3.M3	$-V1-V4$	-2Vdc
M1.M3.U4	$-V3$	-3Vdc
L1.M3.U4	$-V1-V3$	-4Vdc
L1.M3.M4	$-V1-V3-V4$	-5Vdc
L2.M1.U2	$V1-V2$	-6Vdc
L1.L2.U2	$-V2$	-7Vdc
L3.M1.U2	$-V1-V2$	-8Vdc
L4.U2.U4	$V1-V2-V3$	-9Vdc
M1.U2.U4	$-V2-V3$	-10Vdc
L1.U2.U4	$-V2-V3-V4$	-11Vdc
L1.M4.U2	$-V1-V2-V3-V4$	-12Vdc

Existe otra combinación de Fuentes que permite lograr 28 niveles de voltaje, sin embargo no es posible formar el nivel 0.

### 3.3.1.2 Configuración con 5 fuentes (31 y 50 niveles)

Otro ejemplo de esta topología se puede observar cuando se tienen 5 fuentes de voltaje. La Tabla 3.16 muestra los niveles de voltaje para esta configuración. Mientras que la Tabla 3.17 muestra los estados de los interruptores para estos niveles de voltaje. La configuración de fuentes decidirá el número de niveles en la forma de onda de salida. Si los voltajes de las fuentes son  $V1=4Vdc$ ,  $V2=1Vdc$ ,  $V3=3Vdc$ ,  $V4=2Vdc$ ,  $V5=2Vdc$  es posible obtener 31 niveles y el máximo voltaje es

de 1500V si el valor de  $V_{dc}=100V$ , está configuración de fuentes permite un gran número de niveles redundantes.

Por otro lado, si las fuentes de voltaje son  $V1=16V_{dc}$ ,  $V2=4V_{dc}$ ,  $V3=9V_{dc}$ ,  $V4=7V_{dc}$  y  $V5=15V_{dc}$  es posible obtener 50 niveles y la máxima salida de voltaje es 2500V si el valor de  $V_{dc}=100V$  (no es posible generar el nivel de -1300V). Esta configuración permite menos estados redundantes, pero el número de niveles es considerablemente superior. La ausencia del nivel -1300V puede ser aprovechada para eliminar algunos armónicos.

Tabla 3.16. Tabla de conmutación para la configuración para la topología con 5 fuentes.

Estado	$V_o$	Estado	$V_o$
1	$V1$	36	$-V1+V2-V3$
2	$-V1$	37	$V1+V2+V4$
3	$V2$	38	$-V1+V2+V4$
4	$-V2$	39	$V1+V3+V4$
5	$V3$	40	$-V1+V3+V4$
6	$-V3$	41	$-V1-V4-V3$
7	$V4$	42	$V1+V2+V5$
8	$-V4$	43	$V1-V2+V5$
9	$V5$	44	$V1+V3+V5$
10	$-V5$	45	$V1-V3+V5$
11	$V1+V2$	46	$-V1-V3-V5$
12	$V1-V2$	47	$V3+V4+V5$
13	$-V1+V2$	48	$-V3-V4+V5$
14	$V1+V3$	49	$-V3-V4-V5$
15	$V1-V3$	50	$V1+V4+V5$
16	$-V1+V3$	51	$-V1+V4-V5$
17	$V1+V4$	52	$-V1-V4-V5$
18	$-V1-V4$	53	$-V2+V3+V4$
19	$V1+V5$	54	$V2+V3+V4$
20	$-V1-V5$	55	$V2-V3+V5$
21	$V2+V3$	56	$V2+V4+V5$
22	$V2-V3$	57	$V1-V2+V3+V4$
23	$-V2+V3$	58	$V1+V2+V3+V4$
24	$V2+V4$	59	$-V1+V2+V3+V4$
25	$V2+V5$	60	$V1+V2-V3+V5$
26	$V3+V4$	61	$V1+V2+V4+V5$
27	$-V3-V4$	62	$V2+V3+V4+V5$
28	$V3+V5$	63	$V1+V2+V3+V5$
29	$-V3-V5$	64	$V1-V2+V3+V5$
30	$-V4+V5$	65	$-V1-V3-V4-V5$
31	$V4-V5$	66	$V1+V3+V4+V5$
32	$-V4-V5$	67	$V1-V2+V3+V4+V5$
33	$V1+V2+V3$	68	$V1+V2+V3+V4+V5$
34	$V1+V2-V3$	69	0
35	$V1-V2+V3$		



### 3.4 Propuesta de inversor multinivel IV

Esta propuesta consiste en añadir un puente H a la propuesta de la sección anterior de esta forma se puede aumentar considerablemente el número de niveles de salida del inversor mejorando la calidad de la onda de salida, también permite un gran número de redundancias de combinaciones de fuentes que pueden ser aprovechadas para controlar la descarga de las baterías. Sin embargo, los semiconductores del puente H tendrán que ser de una potencia mayor a los del resto de la estructura ya que estarán sometidos a un voltaje más alto. Es preferible utilizar esta topología cuando el número de fuentes es impar. Esta topología puede ser empleada en sistemas de media y alta potencia.

#### 3.4.1 Estructura generalizada de la propuesta de inversor multinivel IV

La estructura de esta topología es similar a la de la propuesta presentada en la sección anterior, sólo que en este caso la carga se reemplaza por un puente H, este puente H tiene contenido a su vez la carga, ver Fig. 3.14 y Fig. 3.15.

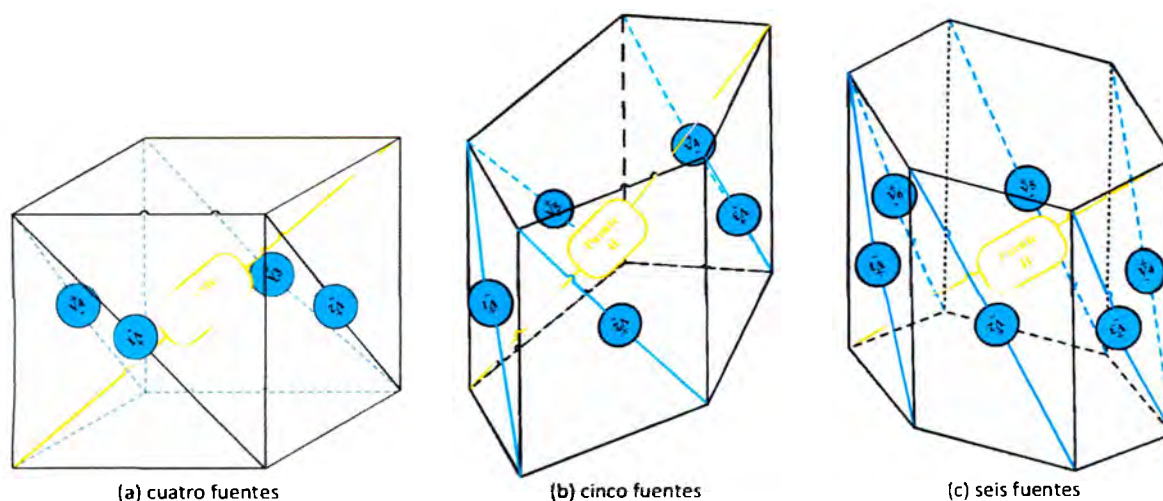


Fig. 3.14 Algunas estructuras poligonales para la cuarta propuesta de inversor multinivel.

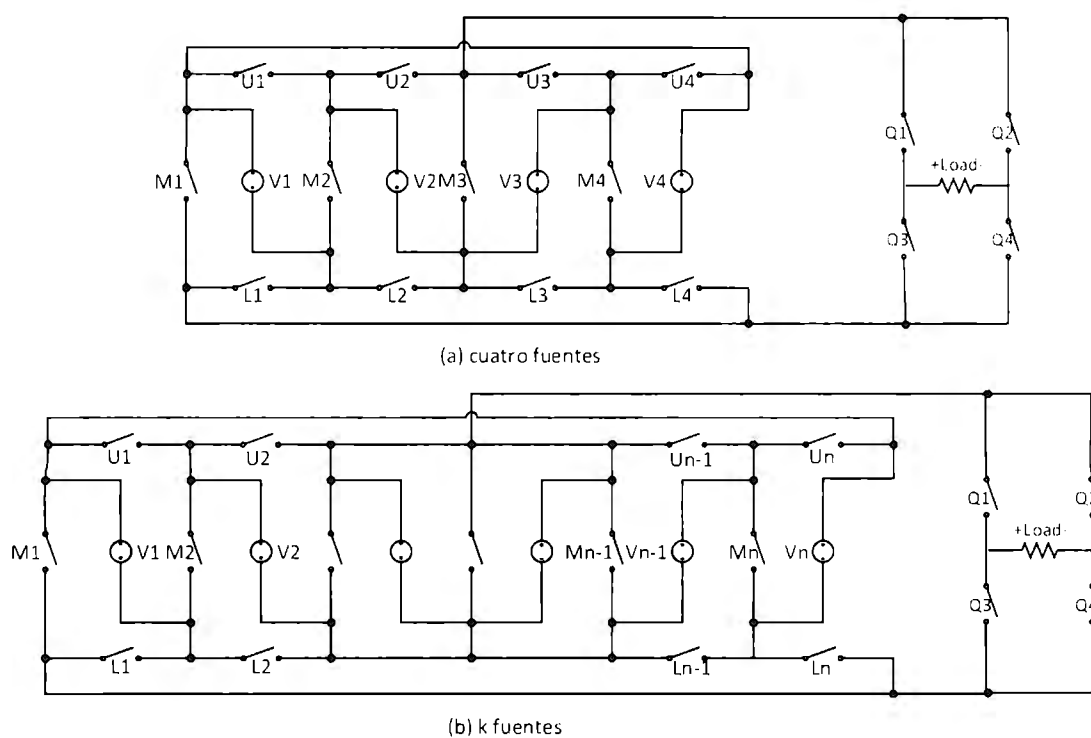


Fig. 3.15. Vista en dos dimensiones de la cuarta propuesta de topología multinivel (a) con cuatro fuentes de voltaje. (b) topología generalizada.

### 3.4.1.1 Configuración con 5 fuentes

Un ejemplo de esta topología se puede dar cuando se tienen 5 fuentes de voltaje. Si los voltajes de las fuentes tienen una configuración asimétrica en progresión geométrica binaria como  $V1=16V_{dc}$ ,  $V2=4V_{dc}$ ,  $V3=8V_{dc}$ ,  $V4=1V_{dc}$ ,  $V5=2V_{dc}$  es posible obtener 63 niveles y el máximo voltaje es de 3100V si el valor de  $V_{dc}=100V$ . Esta configuración de fuentes permite un gran número de niveles redundantes que podrían ser aprovechados para descargar de forma controlada las baterías.

La Tabla 3.18 muestra una combinación posible de interruptores para formar los distintos niveles de voltaje.

Tabla 3.18. Tabla de conmutación para la estructura de 5 fuentes (63 niveles)

Estados de Conmutación																Vo	Estados de conmutación																Vo						
L1	L2	L3	L4	L5	M1	M2	M3	M4	M5	U1	U2	U3	U4	U5	Q1		Q2	Q3	Q4	L1	L2	L3	L4	L5	M1	M2	M3	M4	M5	U1	U2	U3		U4	U5	Q1	Q2	Q3	Q4
0	0	0	0	1	0	1	1	0	0	0	0	0	1	0	0	1	1	0	-31	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0		
0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	1	1	0	-30	0	0	0	1	1	0	0	0	0	0	0	0	1	0	1	0	0	1	1	
0	0	0	0	0	1	1	1	0	0	0	0	0	1	0	0	1	1	0	-29	0	0	0	0	1	0	0	0	0	0	0	1	1	1	0	0	1	2		
0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	1	1	0	-28	0	0	0	0	0	1	0	0	1	1	0	0	0	0	1	1	0	-3		
0	1	0	0	1	0	0	1	0	0	0	0	0	1	0	0	1	1	0	-27	0	0	1	0	0	1	0	0	1	0	1	0	0	0	1	0	0	1	4	
0	1	0	0	1	0	0	1	1	0	0	0	0	0	0	0	1	1	0	-26	0	0	1	0	0	1	0	0	0	1	0	0	1	0	1	0	0	1	5	
0	1	0	0	0	1	0	1	0	0	0	0	0	1	0	0	1	1	0	-25	0	0	1	0	1	0	0	1	0	1	0	0	0	1	0	0	1	6		
0	1	0	0	0	1	0	1	1	0	0	0	0	0	0	0	1	1	0	-24	0	0	1	0	1	0	0	0	0	1	0	0	1	0	1	0	0	1	7	
0	1	0	0	1	0	0	0	0	0	0	1	0	1	0	0	1	1	0	-23	0	0	0	0	0	1	0	0	1	0	1	1	0	0	1	0	0	1	8	
0	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	1	1	0	-22	1	1	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	9	
0	0	1	0	0	1	1	0	0	0	0	0	0	1	0	0	1	1	0	-21	0	0	0	0	1	0	0	1	0	1	1	0	0	0	1	0	0	1	10	
0	0	1	0	0	1	1	0	1	0	0	0	0	0	0	0	1	1	0	-20	0	0	0	0	1	0	0	0	0	1	1	0	1	0	1	0	0	1	11	
0	1	1	0	1	0	0	0	0	0	0	0	0	1	0	0	1	1	0	-19	0	1	0	0	0	1	0	0	0	0	1	1	0	0	1	0	0	1	12	
0	1	1	0	1	0	0	0	1	0	0	0	0	0	0	0	1	1	0	-18	0	0	0	0	0	1	0	1	0	0	1	0	0	1	0	1	0	0	1	13
0	1	1	0	0	1	0	0	0	0	0	0	0	1	0	0	1	1	0	-17	0	0	1	0	1	0	1	0	0	0	0	1	0	0	1	0	0	1	14	
0	1	1	0	0	1	0	0	1	0	0	0	0	0	0	0	1	1	0	-16	0	0	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	15		
0	0	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	1	0	-15	0	1	1	0	0	1	0	0	1	0	0	0	0	0	1	0	0	1	16	
0	0	1	0	1	0	1	0	0	0	0	0	1	0	0	0	1	1	0	-14	0	1	1	0	0	1	0	0	0	0	0	1	0	1	0	0	1	17		
0	0	0	0	0	1	0	1	0	0	1	0	0	1	0	0	1	1	0	-13	0	1	1	0	1	0	0	1	0	0	0	0	0	0	1	0	0	1	18	
0	1	0	0	0	1	0	0	0	0	0	1	1	0	0	0	1	1	0	-12	0	1	1	0	1	0	0	0	0	0	0	1	0	1	0	0	1	19		
0	0	0	0	1	0	0	0	0	0	1	1	0	1	0	0	1	1	0	-11	0	0	1	0	0	1	1	0	1	0	0	0	0	0	1	0	0	1	20	
0	0	0	0	1	0	0	0	1	0	1	1	0	0	0	0	1	1	0	-10	0	0	1	0	0	1	1	0	0	0	0	0	1	0	1	0	0	1	21	
1	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	1	1	0	-9	0	0	1	0	1	0	1	0	1	0	0	0	0	0	0	1	0	0	1	22
0	0	0	0	0	1	0	0	1	0	1	1	0	0	0	0	1	1	0	-8	0	1	0	0	1	0	0	0	0	0	1	0	1	0	1	0	0	1	23	
0	0	1	0	1	0	0	0	0	0	1	0	0	1	0	0	1	1	0	-7	0	1	0	0	0	1	0	1	1	0	0	0	0	0	0	1	0	0	1	24
0	0	1	0	1	0	0	0	1	0	1	0	0	0	0	0	1	1	0	-6	0	1	0	0	0	1	0	1	0	0	0	0	0	1	0	1	0	0	1	25
0	0	1	0	0	1	0	0	0	0	1	0	0	1	0	0	1	1	0	-5	0	1	0	0	1	0	0	1	1	0	0	0	0	0	0	1	0	0	1	26
0	0	1	0	0	1	0	0	1	0	1	0	0	0	0	0	1	1	0	-4	0	1	0	0	1	0	0	1	0	0	0	0	0	1	0	1	0	0	1	27
0	0	0	0	0	1	0	0	1	1	0	0	0	0	0	1	0	0	1	-3	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	1	0	0	1	28
0	0	0	0	1	0	0	0	0	0	0	0	0	1	1	0	1	1	0	-2	0	0	0	0	0	1	1	1	0	0	0	0	1	0	1	0	0	1	29	
0	0	0	1	1	0	0	0	0	0	0	0	0	1	0	0	1	1	0	-1	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	1	0	0	1	30
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	1	0	1	0	0	1	31	



## **4 Capítulo 4. Simulaciones y resultados.**

Se realizaron varias simulaciones de las topologías propuestas para observar su desempeño. desafortunadamente los tiempos de simulación fueron cortos debido a que el poder computacional requerido era demasiado grande.

La herramienta usada en las simulaciones fue el entorno de programación visual Simulink de MATLAB. en el que se utilizó principalmente el toolbox "FFT analysis" para obtener la distorsión armónica de cada una de las propuestas.

### **4.1 Algoritmo para la descarga controlada de las baterías**

Se comenzó por probar el algoritmo para el balance de cargas o descarga controlada de las baterías. para esto sólo se requirió utilizar un sólo nivel de voltaje del inversor. Además se utilizó una resistencia de pequeña magnitud ( $0.005\Omega$ ), la cual demandaría una gran cantidad de corriente para descargar rápidamente las baterías. se utilizaron baterías de ion de litio de baja capacidad (3.6V 1.5Ah) para la simulación para que la descarga fuera aún más rápida. el tiempo de simulación fue de 120 segundos. La implementación del algoritmo de descarga controlada se puede observar en la Fig. 4.1 y los resultados se pueden observar en la Fig. 4.2.

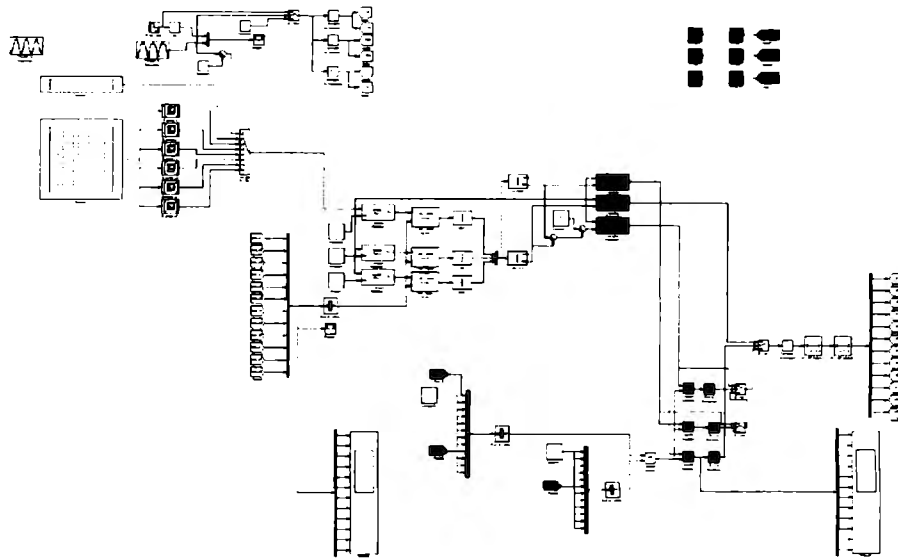


Fig. 4.1. Implementación del algoritmo de descarga controlada de las baterías.

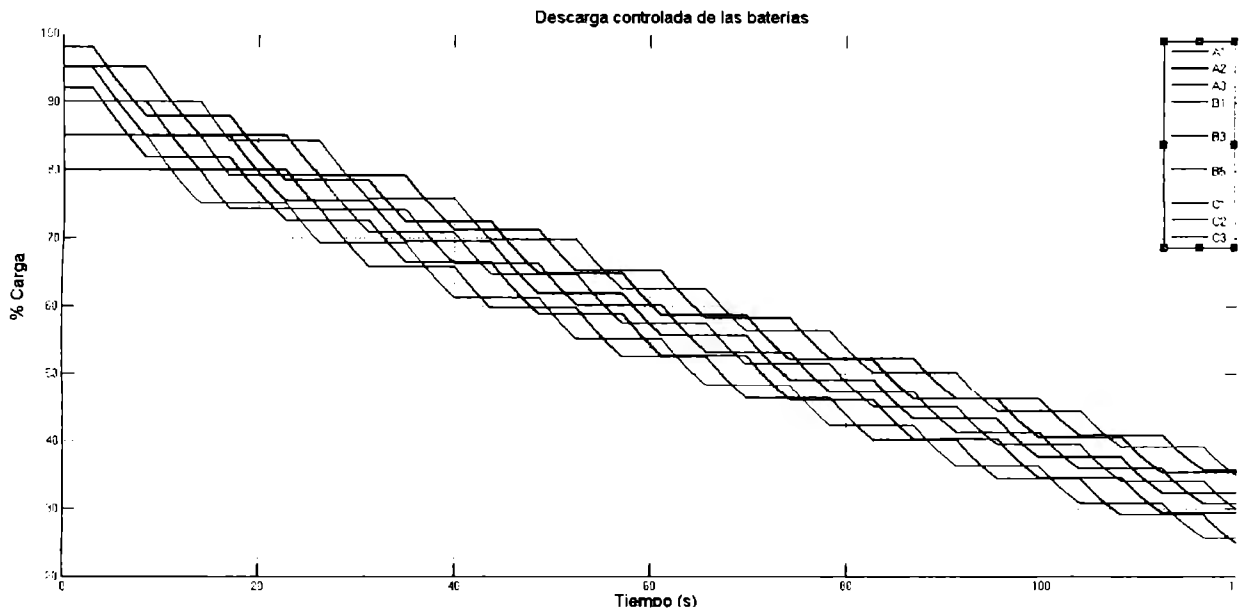


Fig. 4.2. Resultados algoritmo de descarga controlada de las baterías.

Puede observarse que inicialmente las baterías tienen una carga inicial diferente, conforme pasa el tiempo la carga de las baterías se va nivelando con el resto de ellas. También es posible apreciar solamente las curvas de descarga de 9 baterías, esto se debe a que el nivel elegido para la simulación sólo ocupaba nueve células, también se observa que la descarga de las baterías se da en grupos de 3 esto se debe a que había 3 posibles trayectorias para generar ese nivel de voltaje, y cada trayectoria empleaba solamente 3 baterías. Inicialmente se observa que las baterías con el mayor porcentaje de carga (tonos azules) son las primeras en utilizarse, por lo tanto empiezan a disminuir su carga, llega un momento en el que el promedio de porcentajes de carga para las baterías en tono azul ya no es el máximo, sin embargo éstas siguen descargándose hasta tener cierto offset con

respecto a los porcentajes de carga de las baterías que quedan con el mayor promedio de carga (tonos verdes); desde este punto se repite el proceso hasta que los porcentajes de carga de las baterías sean muy similares; cabe mencionar que el offset se puede ajustar fácilmente.

## 4.2 Resultados de la propuesta I

En esta sección se presentarán los resultados para las distintas configuraciones de la primera topología multinivel propuesta. Las conexiones hechas en simulink para la propuesta I se pueden observar en la Fig. 4.3.

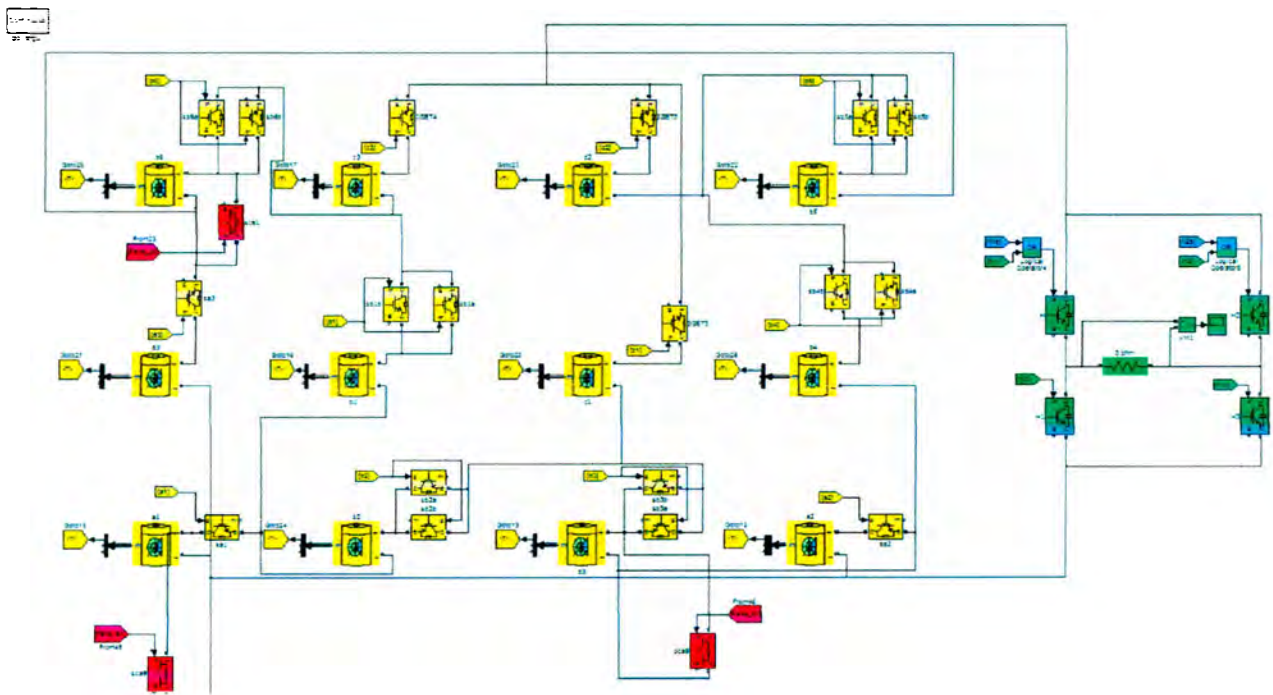


Fig. 4.3. Implementación de la topología de la propuesta I en simulink.

#### 4.2.1 Configuración de 7 niveles de salida con alta tolerancia a fallas

Los resultados para esta configuración se muestran en la Fig. 4.4. en los primeros 2 ciclos de la simulación es posible observar el comportamiento normal del inversor. es decir. cuando no ha sucedido ninguna falla. en el tiempo  $t=0.0344s$  (durante el tercer ciclo) ocurre una falla en la célula A1 se observa que el voltaje del primer nivel (positivo y negativo) baja ligeramente después de la falla. esto se debe a que el inversor cambió la ruta para la generación de voltaje. teniendo que ocupar una trayectoria que pasará por un mayor número de dispositivos semiconductores. provocando una mayor caída de voltaje; la falla en la célula A1 no desaparece pero el inversor sigue funcionando adecuadamente. Posteriormente ocurre una falla en la célula C1 durante el quinto ciclo ( $t=0.0752s$ ) una falla en esta célula provoca que el primer nivel (positivo y negativo) de voltaje desaparezcan por completo, aun así el inversor sigue operando con sólo 5 niveles de voltaje aunque la distorsión armónica aumenta considerablemente Tabla 4.1. Finalmente se puede observar que durante el séptimo ciclo ocurre una falla en el nivel C2 ( $t=0.1s$ ) se observa que en esta ocasión la falla es en una célula trascendental para el inversor ya que el nivel más alto desaparece provocando la falla total del inversor.

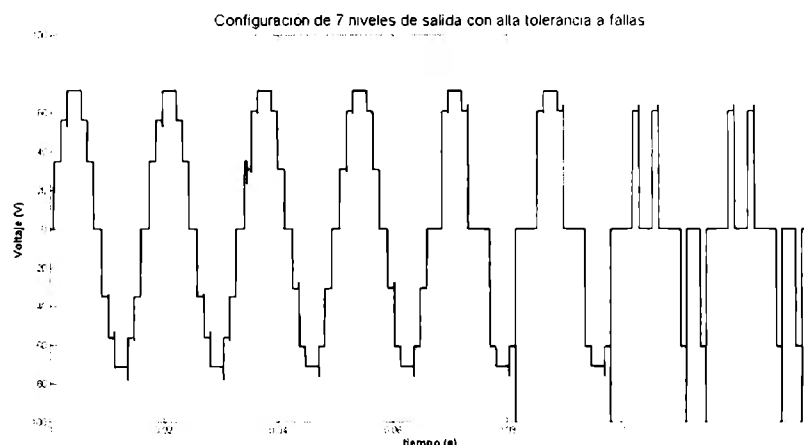


Fig. 4.4. Resultados de la configuración de 7 niveles de salida con alta tolerancia a fallas.

La Fig. 4.5 muestra los resultados de la distorsión armónica del inversor. es posible observar que el armónico número 13 es el que tiene el porcentaje de magnitud más alto con respecto a la frecuencia fundamental un (8%). mientras que el tercer armónico tiene una amplitud de menos del 2% de la fundamental. siendo un porcentaje relativamente bajo.

Tabla 4.1. Distorsión armónica para la configuración de 7 niveles de salida con alta tolerancia a fallas.

	Sin Falla	Falla A1	Falla C1	Falla C2
THD(% de la fundamental)	13.95%	14.85%	41.43%	145.98%

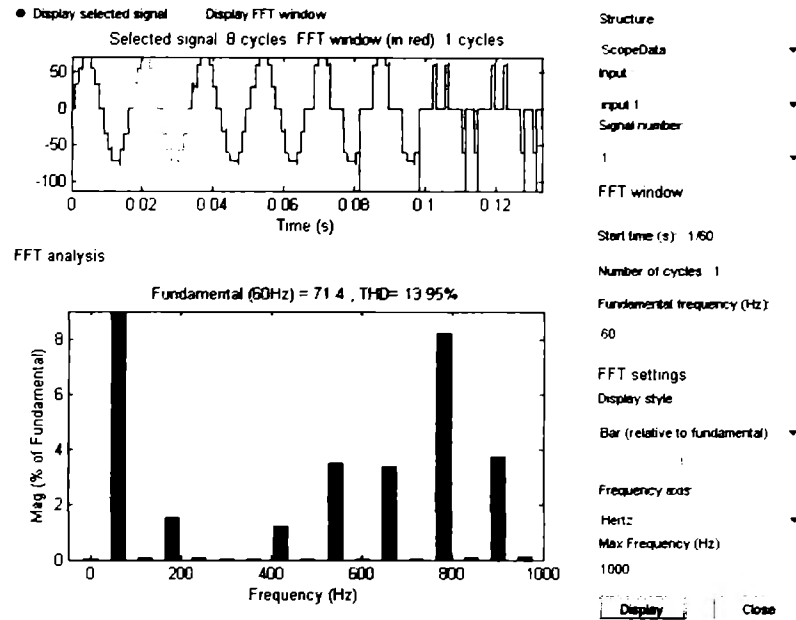


Fig. 4.5. Resultados de la distorsión armónica para la configuración de 7 niveles de salida con alta tolerancia a fallas.

#### 4.2.2 Configuración de 13 niveles de salida con media tolerancia a fallas

Los resultados para esta configuración se muestran en la Fig. 4.6a, en los primeros 2 ciclos de la simulación es posible observar el comportamiento normal del inversor, es decir, cuando no ha sucedido ninguna falla, en el tiempo  $t=0.0344s$  (durante el tercer ciclo) ocurre una falla en la célula A1 se observa que el voltaje del cuarto nivel (positivo y negativo) baja ligeramente después de la falla y regresa inmediatamente al nivel correspondiente (Fig. 4.6b), esto se debe a que el inversor cambió la ruta para la generación de voltaje, y al tiempo de respuesta del semiconductor; la falla en la célula A1 no desaparece pero el inversor sigue funcionando adecuadamente. Posteriormente ocurre una falla en la célula B3 durante el quinto ciclo ( $t=0.0752s$ ), la cual provoca que el primer nivel de voltaje (positivo y negativo) desaparezca por completo, aun así el inversor sigue operando con 11 niveles de voltaje aunque la distorsión armónica aumenta ligeramente Tabla 4.2. Finalmente se puede observar que durante el séptimo ciclo ocurre una falla en el nivel B6 ( $t=0.1s$ ) se observa que en esta ocasión la falla es en una célula fundamental para el inversor ya que el nivel más alto desaparece provocando la falla total del inversor.

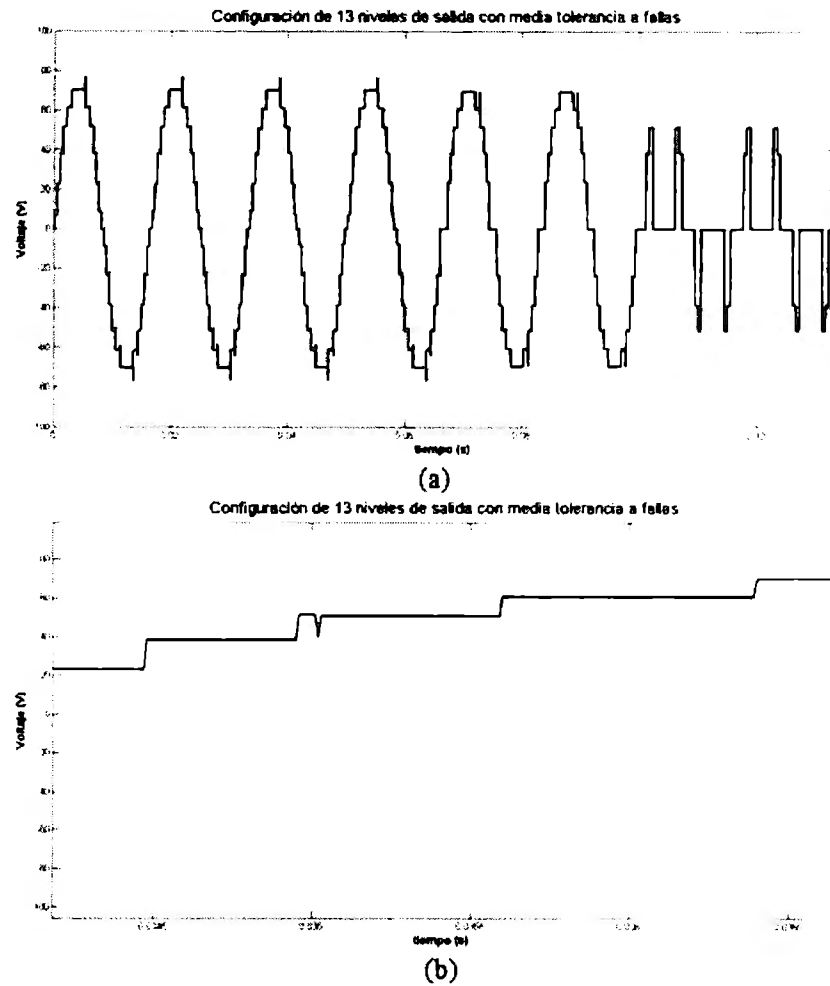


Fig. 4.6. Resultados de la configuración de 13 niveles de salida con media tolerancia a fallas. (a) Ciclos completos (b) amplificación del momento en que ocurre la falla.

Tabla 4.2. Distorsión armónica para la configuración de 13 niveles de salida con media tolerancia a fallas.

	Sin Falla	Falla A1	Falla B3	Falla B6
THD(% de la fundamental)	7.16%	7.33%	10.13%	206.2%

La Fig. 4.7 muestra los resultados de la distorsión armónica del inversor, es posible observar que el tercer armónico es el que tiene el porcentaje de magnitud más alto con respecto a la frecuencia fundamental menor a 2.5%, siendo un porcentaje relativamente bajo.

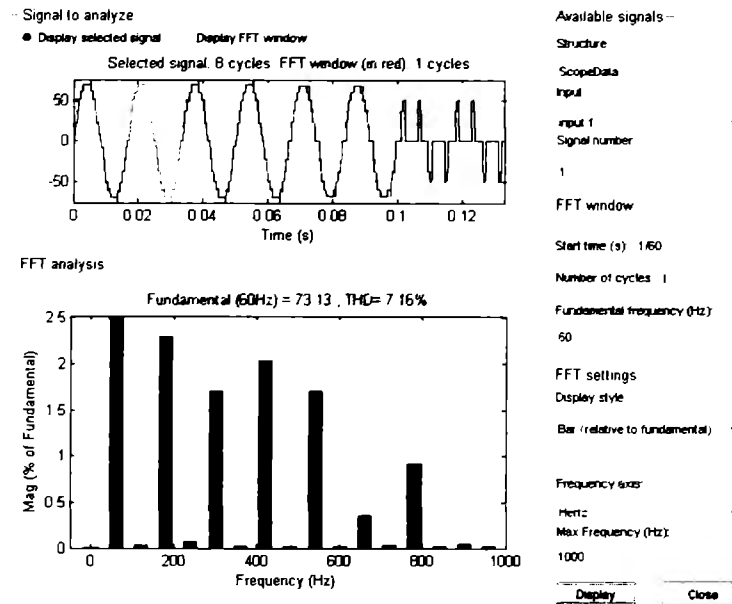


Fig. 4.7 Resultados de la distorsión armónica para la configuración de 13 niveles de salida con media tolerancia a fallas.

### 4.2.3 Configuración de 19 niveles de salida con baja tolerancia a fallas

En la Fig. 4.8a se pueden observar los resultados para la configuración de 19 niveles, en los primeros 2 ciclos de la simulación es posible observar el comportamiento normal del inversor, es decir, cuando no ha sucedido ninguna falla, en el tiempo  $t=0.0344s$  (durante el tercer ciclo) ocurre una falla en la célula B6 se observa que el voltaje del primer nivel baja ligeramente después de la falla, esto se debe a que el inversor cambió la ruta para la generación de voltaje, esta trayectoria alternativa tiene porcentajes de carga más bajos en las baterías (de acuerdo al algoritmo de la Fig. 3.5); la falla en la célula B6 no desaparece pero el inversor sigue funcionando adecuadamente. Posteriormente ocurre una la célula A1 durante el quinto ciclo ( $t=0.0752s$ ) una falla en esta célula provoca que los niveles 2, 4, 8 (positivos y negativos) de voltaje desaparezcan por completo, aun así el inversor sigue operando con sólo 13 niveles de voltaje aunque la distorsión armónica aumenta considerablemente Tabla 4.3, debido a que el voltaje baja hasta 0; si hay una falla en la célula A1 podría ser posible mantener el inversor en el nivel más cercano al de la falla para minimizar la distorsión armónica. Finalmente se puede observar que durante el séptimo ciclo ocurre una falla en el nivel C1 ( $t=0.1s$ ) se observa que en esta ocasión la falla es en una célula de vital importancia para el inversor ya que los niveles más altos desaparecen provocando la falla total del inversor.

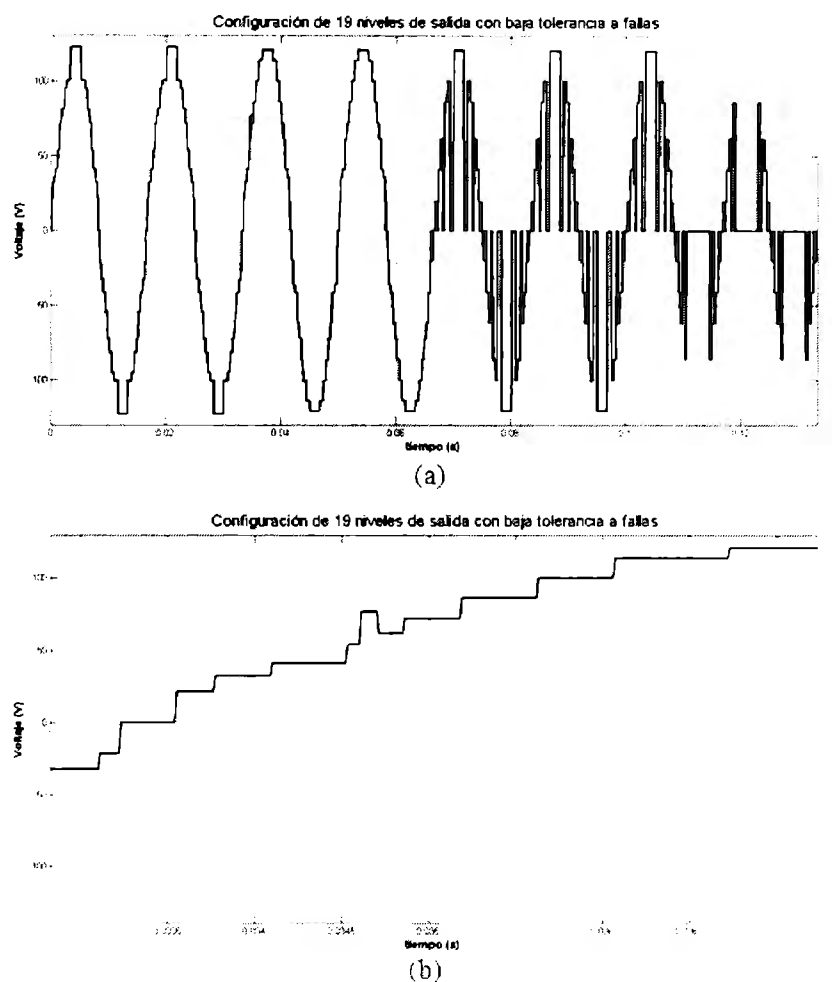


Fig. 4.8. Resultados de la configuración de 19 niveles de salida con baja tolerancia a fallas. (a) Ciclos completos (b) amplificación del momento en que ocurre la falla.

Tabla 4.3. Distorsión armónica para la configuración de 19 niveles de salida con baja tolerancia a fallas.

	Sin Falla	Falla A1	Falla B6	Falla C1
THD(% de la fundamental)	7.58%	6.60%	67.15%	236.69%

La Fig. 4.9 muestra los resultados de la distorsión armónica del inversor, es posible observar que el armónico número 5 es el que tiene el porcentaje de magnitud más alto con respecto a la frecuencia fundamental un (3.5%), mientras que el tercer armónico tiene una amplitud de menos del 1% de la fundamental, siendo un porcentaje relativamente bajo.



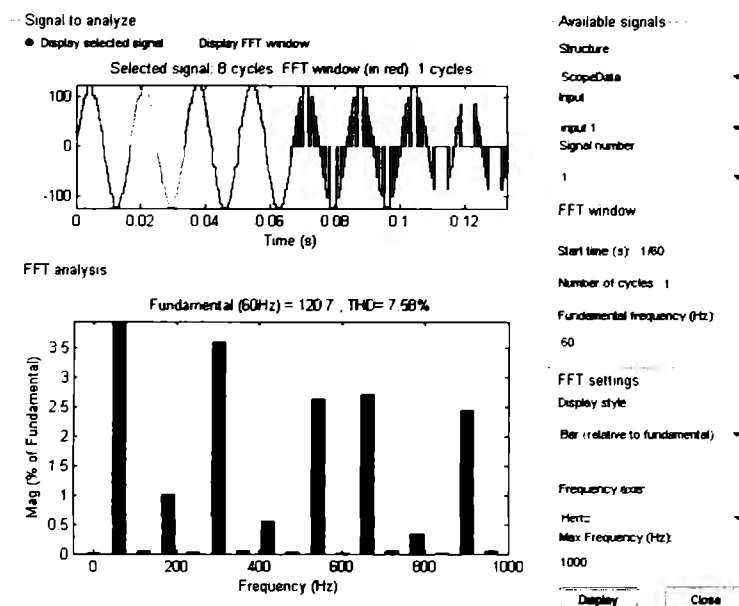


Fig. 4.9. Resultados de la distorsión armónica para la configuración de 7 niveles de salida con alta tolerancia a fallas.

#### 4.2.4 Configuración de 25 niveles de salida sin tolerancia a fallas

En la Fig. 4.10 se pueden observar los resultados para la configuración de 25 niveles de salida, el número de niveles de esta configuración permite que se tenga prácticamente una onda sinusoidal sin la necesidad de un filtro el inconveniente es que prácticamente no tiene tolerancia a fallas, aunque hay algunos niveles que son relativamente tolerantes a fallas. En el tercer ciclo ocurre una falla en la célula A1 es notoria una ligera distorsión con respecto a los primeros 2 ciclos aun así el inversor funciona correctamente, posteriormente ocurre una falla en la célula C1 lo cual provoca la pérdida de los niveles 2, 9 y 12 (positivos y negativos) provocando la falla total del inversor. Finalmente ocurre una falla en B6 lo que hace más notoria la pérdida del inversor.

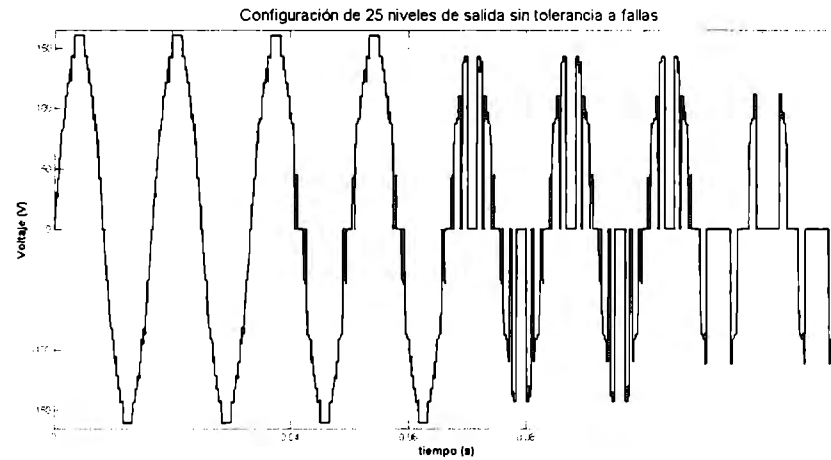


Fig. 4.10. Resultados de la configuración de 25 niveles de salida sin tolerancia a fallas.

En la Tabla 4.4 se pueden observar las distorsiones armónicas del inversor para esta configuración cuando ocurren las distintas fallas, sin falla la distorsión armónica es muy pequeña, con una falla en A1 la distorsión aumenta pero es relativamente baja, con las fallas en las células C1 y B6 son notorias las distorsiones tan altas del inversor.

Tabla 4.4. Distorsión armónica para la configuración de 25 niveles de salida con alta tolerancia a fallas.

	Sin Falla	Falla A1	Falla C1	Falla B6
THD(% de la fundamental)	4.6%	10.67%	99.05%	132.42-213.96%

La Fig. 4.11 muestra los resultados de la distorsión armónica del inversor, es posible observar que el armónico número 5 es el que tiene el porcentaje de magnitud más alto con respecto a la frecuencia fundamental un (2.5%), mientras que el tercer armónico tiene una amplitud de menos del 1% de la fundamental, siendo un porcentaje relativamente bajo.

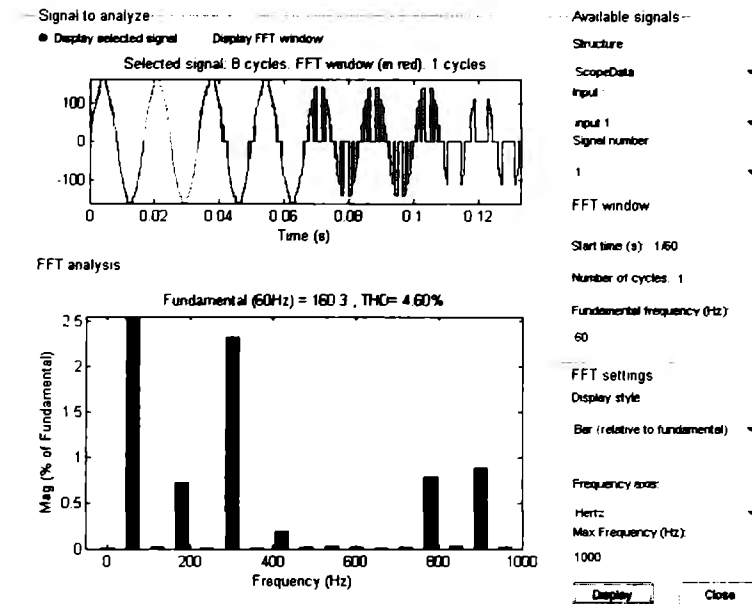


Fig. 4.11. Resultados de la distorsión armónica para la configuración de 25 niveles de salida sin tolerancia a fallas.

#### 4.2.5 Conexión del inversor en cascada

Finalmente se realizó una conexión en cascada de dos inversores en configuración de 7 niveles de salida con alta tolerancia a fallas, de tal forma que se pudieran conseguir 13 niveles de salida con alta tolerancia a fallas. Los resultados para esta configuración se muestran en la Fig. 4.12.

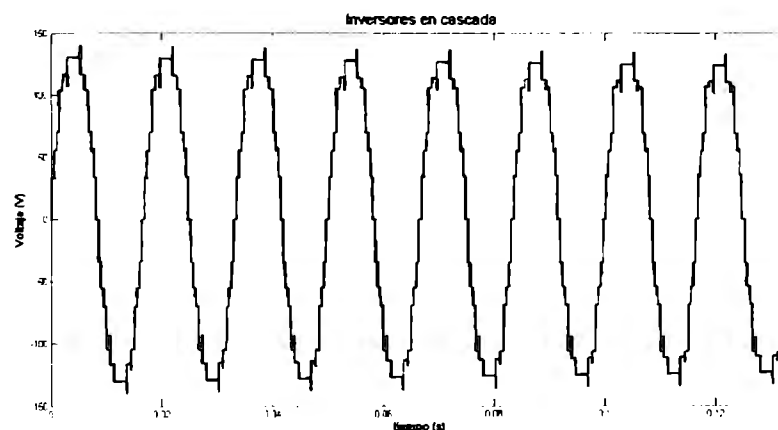


Fig. 4.12. Inversores en cascada.

En la Fig. 4.12 se puede apreciar que no se simuló las fallas para el inversor, también se observan algunos ligeros picos de voltaje los cuales se deben al cambio de rutas en los

semiconductores, es muy notorio que la forma de onda se asemeja bastante a una onda sinusoidal. Los resultados de esta conexión se ven afectados por el número de semiconductores en las trayectorias, ya que a mayor número de semiconductores mayor es la caída de voltaje. También es importante recordar que si el voltaje es demasiado alto los dispositivos semiconductores del puente H podrían requerir manejar potencias más elevadas.

La Fig. 4.13 muestra los resultados de la distorsión armónica para el inversor conectado en cascada, es apreciable que la distorsión armónica total sobre un periodo es de 9.8%, también es notorio que el tercer armónico tiene una magnitud del 7% de la magnitud de frecuencia fundamental, está podría ser reducida con un filtro pasa bajas pasivo.

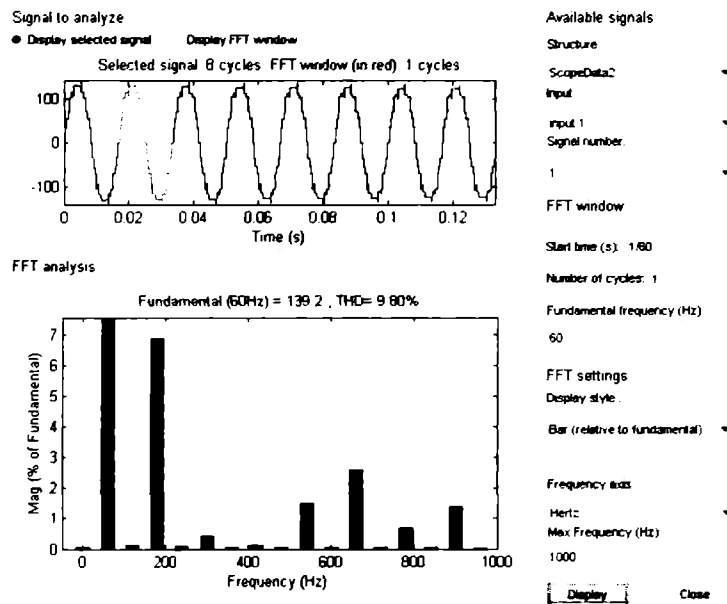


Fig. 4.13. Distorsión armónica para el inversor en cascada.

### 4.3 Resultados de la propuesta II

En esta sección se mostrarán los resultados obtenidos para los ejemplos de las distintas configuraciones de la propuesta II que se presentaron en la sección 3.2. En la simulación se utilizaron cargas del tipo resistivo ( $2\Omega$ ) y del tipo inductivo (16mH) para observar el comportamiento de las ondas de voltaje y corriente. La implementación de la propuesta II se muestra en la Fig. 4.14.

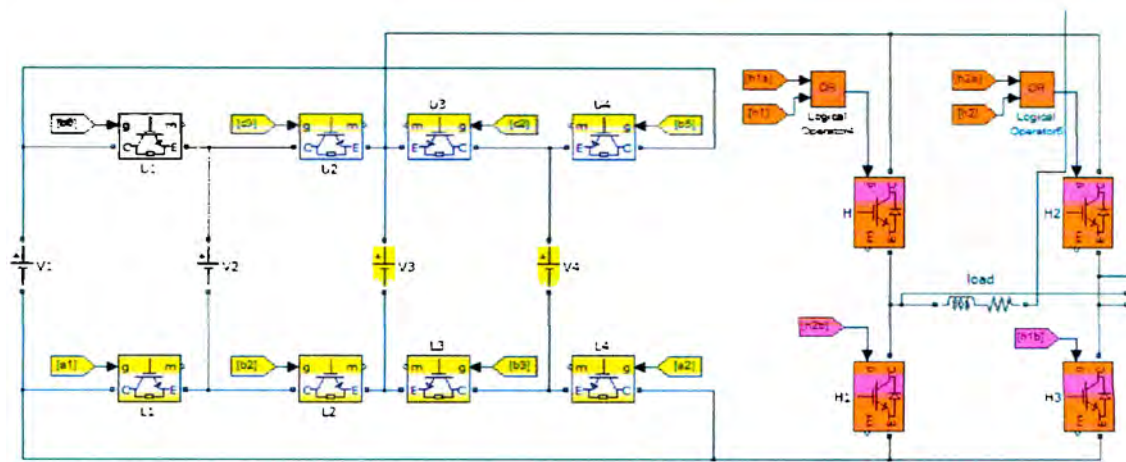


Fig. 4.14. Implementación de la propuesta II en Simulink.

### 4.3.1 Configuración de 4 fuentes de voltaje

La Fig. 4.15 muestra la salida de voltaje (negro) y corriente (azul) de esta configuración, se pueden apreciar los 13 niveles formando una onda sinusoidal escalonada para ambas señales cuando la carga conectada al inversor es una carga resistiva. En la Fig. 4.16 se aprecian los resultados al conectar una carga del tipo resistivo inductivo como pudiera ser un motor ( $R=2\Omega$  y  $L=16mH$ ), es notorio que la carga inductiva provoca la presencia de picos de voltaje, sin embargo la onda de corriente se asemeja bastante a una onda sinusoidal; también se observa un ligero desfase entre la onda de voltaje y la onda de corriente. El análisis de la distorsión armónica del voltaje para la carga resistiva se puede observar en la Fig. 4.17a, la THD fue de 7.77% y es el mismo valor para la onda corriente. Mientras que el análisis de la distorsión armónica para la carga inductiva se muestra en la Fig. 4.17b, en este caso la distorsión armónica aumenta considerablemente debido a la presencia de los picos de voltaje, sin embargo la THD de la onda de corriente es de 3.48%.

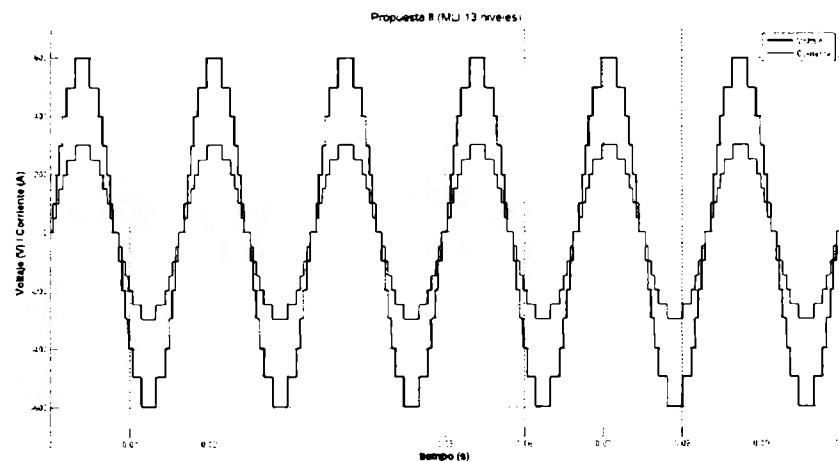


Fig. 4.15. Voltaje y corriente de carga resistiva en la configuración de 4 fuentes de la propuesta II.

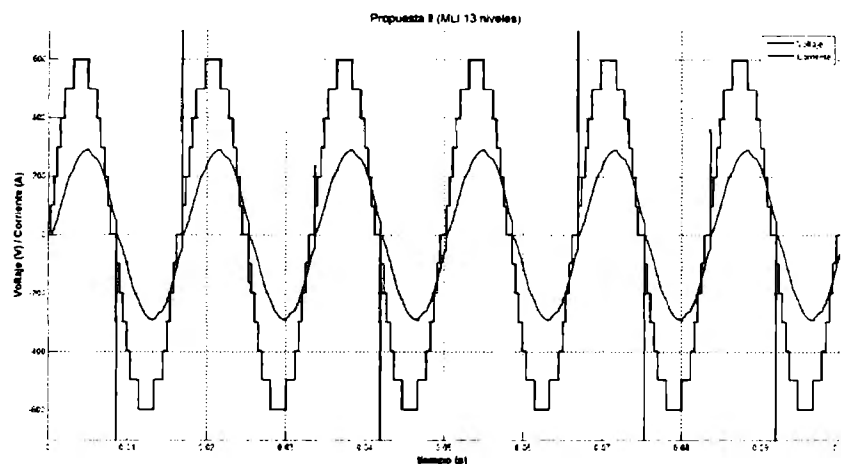


Fig. 4.16. Voltaje y corriente de carga inductiva en la configuración de 4 fuentes de la propuesta II.

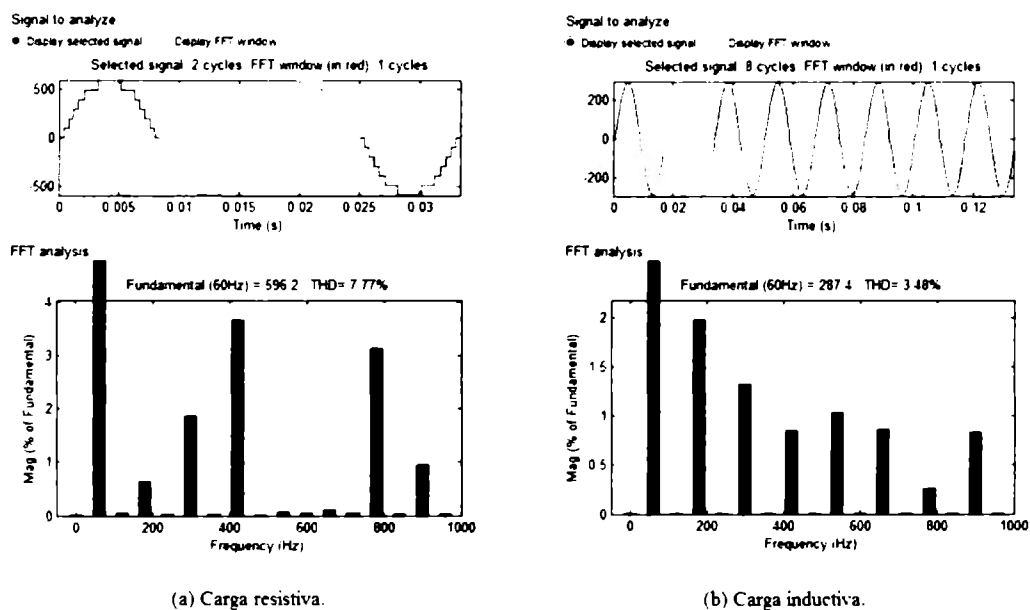


Fig. 4.17. THD para la configuración de 4 fuentes de la propuesta II.

### 4.3.2 Configuración de 5 fuentes de voltaje

Los resultados de la propuesta II en su configuración de 5 fuentes de voltaje cuando se aplica una carga resistiva al inversor se pueden observar en la Fig. 4.18, las ondas de voltaje y corriente

forman una onda sinusoidal escalonada de 21 niveles. La Fig. 4.19 muestra los resultados para la carga inductiva es posible apreciar que los picos de voltaje provocados por la carga inductiva disminuyen su amplitud mientras que la onda de corriente se asemeja más a una onda sinusoidal, además se observa el defase correspondiente entre la onda de voltaje y corriente, también se observa que transcurre un poco de tiempo para que la onda de corriente llegue a su estado estable. En las Fig. 4.20a y Fig. 4.20b se pueden apreciar las distorsiones armónicas cuando se aplica la carga resistiva (4.77%) y la inductiva (1.05%).

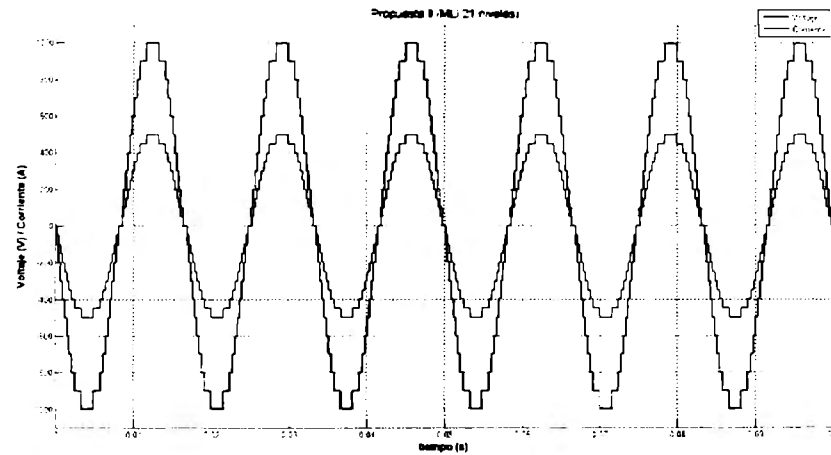


Fig. 4.18. Resultados propuesta II configuración 5 fuentes con carga resistiva.

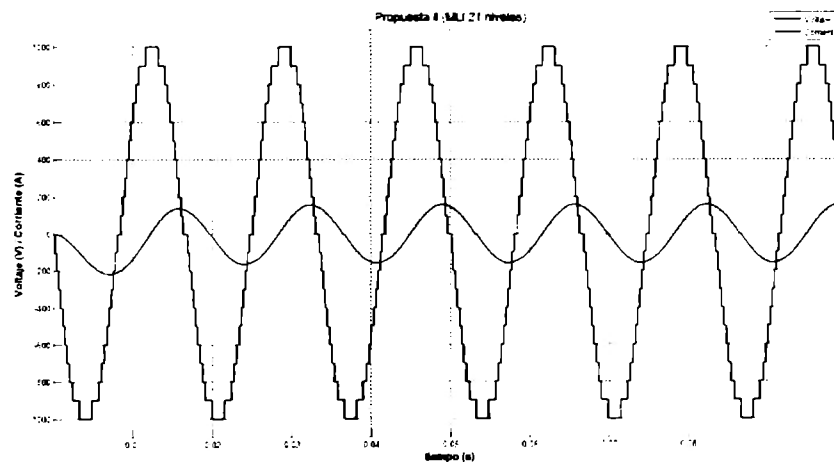


Fig. 4.19. Resultados propuesta II configuración 5 fuentes con carga inductiva.

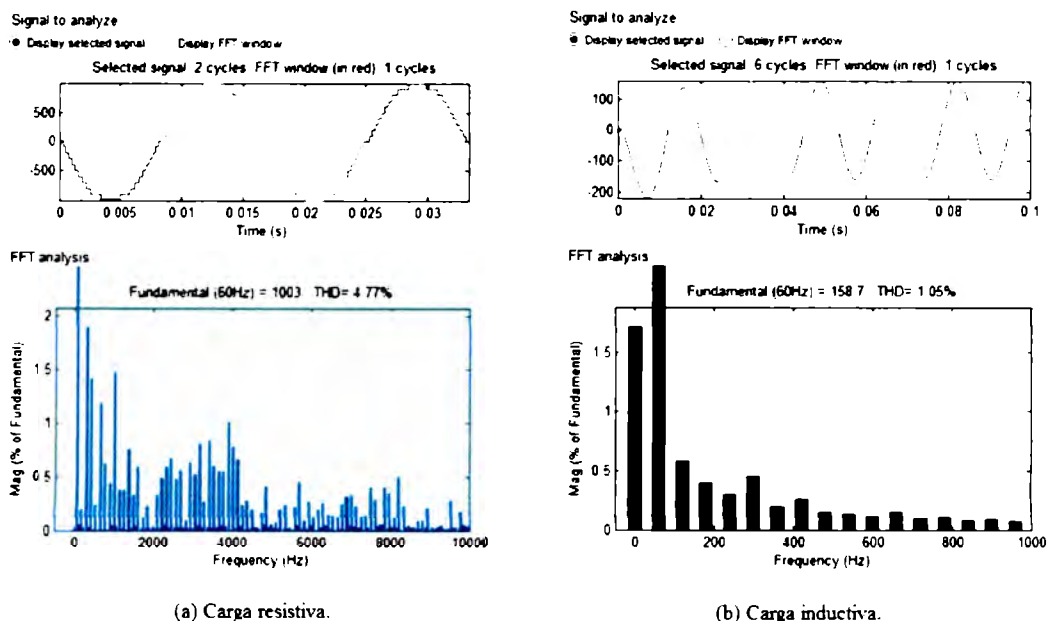


Fig. 4.20. Resultados THD propuesta II configuración 5 fuentes.

### 4.4 Resultados de la propuesta III

En esta sección se mostrarán los resultados obtenidos para los ejemplos de las distintas configuraciones de la propuesta III que se presentaron en la sección 3.3. En la simulación se utilizaron cargas del tipo resistivo y del tipo inductivo para observar el comportamiento de las ondas de voltaje y corriente. La implementación de la propuesta III se puede observar en la Fig. 4.21.

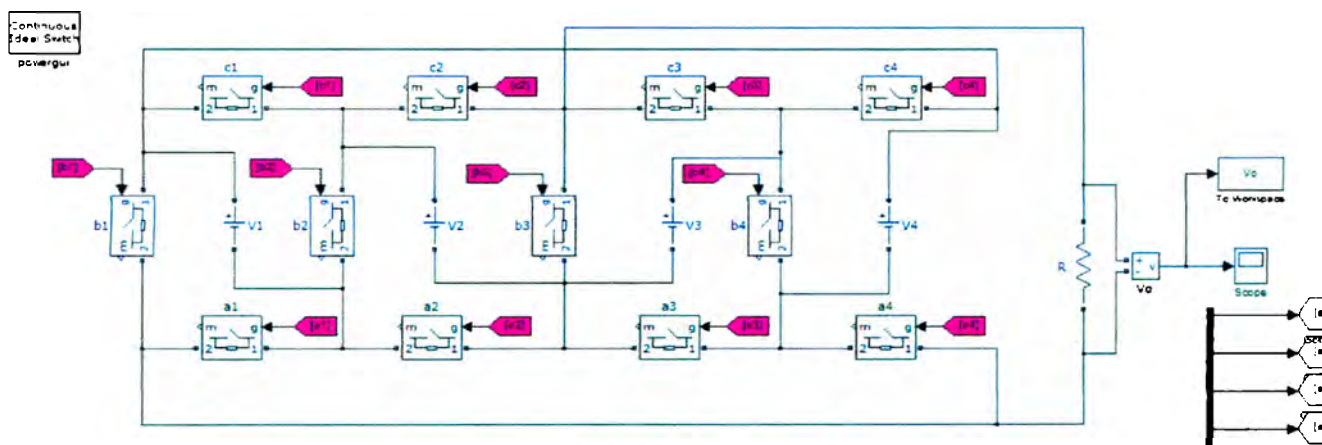


Fig. 4.21. Implementación de la propuesta III en simulink.



#### 4.4.1 Configuración de 4 fuentes de voltaje

La Fig. 4.22 muestra los resultados del inversor de 25 niveles de la propuesta III (4 fuentes de voltaje) para la carga resistiva, en ella se puede observar la forma escalonada de la onda; mientras la Fig. 4.23 muestra los resultados para la carga inductiva, en donde prácticamente ya no se observan los picos de voltaje y la onda de corriente es prácticamente sinusoidal. La distorsión armónica total para la onda de voltaje es 3.9% (Fig. 4.24a), mientras que la distorsión armónica total para la onda de corriente es de 0.54% (Fig. 4.24b).

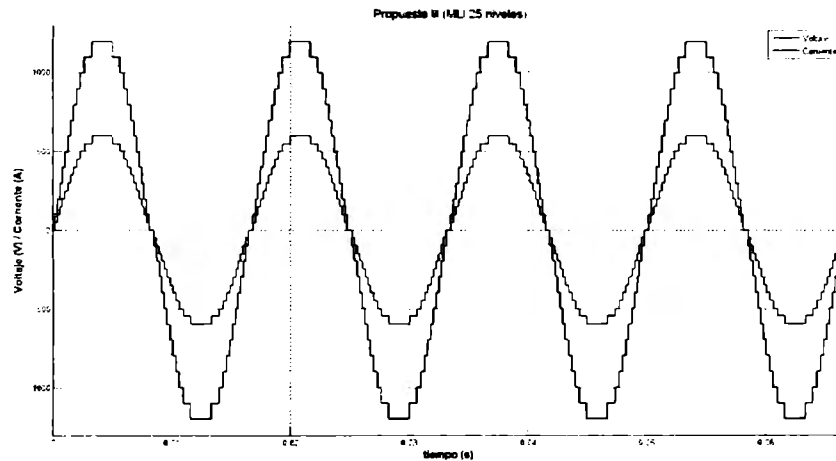


Fig. 4.22. Resultados propuesta III configuración 4 fuentes con carga resistiva.

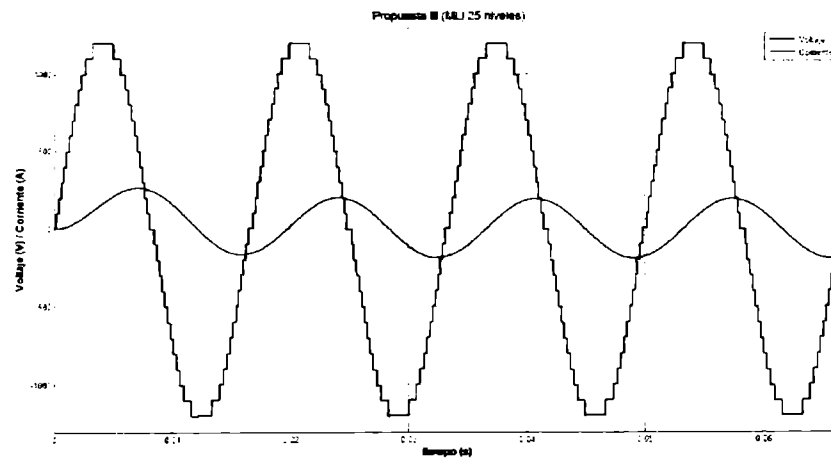


Fig. 4.23. Resultados propuesta III configuración 4 fuentes con carga inductiva.

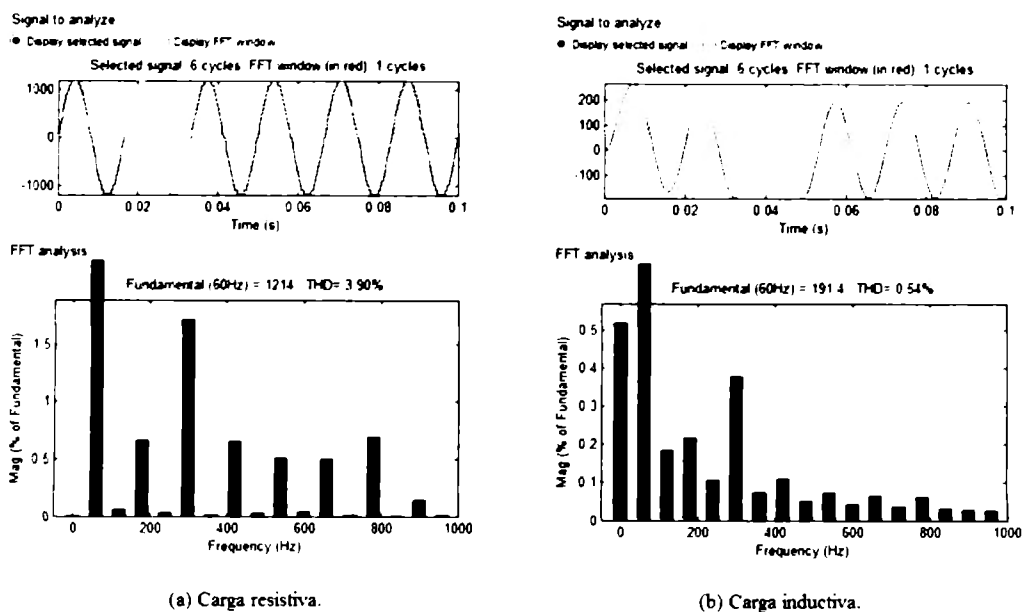


Fig. 4.24. Resultados THD propuesta III configuración 4 fuentes.

## 4.4.2 Configuración de 5 fuentes de voltaje (31 y 50 niveles)

### 4.4.2.1 31 niveles

Los resultados de la propuesta III en su configuración de 5 fuentes de voltaje con 31 niveles de salida con carga resistiva se pueden observar en la Fig. 4.25, las ondas de voltaje y corriente forman una onda sinusoidal escalonada de 31 niveles. La Fig. 4.26 muestra los resultados para la carga inductiva donde es posible apreciar que la onda de corriente está suavizada asemejándose más a una onda sinusoidal, también se observa el ángulo de defase entre el voltaje y la corriente. En las Fig. 4.27a y Fig. 4.27b se pueden apreciar las distorsiones armónicas cuando se aplica la carga resistiva (3.14%) y la inductiva (0.47%).

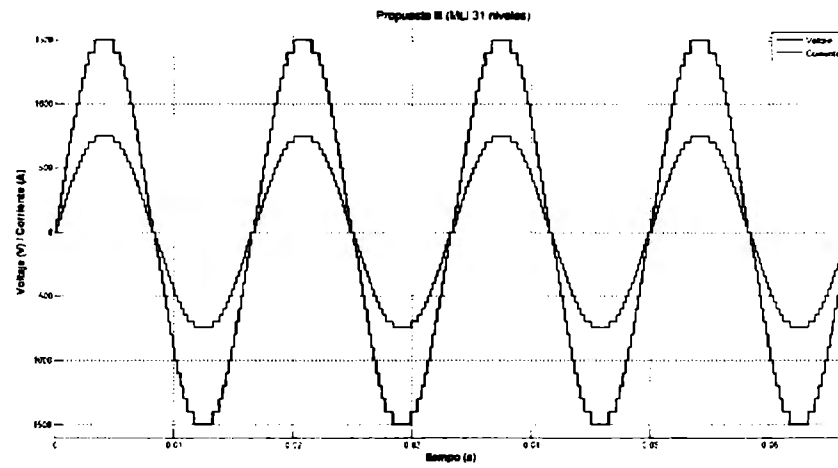


Fig. 4.25. Resultados propuesta III configuración 5 fuentes con carga resistiva.

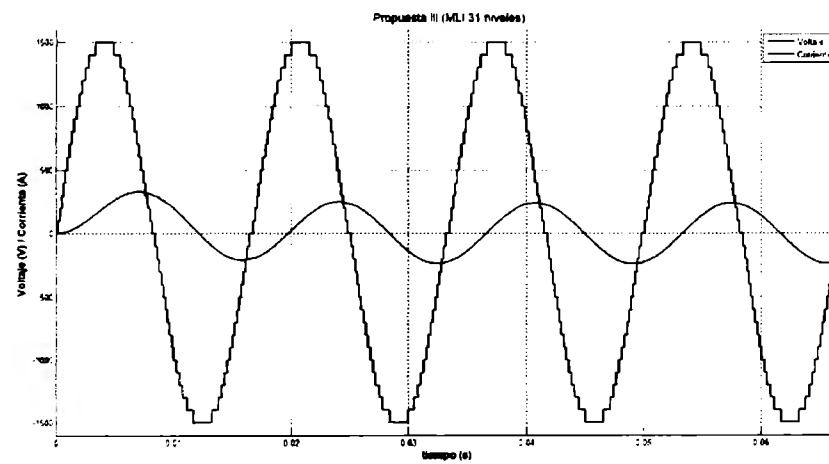


Fig. 4.26. Resultados propuesta III configuración 5 fuentes con carga inductiva.

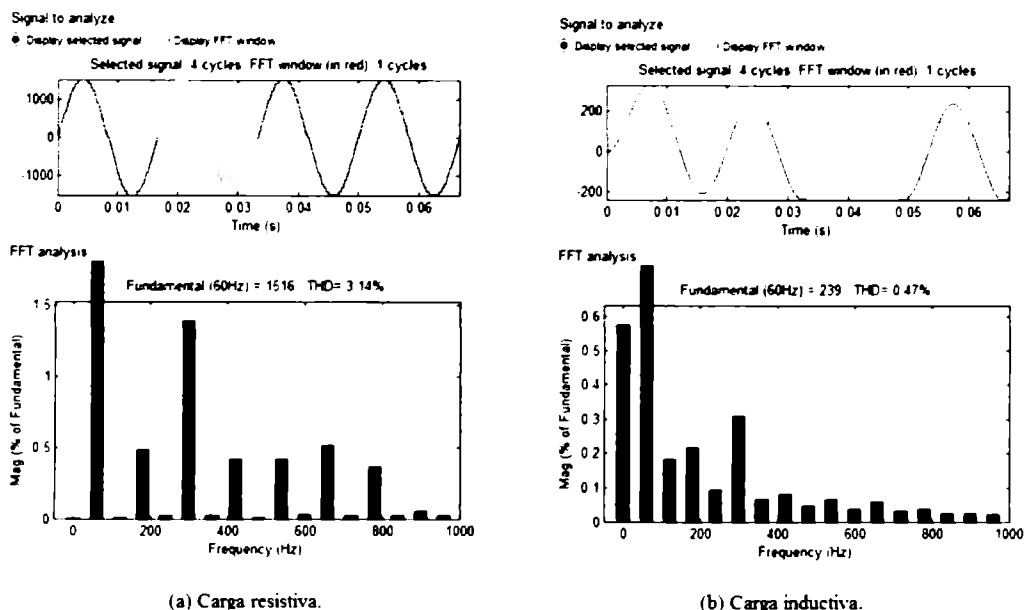


Fig. 4.27. Resultados THD propuesta III configuración 5 fuentes.

### 4.4.2.2 50 niveles

La Fig. 4.28 muestra los resultados para el inversor multinivel de 50 niveles de la propuesta III cuando se aplica la carga resistiva, es interesante notar que el nivel de -1300V está ausente, sin embargo como puede observarse en la Fig. 4.30 la distorsión armónica es muy baja (2.06%) a pesar de la ausencia del nivel; esta ausencia del nivel puede ser aprovechada para eliminar determinados armónicos. La Fig. 4.29 muestra los resultados para la carga inductiva, en donde se observa una onda de corriente bastante suavizada y con su defase correspondiente. Finalmente la Fig. 4.30 muestra que la distorsión armónica para la onda de corriente fue de 0.41%.

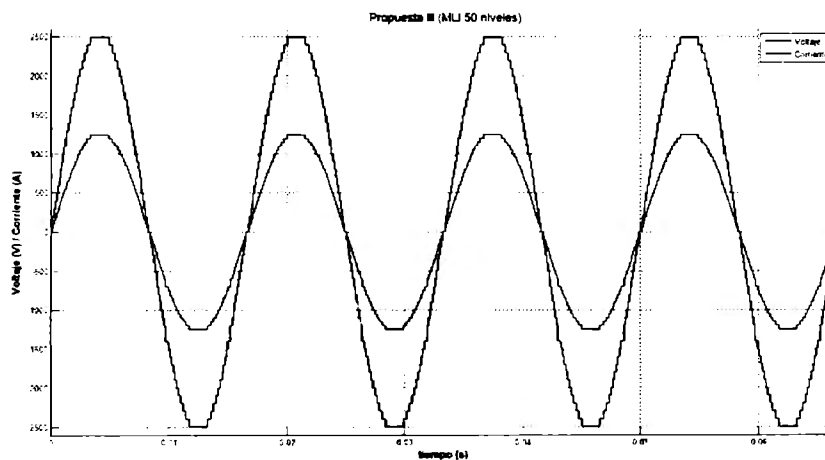


Fig. 4.28. Resultados propuesta III configuración 5 fuentes con carga resistiva.

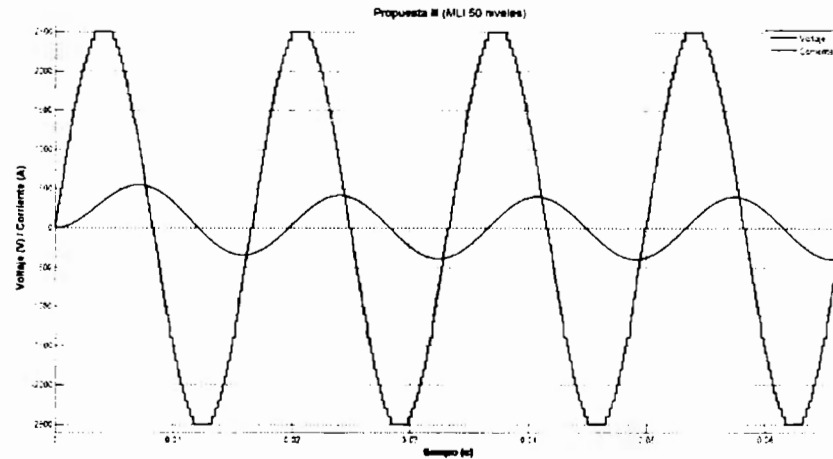


Fig. 4.29. Resultados propuesta III configuración 5 fuentes con carga inductiva.

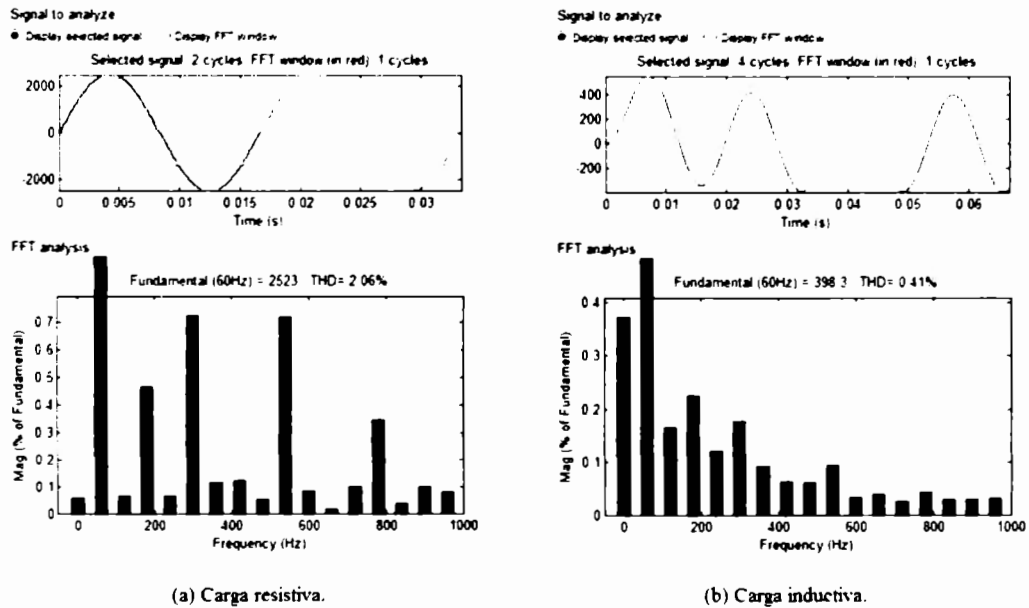


Fig. 4.30. Resultados THD propuesta III configuración 5 fuentes.

## 4.5 Resultados de la propuesta IV

En esta sección se muestran los resultados de las ondas de voltaje y corriente para la propuesta IV, en este caso sólo se ejemplificó con una configuración de 5 fuentes. La Fig. 4.31 muestra la implementación de esta propuesta en simulink.

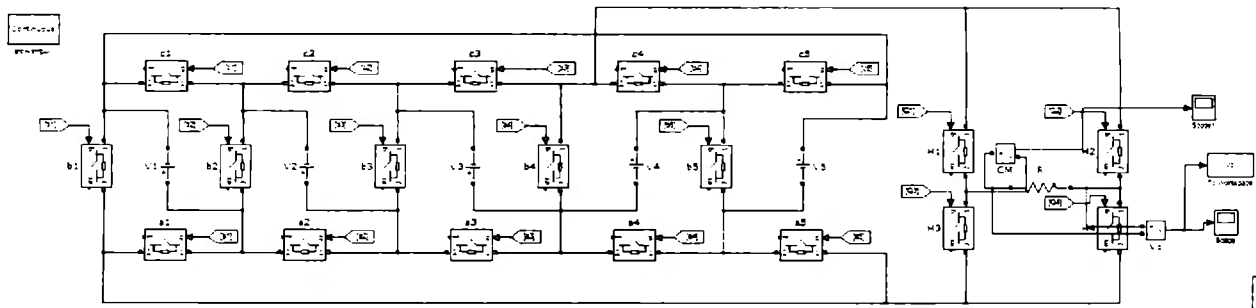


Fig. 4.31. Implementación de la propuesta IV en Simulink.

#### 4.5.1 Configuración de 5 fuentes de voltaje

Los resultados de la configuración de 5 fuentes de voltaje para la topología IV con carga resistiva se pueden apreciar en la Fig. 4.32, se aprecia una onda escalonada de voltaje y una de corriente muy semejantes a una onda sinusoidal. La Fig. 4.33 muestra los resultados de la configuración cuando la carga es del tipo inductivo observándose que prácticamente no hay picos de voltaje y la onda de corriente es sinusoidal. La THD para la onda de voltaje es 1.69% y se puede apreciar en la Fig. 4.34a, mientras que para la onda de corriente es de 0.4% (Fig. 4.34b).

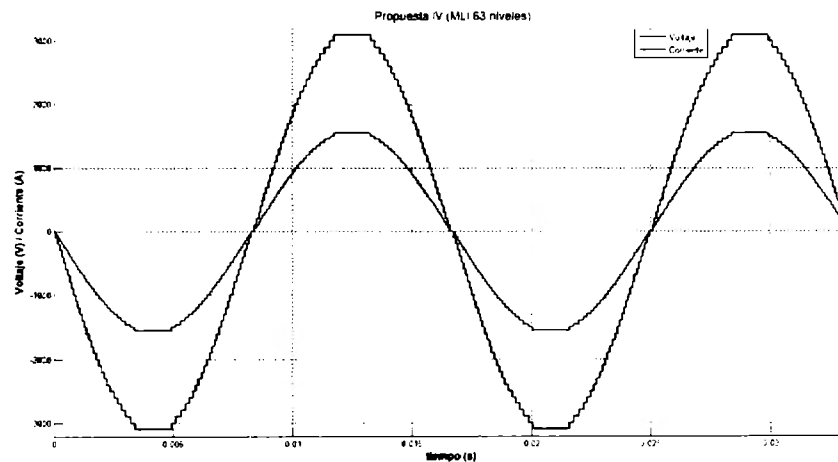


Fig. 4.32. Resultados propuesta IV configuración 5 fuentes con carga resistiva.

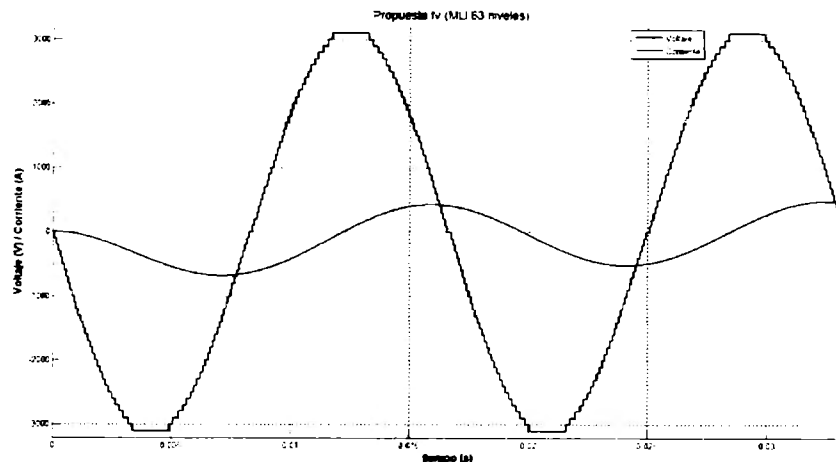


Fig. 4.33. Resultados propuesta IV configuración 5 fuentes con carga inductiva.

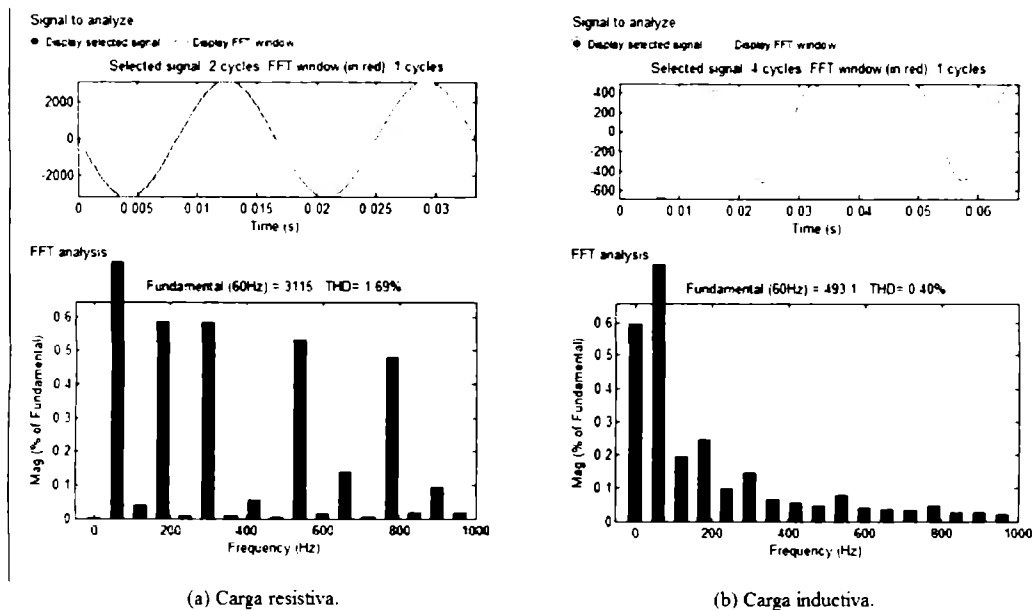


Fig. 4.34. Resultados THD propuesta IV configuración 5 fuentes.

### 4.6 Resumen de los resultados

En el capítulo 3 se describieron varias propuestas de inversor multinivel, cada una con características diferentes. A lo largo de este capítulo se mostraron los resultados de las simulaciones para cada una de estas topologías.

Mediante simulaciones se demostró que la primera propuesta permite seleccionar el número de niveles o la tolerancia a fallas. Estas simulaciones fueron realizadas con el algoritmo propuesto en la sección 3.1.3. Debido a que las simulaciones requerían de un alto poder computacional sólo se pudieron simular algunos ciclos para observar el comportamiento del inversor, en esta topología

tampoco se logró simular el comportamiento del inversor con una carga inductiva debido a que se requería un poder computacional más elevado.

Se determinó que la propuesta I era poco viable económicamente porque requería de un gran número de fuentes, sin embargo el desarrollo de esta topología permitió concebir otras 3 topologías. Estas topologías fueron simuladas usando fuentes de voltaje en lugar de baterías, lo que permitió disminuir considerablemente el poder computacional requerido, y esto su vez provocó que se pudieran simular cargas tanto resistivas como inductivas.

En base a las simulaciones y a las características mencionadas se determinó que la topología más conveniente para la aplicación en sistemas de baja y media potencia era la propuesta número II. Esto se debe a que utiliza menos componentes que las otras tres estructuras, también permite tener bajas pérdidas por conducción ya que hay pocos semiconductores activos en la generación de cada nivel haciéndolo altamente eficiente, otra característica es que sólo requiere de semiconductores unidireccionales para su operación.



## 5 Comparación con otras topologías.

En la sección anterior se presentaron varias propuestas de inversor multinivel, de éstas propuestas se seleccionó la que ofrece mejores prestaciones en cuanto a eficiencia y número de componentes al aplicarse en sistemas de baja y media potencia. En esta sección se hará una comparación de las propuestas II y III con el inversor multinivel en cascada y otras topologías.

### 5.1 Comparación de la propuesta II con el inversor en cascada

El inversor en cascada es una de las topologías que más ventajas o prestaciones ofrece, siendo un excelente modelo de comparación.

En un inversor multinivel en cascada el número de puentes H utilizados para generar los niveles está determinado por:

$$\text{No. puentes H} = (\text{niveles} - 1)/2$$

Y el número de interruptores requeridos para este número de niveles está dado por:

$$\text{No. interruptores} = 4 \times \text{No. puentes H}$$

La Tabla 5.1 muestra una comparación del inversor multinivel en cascada con la topología propuesta.

La primera comparación entre las dos topologías se puede hacer en términos del número de semiconductores, en la topología propuesta se usan 12 interruptores para generar 13 niveles comparado con los 24 interruptores que son usados por el CHB; el inversor multinivel propuesto usa 4 fuentes DC mientras que el CHB utiliza 6 fuentes de DC.

Otra de las principales diferencias entre ambas estructuras se puede observar en las pérdidas por conducción. Ya que en el CHB se necesitan que 12 semiconductores conduzcan simultáneamente

para generar una salida de 13 niveles, mientras que la topología propuesta sólo utiliza 4 semiconductores para obtener cualquier nivel.

Tabla 5.1. Comparación de la propuesta II con el inversor en cascada

Topología	No. Interruptores para 13 niveles	No. Fuentes para 13 niveles	No. Interruptores para 21 niveles	No. Fuentes para 21 niveles	No. Interruptores para 29 niveles	No. Fuentes para 29 niveles
Cascada	24	6	40	10	56	14
Propuesta	12	4	14	5	16	6

En la Tabla 5.1 se puede observar que a mayor número de niveles es más notoria la diferencia entre el número de componentes usados en la construcción del inversor.

## 5.2 Comparación de la propuesta III con el inversor en cascada

La Tabla 5.2 resume el número de componentes empleados por el inversor en cascada y la propuesta III para generar un distinto número de niveles. La primera comparación es que el inversor en cascada utiliza 48 interruptores para generar 25 niveles y 100 interruptores para generar 50 niveles, mientras que el inversor de la propuesta III utiliza 12 y 15 interruptores bidireccionales respectivamente. Esta diferencia en el número de componentes se ve reflejada directamente en el costo del inversor.

Tabla 5.2. Comparación de la propuesta III con el inversor en cascada

Topología	No. Interruptores para 25 niveles	No. Fuentes para 25 niveles	No. Interruptores para 50 niveles	No. Fuentes para 50 niveles
Cascada	48	12	100	25
Propuesta	12	4	15	5

La otra comparación se puede hacer en cuanto al número de interruptores que se encuentran conduciendo simultáneamente. Por ejemplo para generar 25 niveles de salida el inversor en cascada requiere que 24 semiconductores conduzcan simultáneamente mientras que en el inversor de la propuesta III sólo 3 semiconductores conduzcan simultáneamente: esta diferencia hace que el inversor de la propuesta III tenga una eficiencia mucho más alta que el inversor en cascada.

### 5.3 Comparación de las propuestas II y III con otras topologías

La propuesta II puede compararse con la estructura multinivel PUC en cuanto a la apariencia de sus conexiones. sin embargo se puede observar que la estructura propuesta requiere un puente H para generar la polaridad a diferencia de la PUC. Esta característica le ofrece una ventaja a la estructura PUC ya que puede generar más niveles que la topología propuesta.

La propuesta III se asemeja en sus conexiones al inversor propuesto en [46] y al MLI crisscross, al igual que el número de niveles que se pueden formar con el mismo número de fuentes. Sin embargo, la propuesta III tiene la ventaja de requerir un menor número de semiconductores conduciendo para formar cada nivel de voltaje, haciéndolo más eficiente que el MLI crisscross o el MLI propuesto en [46].

## **6 Implementación y resultados experimentales del prototipo.**

### **6.1 Implementación**

Se implementó un prototipo funcional de la topología de la propuesta II para demostrar el funcionamiento de la estructura (Fig. 3.10d o Fig. 4.14).

La Fig. 6.1 muestra el diagrama a bloques del sistema completo. Los componentes internos del inversor para el prototipo fueron un micro-controlador arduino, drivers para IGBTs IR2110, interruptores IGBT FGPF4536. Como entradas al sistema se requirieron una fuente auxiliar para polarizar los drivers y varias fuentes de voltaje como fuentes de entrada del inversor.

#### **IGBT**

Se utilizó el IGBT FGPF4536 para el prototipo, debido a que es un semiconductor con bajas pérdidas por conducción y conmutación.

#### **Driver para IGBT**

Se utilizó el driver IR2110 que es un controlador de alta velocidad y alto voltaje con canales independientes de salida, una salida referenciada a tierra y la otra es un voltaje de salida flotado. Las señales de control del IR2110 son compatibles con niveles TTL.

#### **Generación de nivel**

La Fig. 6.2 muestra la configuración utilizada con el driver IR2110 para activar los semiconductores utilizados para la generación de los niveles de salida (interruptores denotados con la letra H y L en la Fig. 3.10d).

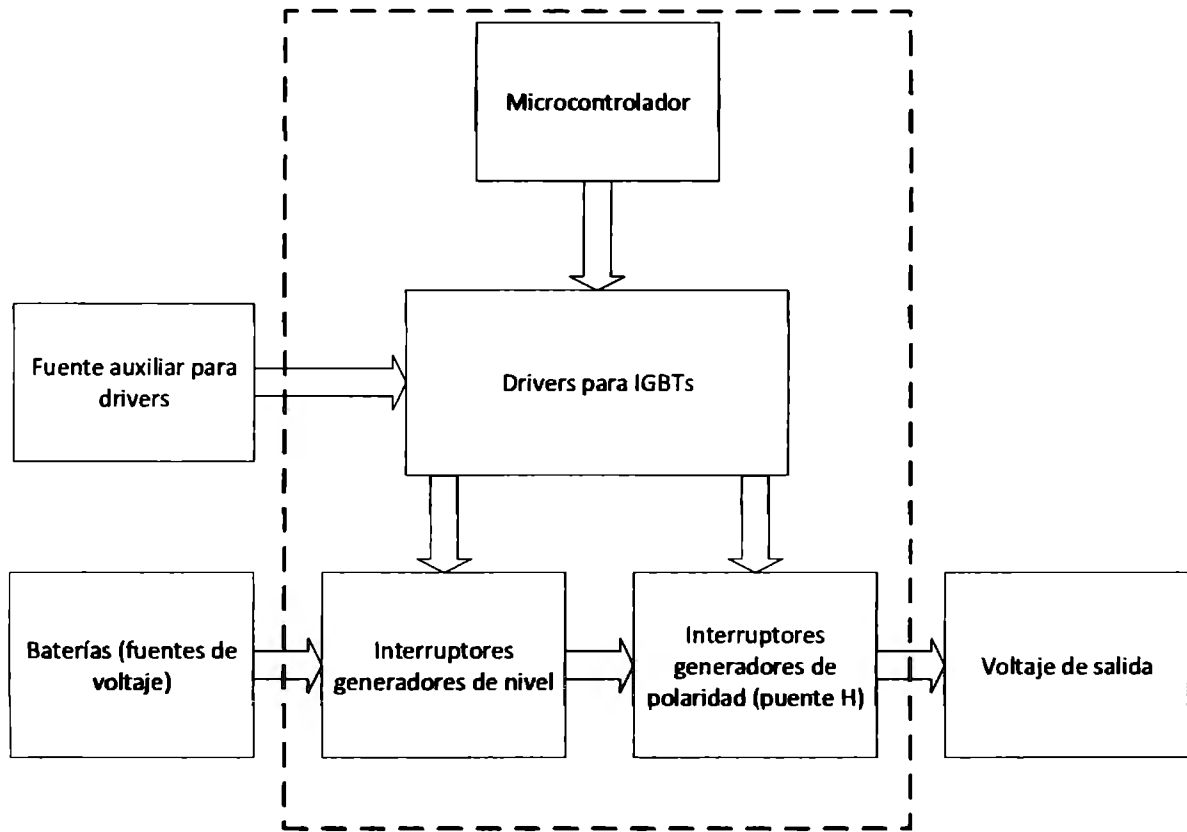


Fig. 6.1. Diagrama a bloques del inversor implementado.

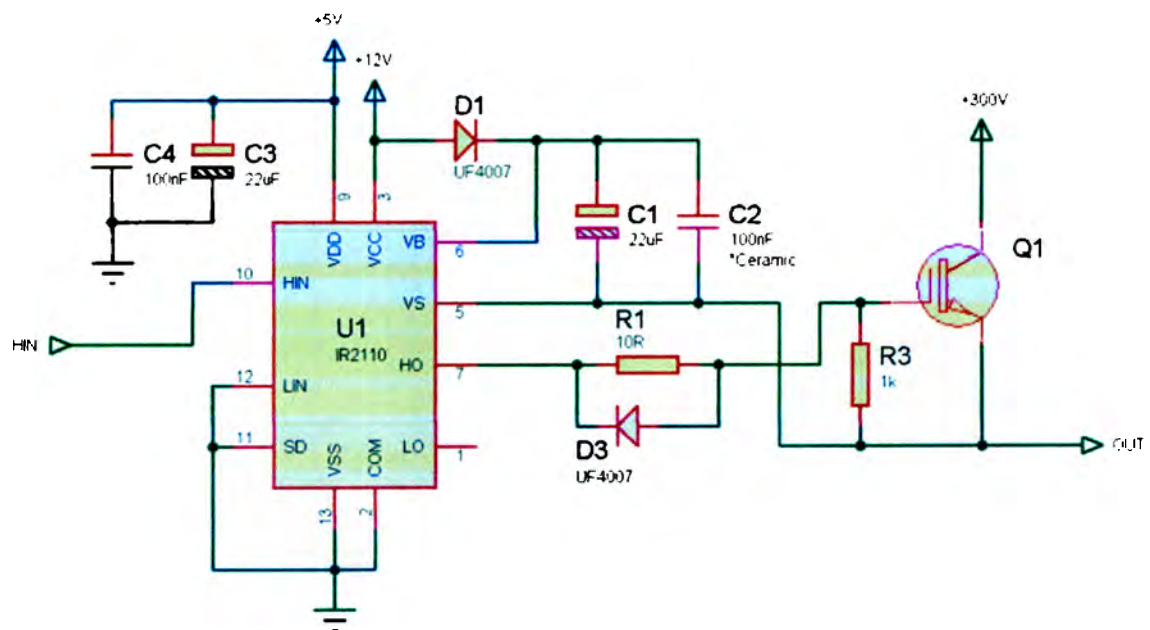


Fig. 6.2. Configuración utilizada para activar los interruptores generadores de nivel.

## Generación de polaridad

La Fig. 6.3 muestra la configuración utilizada para controlar el puente H que generara la polaridad de salida. El puente H está formado por cuatro IGBTs y para activar los semiconductores se utilizaron dos drivers IR2110.

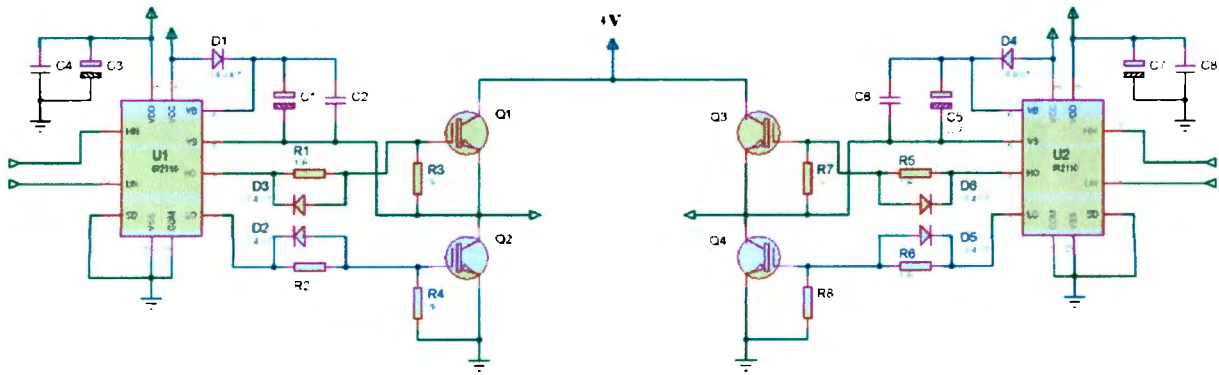


Fig. 6.3. Configuración utilizada para el puente H.

## Fuentes de voltaje.

Se configuraron cuatro fuentes de voltaje en múltiplos de 4V para realizar el prototipo tal y como se muestra en la Fig. 6.4.

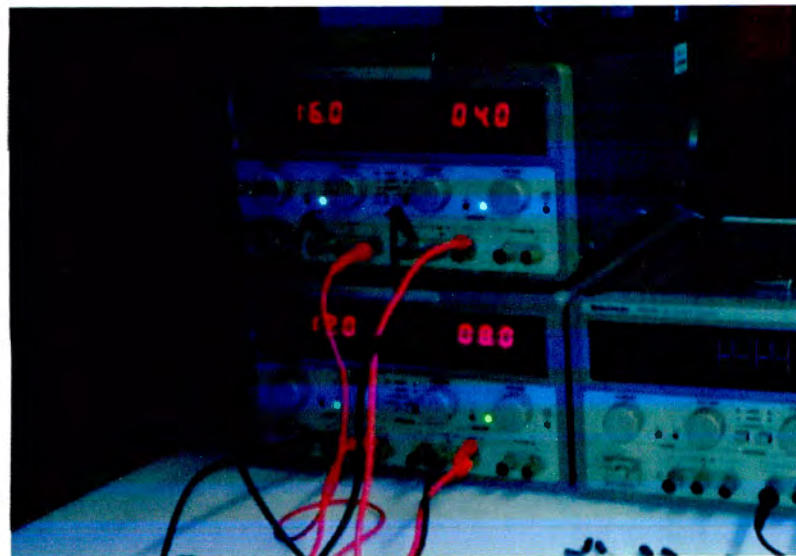


Fig. 6.4. Configuración de fuentes utilizada para la prueba.

## Carga

La carga conectada a la salida del inversor fue un foco de tipo automotriz (Fig. 6.5).



Fig. 6.5. Carga conectada a la salida del inversor.

El prototipo completo se muestra en la Fig. 6.6.

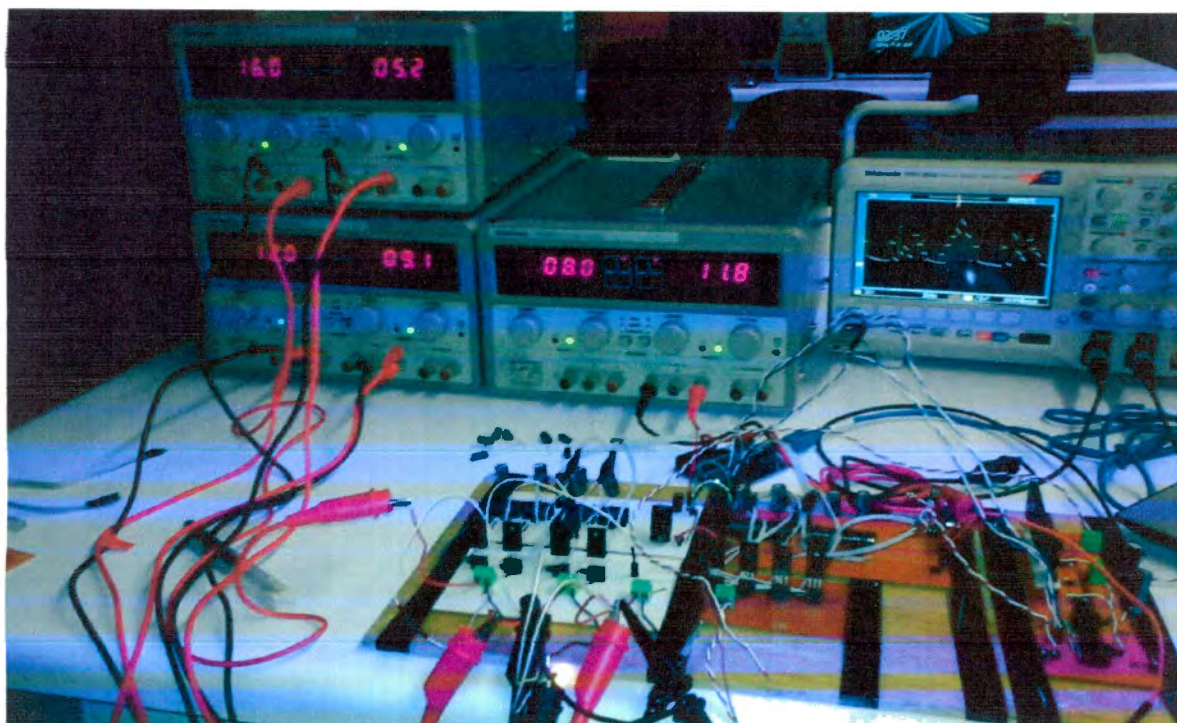


Fig. 6.6. Implementación del prototipo del inversor.

## 6.2 Resultados experimentales

Los niveles de voltaje se pudieron observar por medio del osciloscopio. Las imágenes del osciloscopio se muestran en las Fig. 6.7, Fig. 6.8 y Fig. 6.9. En las imágenes se aprecia que los niveles de voltaje no permanecen constantes, especialmente en los niveles más altos, esto se debe a dos razones, primero se utilizaron fuentes de voltaje (las cuales no operan en cuatro cuadrantes y por lo tanto no pueden recibir energía) y finalmente se usaron circuitos integrados para polarizar los IGBT's, y estos no están optimizados para la topología propuesta. El prototipo se puede mejorar utilizando por lo tanto baterías y los circuitos de activación y protección conocidos como "Snubbers".



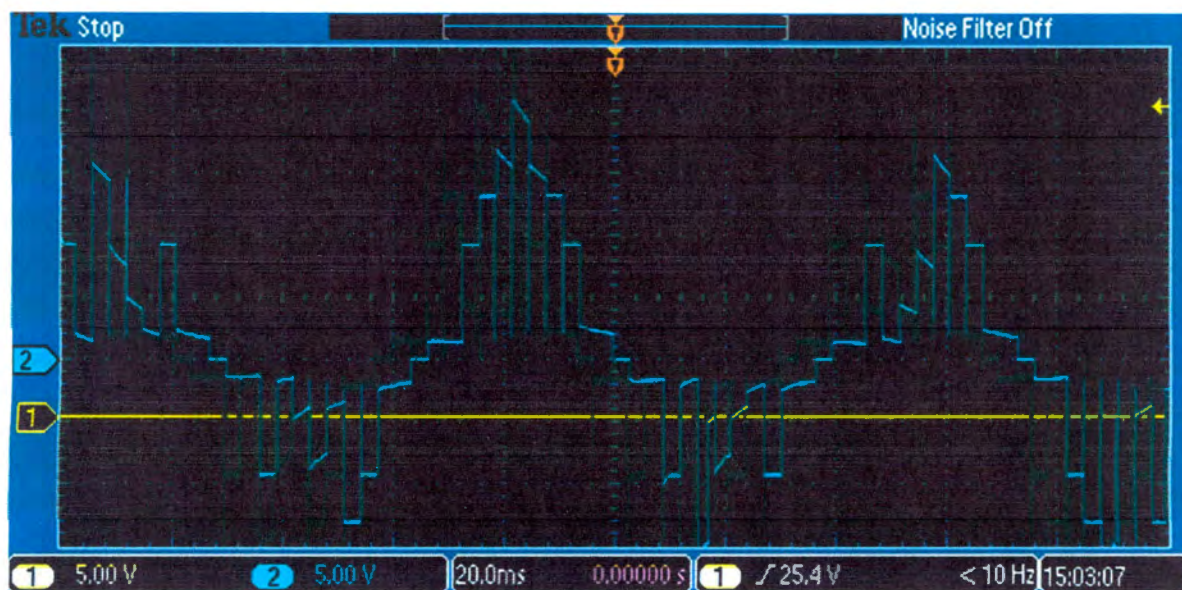


Fig. 6.7. Niveles de salida del prototipo.

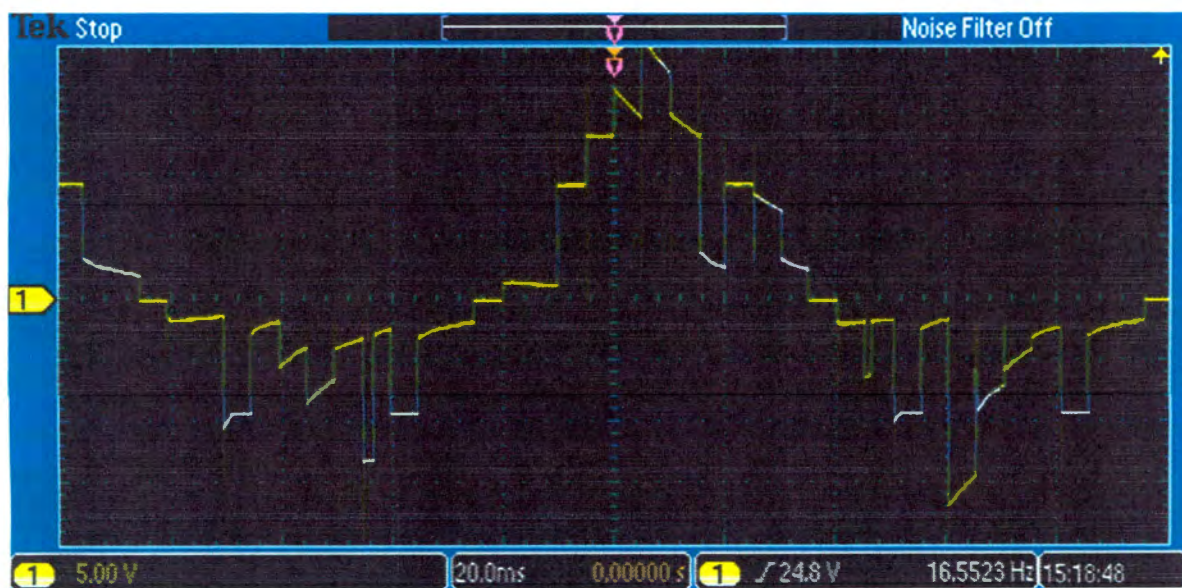


Fig. 6.8. Niveles de salida del prototipo.



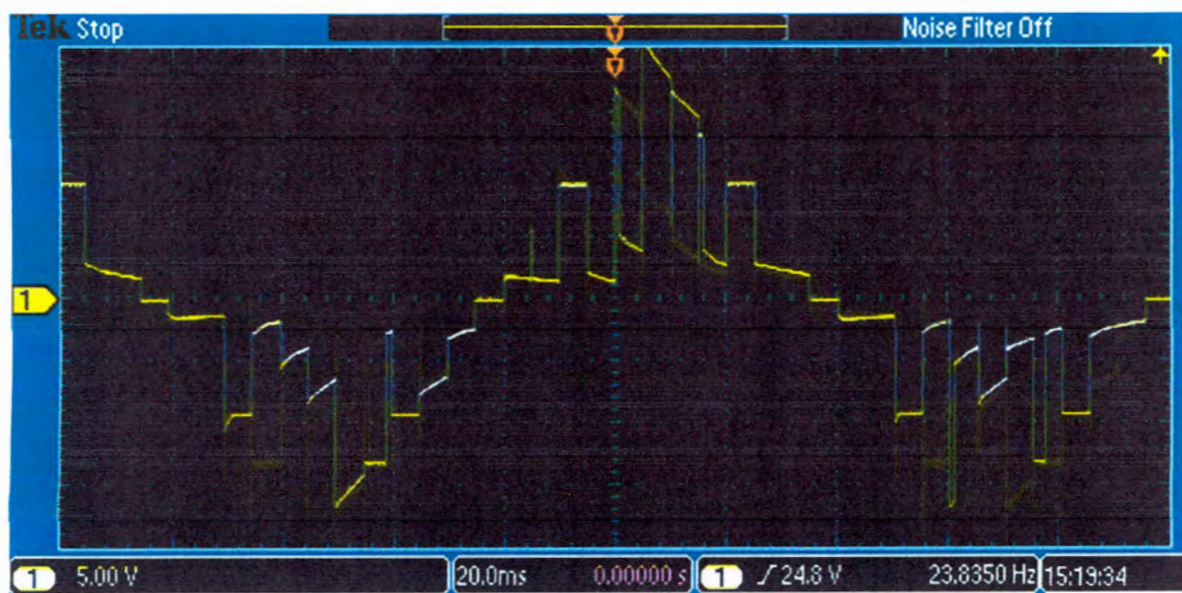


Fig. 6.9. Niveles de salida del prototipo.

## **7 Conclusiones y trabajo futuro.**

### **7.1 Conclusiones vs objetivos**

A continuación se enumeran los principales logros obtenidos de acuerdo a los objetivos planteados en el trabajo:

- Se lograron proporcionar nuevas topologías de inversores multinivel, todas ellas con un menor número de componentes que las topologías tradicionales. Las topologías propuestas permiten tener una buena calidad en la onda de salida ya que presentan una buena relación entre el número de niveles y el número de componentes empleados.
- Se identificó un área de oportunidad dentro del arte del Smart Grid, en este caso el desarrollo de nuevas topologías de inversores multinivel con un número reducido de componentes.
- Se realizó una investigación profunda en el estado del arte de inversores multinivel, revisando una gran cantidad de topologías que aparecen en la literatura. La investigación incluyó un gran número de artículos, tesis e incluso algunas patentes.
- La revisión de la literatura permitió realizar una compilación de las distintas topologías de inversores multinivel con lo que se logró comparar las diferencias entre estas topologías, incluyendo sus ventajas y desventajas.
- Se lograron proponer varias topologías de inversores multinivel, y se logró simular el comportamiento del inversor cuando era sometido a distintas condiciones.
- Se logró proporcionar una técnica de control para las topologías propuestas, esta técnica de control podría adaptarse a otro tipo de topologías.
- En general, con este trabajo de tesis se logró proporcionar una base para el desarrollo de tecnología nacional.
- Se logró realizar una publicación del trabajo realizado, además de que se tiene una patente en proceso. [62]
- Se logró realizar un prototipo de una de las topologías propuestas. Con este prototipo se pudo demostrar el funcionamiento del inversor.

### 7.1.1 Conclusiones generales

Los siguientes puntos muestran las conclusiones que aplican a las topologías de inversor propuestas:

- Las topologías propuestas tienen bajas pérdidas por conmutación y por conducción, ya que los semiconductores pueden operar a bajas frecuencias y hay un bajo número de dispositivos semiconductores conduciendo a la vez.
- Todas las topologías propuestas requieren de una configuración asimétrica de fuentes para formar los distintos niveles.
- Ninguna de las topologías propuestas permite implementar fuentes simétricas para su operación.
- Todas las topologías propuestas requieren de dispositivos semiconductores con diferentes características de potencia.
- Los picos de voltaje generados por las cargas inductivas desaparecen al incrementar el número de niveles del inversor, esto se puede traducir en una disminución de los esfuerzos eléctricos experimentados por los dispositivos semiconductores, esto permite incrementar el tiempo de vida del inversor.
- No fue posible verificar que se pudiera conseguir el balance de carga de las baterías (todas deberían contribuir con la misma potencia), sin embargo, el algoritmo para la descarga controlada de las baterías funcionó satisfactoriamente.
- El algoritmo para la descarga controlada de las baterías y el manejo de fallas es bastante robusto debido a que opera a nivel bit haciendo que el sistema de control pueda funcionar a altas velocidades.
- El algoritmo de control puede operar con cualquiera de las topologías propuestas, incluso podría funcionar con otro tipo de topologías.

### 7.1.2 Conclusiones de la primera topología propuesta

- La primera topología propuesta requiere de un menor número de interruptores o dispositivos de conmutación que las topologías clásicas para funcionar, sin embargo, requiere de un gran número de fuentes para operar, incrementando el costo del sistema.
- En esta topología es posible controlar el número de niveles o la tolerancia a fallas, cambiando el valor de las fuentes de alimentación.

### 7.1.3 Conclusiones de la segunda topología propuesta

- La segunda topología propuesta requiere de un menor número de fuentes de voltaje y dispositivos de conmutación que las topologías tradicionales para funcionar y permite lograr una buena relación entre el número de niveles e interruptores.
- Los dispositivos semiconductores de la segunda topología propuesta son unidireccionales lo cual puede ayudar a disminuir el costo del sistema.

### 7.1.4 Conclusiones de la tercera topología propuesta

- La tercera topología permite eliminar la necesidad de un puente H para generar la polaridad del inversor, sin embargo requiere que todos los semiconductores sean bidireccionales.
- En esta topología hay fuentes de voltaje tanto aisladas como no aisladas. Dos fuentes de voltaje no aisladas se pueden sustituir por una fuente de voltaje y dos capacitores para disminuir el costo del inversor.

### 7.1.5 Conclusiones de la cuarta topología propuesta

- En la propuesta III se observó que había combinaciones de fuentes que no proporcionaban una simetría en el número de niveles positivos y negativos. Esto sugirió la introducción de un puente H para lograr la simetría e incrementar a su vez el número de niveles en la propuesta IV.

## 7.2 Contribuciones más relevantes

Las contribuciones más relevantes de este trabajo son:

- Cuatro propuestas de topologías de inversor multinivel.
- Un estudio muy amplio del estado del arte en inversores multinivel.
- Se están desarrollando herramientas auxiliares de software que permiten diseñar inversores multinivel.
- Se propuso un algoritmo de control para el manejo de fallas y descarga de las baterías.
- Se concibió una nueva forma de desarrollar topologías multinivel extendiéndolas a 3 dimensiones.

- Se propuso una topología de inversor multinivel con un bajo número de componentes que no compromete la calidad de la energía eléctrica.

### **7.3 Trabajo futuro**

Existen diversos temas de interés para investigación futura:

- Realizar un prototipo físico de las topologías propuestas.
- Revisar la posibilidad de expandir las topologías a un sistema trifásico.
- Implementar físicamente el algoritmo propuesto para la descarga controlada de las baterías y el manejo de la tolerancia a fallas.
- Probar las eficiencias de las distintas topologías de inversor propuestas.
- Probar el algoritmo de control con otras topologías ya existentes.
- Diseñar e implementar un filtro adecuado para cada topología.
- Análisis de costos.
- Someter el trabajo a publicaciones.

## 8 Referencias y bibliografía

- [1] T. Noguchi and S. Suroso. "Review of novel multilevel current-source inverters with H-bridge and common-emitter based topologies." in Proc. 2010 IEEE Energy Conversion Congress and Exposition (ECCE). Atlanta, GA, USA, Sept. 2010.
- [2] P. Sotoodeh and R. Miller. "A new multi-level inverter with FACTS capabilities for wind applications." in IEEE Green Technologies Conference, 2013, pp. 271–276.
- [3] K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu, and S. Jain. "Multilevel inverter topologies with reduced device count: A review." IEEE Trans. Power Electron., vol. 31, no. 1, pp. 135–151, Jan. 2016.
- [4] N. Yousefpoor, S. H. Fathi, N. Farokhnia, and H. A. Abyaneh. "THD minimization applied directly on the line-to-line voltage of multilevel inverters." IEEE Trans. Ind. Electron., vol. 59, no. 1, pp. 373–380, Jan. 2012.
- [5] Activity-and-Sustainable-Development-Report, ALSTOM, 2015.
- [6] Smart Grid. Fundamentos, tecnologías y aplicaciones. Rommel A. Vicini. 2012.
- [7] The advanced smart grid: edge power driving sustainability / Andres Carvallo, John Cooper. 2011.
- [8] Electrónica de Potencia. Circuitos, Dispositivos y Aplicaciones. Muhammad H. Rashid. Prentice Hall. 3ra edición 2004.
- [9] Prospectiva del sector eléctrico. Secretaría de energía, 2014.
- [10] Censo de población y vivienda del Instituto Nacional de Estadística, Geografía e Informática (INEGI), disponible en su página oficial: [www.inegi.gob.mx](http://www.inegi.gob.mx) , 2015.
- [11] Scott Baron y George Weinmann. Case study: The energy context. Michigan Business School. Diciembre 2003.
- [12] Power electronics: converters, applications and design. N. Mohan, T.M. Undeland, W.P.Robbins. Wiley & Sons. 1995.

- [13] Análisis y desarrollo de un inversor multinivel. Ernesto Bárcenas Bárcenas. Centro nacional de investigación y desarrollo tecnológico CENIDET.
- [14] Fang Z. Peng. A generalized multilevel inverter topology with self voltage balancing. Conference Record of the 2000 IEEE Industry Applications Society Annual Meeting, 2000. vol.3: 2024-2031
- [15] J. Rodriguez, J.-S. Lai, and F. Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications." *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, Aug. 2002.
- [16] Y. Zhang, W. Fei and S. Wang, "Investigation of Topologies of Low Voltage Multilevel Inverters," *Power Electronics and Drive Systems, 2007. PEDS '07. 7th International Conference on*, Bangkok, 2007, pp. 1523-1527.
- [17] E. Babaei, "A Cascade Multilevel Converter Topology With Reduced Number of Switches," in *IEEE Transactions on Power Electronics*, vol. 23, no. 6, pp. 2657-2664, Nov. 2008.
- [18] Gui-Jia Su, "Multilevel DC-link inverter," in *IEEE Transactions on Industry Applications*, vol. 41, no. 3, pp. 848-854, May-June 2005.
- [19] Gui-Jia Su, "Multilevel DC link inverter," *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, 2004, pp. 806-812 vol.2
- [20] Y. Hinago and H. Koizumi, "A single phase multilevel inverter using switched series/parallel DC voltage sources." *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE*, San Jose, CA, 2009, pp. 1962-1967.
- [21] Y. Hinago and H. Koizumi, "A Single-Phase Multilevel Inverter Using Switched Series/Parallel DC Voltage Sources." in *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2643-2650, Aug. 2010.
- [22] W. K. Choi and F. s. Kang, "H-bridge based multilevel inverter using PWM switching function." *Telecommunications Energy Conference, 2009. INTELEC 2009. 31st International*, Incheon, 2009, pp. 1-5.
- [23] Lee, S. H.; Kang, F. S.; "A new structure of H-bridge Multilevel inverter." in Proc. KIPE Conf., 2008, pp. 388-390, 2008.
- [24] J. Ebrahimi, E. Babaei and G. B. Gharehpetian, "A New Multilevel Converter Topology With Reduced Number of Power Electronic Components." in *IEEE Transactions on Industrial Electronics*, vol. 59, no. 2, pp. 655-667, Feb. 2012.
- [25] E. Najafi and A. H. M. Yatim, "Design and Implementation of a New Multilevel Inverter Topology," in *IEEE Transactions on Industrial Electronics*, vol. 59, no. 11, pp. 4148-4154, Nov. 2012.
- [26] E. Najafi, A. H. M. Yatim and A. S. Samosir, "A new topology -Reversing Voltage (RV) - for multi level inverters," *Power and Energy Conference, 2008. PEC'08. IEEE 2nd International*, Johor Bahru, 2008, pp. 604-608.

- [27] M. F. Kangarlu and E. Babaei. "A Generalized Cascaded Multilevel Inverter Using Series Connection of Submultilevel Inverters." in *IEEE Transactions on Power Electronics*, vol. 28, no. 2, pp. 625-636, Feb. 2013.
- [28] M. F. Kangarlu, E. Babaei and S. Laali, "Symmetric multilevel inverter with reduced components based on non-insulated dc voltage sources," in *IET Power Electronics*, vol. 5, no. 5, pp. 571-581, May 2012.
- [29] M. Toupchi Khosroshahi, "Crisscross cascade multilevel inverter with reduction in number of components," in *IET Power Electronics*, vol. 7, no. 12, pp. 2914-2924, 12 2014.
- [30] Z. Bayat and E. Babaei, "A new cascaded multilevel inverter with reduced number of switches," *Power Electronics and Drive Systems Technology (PEDSTC), 2012 3rd*. Tehran, 2012, pp. 416-421.
- [31] V. Singh, S. Gupta, S. Pattnaik and R. K. Dewangan, "New hybrid cascade multilevel inverter with less number of switches," *Power India International Conference (PIICON), 2014 6th IEEE*. Delhi, 2014, pp. 1-6.
- [32] S. P. Gautam, S. Gupta, S. Pattnaik and V. Singh, "New topology with reduced number of switches in asymmetrical cascaded multilevel inverter," *Communication and Computing (ARTCom 2013), Fifth International Conference on Advances in Recent Technologies in*, Bangalore, 2013, pp. 336-344.
- [33] G. Ceglia, V. Guzman, C. Sanchez, F. Ibanez, J. Walter and M. I. Gimenez, "A New Simplified Multilevel Inverter Topology for DC/AC Conversion." in *IEEE Transactions on Power Electronics*, vol. 21, no. 5, pp. 1311-1319, Sept. 2006.
- [34] N. A. Rahim, K. Chaniago and J. Selvaraj, "Single-Phase Seven-Level Grid-Connected Inverter for Photovoltaic System," in *IEEE Transactions on Industrial Electronics*, vol. 58, no. 6, pp. 2435-2443, June 2011.
- [35] G. M. Martins, J. A. Pomilio, S. Buso and G. Spiazzi, "Three-Phase Low-Frequency Commutation Inverter for Renewable Energy Systems." in *IEEE Transactions on Industrial Electronics*, vol. 53, no. 5, pp. 1522-1528, Oct. 2006.
- [36] Y. Ounejjar and K. Al-Haddad, "A new high power efficiency cascaded U cells multilevel converter," *Industrial Electronics, 2009. ISIE 2009. IEEE International Symposium on*, Seoul, 2009, pp. 483-488.
- [37] Y. Ounejjar, K. Al-Haddad and L. A. Grégoire, "Novel three phase seven level PWM converter." *Electrical Power & Energy Conference (EPEC), 2009 IEEE*. Montreal, QC, 2009, pp. 1-6.
- [38] Y. Ounejjar and K. Al-Haddad, "Multilevel hysteresis controller of the novel seven-level packed U cells converter," *Power Electronics Electrical Drives Automation and Motion (SPEEDAM), 2010 International Symposium on*, Pisa, 2010, pp. 186-191.

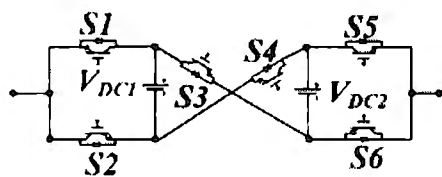


- [39] Y. Ounejjar, K. Al-Haddad and L. A. Gregoire, "Packed U Cells Multilevel Converter Topology: Theoretical Study and Experimental Validation," in *IEEE Transactions on Industrial Electronics*, vol. 58, no. 4, pp. 1294-1306, April 2011.
- [40] A. Chen, Chenghui Zhang, Hao Ma and Yan Deng, "A novel multilevel inverter topology with no clamping diodes and flying capacitors," *Industrial Electronics, 2008. IEC'ON 2008. 34th Annual Conference of IEEE*, Orlando, FL, 2008, pp. 3184-3187.
- [41] M. F. Kangarlu, E. Babaei and M. Sabahi, "Cascaded cross-switched multilevel inverter in symmetric and asymmetric conditions," in *IET Power Electronics*, vol. 6, no. 6, pp. 1041-1050, July 2013.
- [42] K. K. Gupta and S. Jain, "Comprehensive review of a recently proposed multilevel inverter," *IET Power Electron.*, vol. 7, no. 3, pp. 467-479, Mar. 2014.
- [43] Yi-Hung Liao and Ching-Ming Lai, "Newly-Constructed Simplified Single-Phase Multistring Multilevel Inverter Topology for Distributed Energy Resources," in *IEEE Transactions on Power Electronics*, vol. 26, no. 9, pp. 2386-2392, Sept. 2011.
- [44] K. K. Gupta and S. Jain, "Algorithm for asymmetric source configuration in a newly constructed multistring multilevel inverter topology," *Power Electronics, Machines and Drives (PEMD 2012), 6th IET International Conference on*, Bristol, 2012, pp. 1-6.
- [45] J. Han and T. Tang, "A Hybrid Cascade Asymmetrical Multilevel Converter with Isolated Voltage Source," *Industrial Electronics Society, 2007. IEC'ON 2007. 33rd Annual Conference of the IEEE*, Taipei, 2007, pp. 2119-2123.
- [46] K. K. Gupta and S. Jain, "Topology for multilevel inverters to attain maximum number of levels from given DC sources," in *IET Power Electronics*, vol. 5, no. 4, pp. 435-446, April 2012.
- [47] A. Mokhberdorran and A. Ajami, "Symmetric and Asymmetric Design and Implementation of New Cascaded Multilevel Inverter Topology," in *IEEE Transactions on Power Electronics*, vol. 29, no. 12, pp. 6712-6724, Dec. 2014.
- [48] S. Bahravar, E. Babaei and S. H. Hosseini, "New cascaded multilevel inverter topology with reduced variety of magnitudes of dc voltage sources," *Power Electronics (IICPE), 2012 IEEE 5th India International Conference on*, Delhi, 2012, pp. 1-6.
- [49] E. Zamiri, S. Hamkari, M. Moradzadeh and E. Babaei, "A new cascaded multilevel inverter structure with less number of switches," *Power Electronics, Drive Systems and Technologies Conference (PEDSTC), 2014 5th*, Tehran, 2014, pp. 199-204.
- [50] L. Mohammadalibeigy and N. A. Azli, "A new symmetric multilevel inverter structure with less number of power switches," *Energy Conversion (CENCON), 2014 IEEE Conference on*, Johor Bahru, 2014, pp. 321-324.
- [51] L. M. A. Beigi, N. A. Azli, F. Khosravi, E. Najafi and A. Kaykhosravi, "A new multilevel inverter topology with reduced number of power switches," *Power and Energy (PEC'On), 2012 IEEE International Conference on*, Kota Kinabalu, 2012, pp. 55-59.

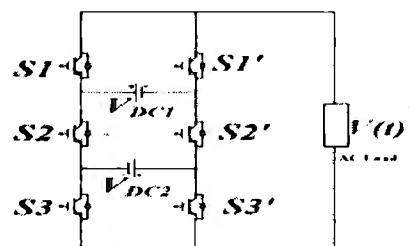
- [52] P. S. Rani, K. V. S. Prasadarao and K. R. N. V. Subbarao, "Comparison of symmetrical and asymmetrical multilevel inverter topologies with reduced number of switches," *Smart Electric Grid (ISEG), 2014 International Conference on*, Guntur, 2014, pp. 1-5.
- [53] A. Chen, Chenghui Zhang, Hao Ma and Yan Deng, "A novel multilevel inverter topology with no clamping diodes and flying capacitors," *Industrial Electronics, 2008. IEC'ON 2008. 34th Annual Conference of IEEE*, Orlando, FL, 2008, pp. 3184-3187.
- [54] V. Sonti, S. Jain and V. Agarwal, "A new low cost and high efficiency cascaded half-bridge multilevel inverter with reduced number of switches," *Power Electronics, Drives and Energy Systems (PEDES), 2014 IEEE International Conference on*, Mumbai, 2014, pp. 1-6.
- [55] H. Jabir, S. Mekhilef, M. Nakaoka and K. Nishida, "Development of a transformer-based multilevel inverter topology for stand-alone photovoltaic system," *Power Electronics and Applications (EPE), 2013 15th European Conference on*, Lille, 2013, pp. 1-10.
- [56] A. Rufer, M. Veenstra, K. Gopakumar. "Asymmetric Multilevel Converter for High Resolution Voltage Phasor Generation", 1999.
- [57] S. H. Hosseini, A. Farakhor and S. K. Haghghian, "New cascaded multilevel inverter topology with reduced number of switches and sources," *Electrical and Electronics Engineering (ELECO), 2013 8th International Conference on*, Bursa, 2013, pp. 97-101.
- [58] N. P. Schibli, Tung Nguyen and A. C. Rufer, "A three-phase multilevel converter for high-power induction motors," in *IEEE Transactions on Power Electronics*, vol. 13, no. 5, pp. 978-986, Sep 1998.
- [59] S. Boobalan and R. Dhanasekaran, "Hybrid topology of asymmetric cascaded multilevel inverter with renewable energy sources," *Advanced Communication Control and Computing Technologies (ICACCT), 2014 International Conference on*, Ramanathapuram, 2014, pp. 1046-1051.
- [60] E. Zamiri; N. Vosoughi; S. H. Hosseini; R. Barzegarkhoo; M. Sabahi, "A New Cascaded Switched-Capacitor Multilevel Inverter Based on Improved Series-Parallel Conversion with Less Number of Components," in *IEEE Transactions on Industrial Electronics* . 2015, pp.1-1.
- [61] Y. Liu, H. Hong and A. Q. Huang, "Real-Time Algorithm for Minimizing THD in Multilevel Inverters With Unequal or Varying Voltage Steps Under Staircase Modulation," in *IEEE Transactions on Industrial Electronics*, vol. 56, no. 6, pp. 2249-2258, June 2009.
- [62] Flores-González Aldo, "A new generalized asymmetric multilevel inverter topology based on polygonal prisms", *International Journal of New Computer Architectures and their Applications (IJNCAA)*, vol. 6, no. 2, April 2016.
- [63] Normas de interconexión CFE, 2007.

## 9 Anexos

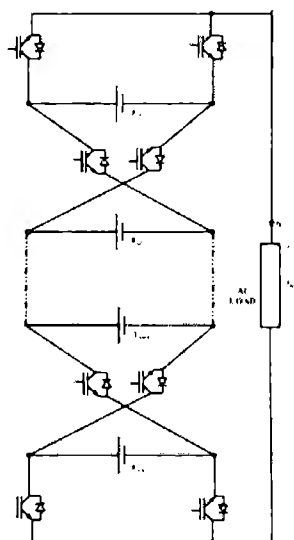
### 9.1 Anexo A. Topologías similares a la estructura PUC.



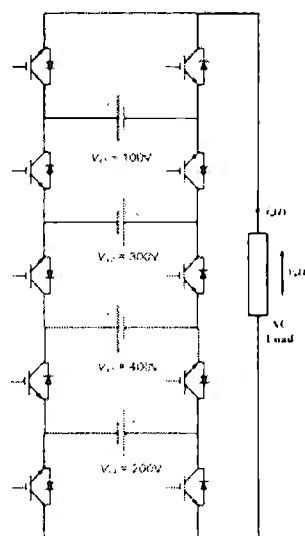
Estructura propuesta en [06574816]



Estructura propuesta en [06759716]



Estructura propuesta en [05773091]



Estructura propuesta en [06242081]

## 9.2 Anexo B. Tablas de conmutación de las distintas topologías de inversores MLI.

Tabla A 1. Posibles combinaciones para un inversor en cascada de 5 niveles

Salida V	Estado de conmutación							
	$S_{11}$	$S_{12}$	$S_{13}$	$S_{14}$	$S_{21}$	$S_{22}$	$S_{23}$	$S_{24}$
-2Vdc	0	1	1	0	0	1	1	0
-1Vdc	0	1	1	0	1	1	0	0
0	1	1	0	0	1	1	0	0
1Vdc	1	0	0	1	1	1	0	0
2Vdc	1	0	0	1	1	0	0	1

Tabla A 2. Niveles de voltaje con diodo fijador y sus estados de conmutación.

Salida V	Estado de conmutación							
	$S_{a1}$	$S_{a2}$	$S_{a3}$	$S_{a4}$	$S'_{a1}$	$S'_{a2}$	$S'_{a3}$	$S'_{a4}$
Vdc	1	1	1	1	0	0	0	0
3Vdc/4	0	1	1	1	1	0	0	0
Vdc/2	0	0	1	1	1	1	0	0
Vdc/4	0	0	0	1	1	1	1	0
0	0	0	0	0	1	1	1	1

Tabla A 3. Una combinación posible de interruptores en el inversor con capacitores flotantes.

Salida V	Estado de conmutación							
	$S_{a1}$	$S_{a2}$	$S_{a3}$	$S_{a4}$	$S'_{a1}$	$S'_{a2}$	$S'_{a3}$	$S'_{a4}$
Vdc	1	1	1	1	0	0	0	0
3Vdc/4	1	1	1	0	1	0	0	0
Vdc/2	1	1	0	0	1	1	0	0
Vdc/4	1	0	0	0	1	1	1	0
0	0	0	0	0	1	1	1	1

Tabla A 4. Una combinación posible de interruptores en la topología generalizada

Estado	Voltaje en el bus	Interruptores encendidos
1	0	Sn1, Sn2, Sn3, Sn4
2	$1V_{DC}$	Sp1, Sc1, Sc5, Sc11
3	$2V_{DC}$	Sp1, Sp2, Sc3, Sc9
4	$3V_{DC}$	Sp1, Sp2, Sp3, Sc7
5	$4V_{DC}$	Sp1, Sp2, Sp3, Sp4

Tabla A 5. Estados de conmutación para la topología MLDCL

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{DC,1}$	$S_2, S_3, S_5, S_7$
2	$V_{DC,2}$	$S_1, S_4, S_5, S_7$
3	$V_{DC,3}$	$S_1, S_3, S_6, S_7$
4	$V_{DC,4}$	$S_1, S_3, S_5, S_8$
5	$V_{DC,1} + V_{DC,2}$	$S_2, S_4, S_5, S_7$
6	$V_{DC,1} + V_{DC,3}$	$S_2, S_3, S_6, S_7$
7	$V_{DC,1} + V_{DC,4}$	$S_2, S_3, S_5, S_8$
8	$V_{DC,2} + V_{DC,3}$	$S_1, S_4, S_6, S_7$
9	$V_{DC,2} + V_{DC,4}$	$S_1, S_4, S_5, S_8$
10	$V_{DC,3} + V_{DC,4}$	$S_1, S_3, S_6, S_8$
11	$V_{DC,1} + V_{DC,2} + V_{DC,3}$	$S_2, S_4, S_6, S_7$
12	$V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_1, S_4, S_6, S_8$
13	$V_{DC,1} + V_{DC,3} + V_{DC,4}$	$S_2, S_3, S_6, S_8$
14	$V_{DC,1} + V_{DC,2} + V_{DC,4}$	$S_2, S_4, S_5, S_8$
15	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_2, S_4, S_6, S_8$
16	0	$S_1, S_3, S_5, S_7$

Tabla A 6. Estados de conmutación para la topología SSPS-MLI

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{DC,1}$	$S_2, S_3, S_5, S_7$
2	$V_{DC,2}$	$S_1, S_4, S_5, S_7$
3	$V_{DC,3}$	$S_1, S_3, S_6, S_7$
4	$V_{DC,4}$	$S_1, S_3, S_5, S_8$
5	$V_{DC,1} + V_{DC,2}$	$S_2, S_4, S_5, S_7$
6	$V_{DC,1} + V_{DC,3}$	$S_2, S_3, S_6, S_7$
7	$V_{DC,1} + V_{DC,4}$	$S_2, S_3, S_5, S_8$
8	$V_{DC,2} + V_{DC,3}$	$S_1, S_4, S_6, S_7$
9	$V_{DC,2} + V_{DC,4}$	$S_1, S_4, S_5, S_8$
10	$V_{DC,3} + V_{DC,4}$	$S_1, S_3, S_6, S_8$
11	$V_{DC,1} + V_{DC,2} + V_{DC,3}$	$S_2, S_4, S_6, S_7$
12	$V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_1, S_4, S_6, S_8$
13	$V_{DC,1} + V_{DC,3} + V_{DC,4}$	$S_2, S_3, S_6, S_8$
14	$V_{DC,1} + V_{DC,2} + V_{DC,4}$	$S_2, S_4, S_5, S_8$
15	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_2, S_4, S_6, S_8$
16	0	$S_1, S_3, S_5, S_7$

Tabla A 7. Estados de conmutación para la topología SCSS-MLI.

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{DC,1}$	$S_2, S_3$
2	$V_{DC,1} + V_{DC,2}$	$S_2, S_4, S_5$
3	$V_{DC,1} + V_{DC,2} + V_{DC,3}$	$S_2, S_4, S_6, S_7$
4	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_2, S_4, S_6, S_8$
5	0	$S_1$

Tabla A 8. Estados de conmutación para la topología MLM-MLI.

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{DC,1}$	$S_2$
2	$V_{DC,1} + V_{DC,2}$	$S_3$
3	$V_{DC,3} + V_{DC,4}$	$S_1, S_3, S_5$
4	$V_{DC,1} + V_{DC,2} + V_{DC,3}$	$S_4$
5	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_5$
6	0	$S_1$

Tabla A 9. Estados de conmutación para la topología RV-MLI

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{DC,1}$	$S_1, S_3, S_4, S_5, S_7$
2	$V_{DC,3}$	$S_2, S_3, S_5, S_8$
3	$V_{DC,4}$	$S_2, S_3, S_4, S_6$
4	$V_{DC,1} + V_{DC,2}$	$S_1, S_4, S_5, S_8$
5	$V_{DC,2} + V_{DC,3}$	$S_2, S_5, S_7$
6	$V_{DC,3} + V_{DC,4}$	$S_2, S_3, S_6, S_8$
7	$V_{DC,1} + V_{DC,4}$	$S_1, S_3, S_4, S_6, S_7$
8	$V_{DC,1} + V_{DC,2} + V_{DC,3}$	$S_1, S_5$
9	$V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_2, S_6, S_7$
10	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_1, S_6$
11	0	$S_2, S_3, S_4, S_5$

Tabla A 10. Estados de conmutación para la topología 2SELG-MLI

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{DC,1}$	$S_1, S_2'$
2	$V_{DC,1} + V_{DC,2}$	$S_2, S_1'$
3	$V_{DC,1} + V_{DC,2} + V_{DC,3}$	$S_2, S_2'$
4	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_3, S_2'$
5	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4} + V_{DC,5}$	$S_3, S_3'$
6	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4} + V_{DC,5} + V_{DC,6}$	$S_4, S_3'$
7	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4} + V_{DC,5} + V_{DC,6} + V_{DC,7}$	$S_4, S_4'$

Tabla A 11. Estados de conmutación para la topología Crisscross MLI (2 módulos)

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{DC,1}$	$S_{11}, S_{32}$
2	$V_{DC,2}$	$S_{41}, S_{32}$
3	$V_{DC,3}$	$S_{31}, S_{12}$
4	$V_{DC,4}$	$S_{31}, S_{42}$
5	$V_{DC,1} + V_{DC,2}$	$S_{21}, S_{32}$
6	$V_{DC,1} + V_{DC,3}$	$S_{11}, S_{12}$
7	$V_{DC,1} + V_{DC,4}$	$S_{11}, S_{42}$
8	$V_{DC,2} + V_{DC,3}$	$S_{41}, S_{12}$
9	$V_{DC,2} + V_{DC,4}$	$S_{41}, S_{42}$
10	$V_{DC,3} + V_{DC,4}$	$S_{31}, S_{22}$
11	$V_{DC,1} + V_{DC,2} + V_{DC,3}$	$S_{21}, S_{12}$
12	$V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_{41}, S_{22}$
13	$V_{DC,1} + V_{DC,3} + V_{DC,4}$	$S_{11}, S_{22}$
14	$V_{DC,1} + V_{DC,2} + V_{DC,4}$	$S_{21}, S_{42}$
15	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_{21}, S_{22}$
16	0	$S_{31}, S_{32}$

Tabla A 12. Estados de conmutación para la estructura básica propuesta en [30]

Estado	Estados de conmutación			$V_o$
	$S_1$	$S_2$	$S_3$	
1	0	0	1	0
2	0	1	0	$V_1$
3	1	0	0	$V_1 + V_2$

Tabla A 13. Estados de conmutación para la estructura básica propuesta en [30]

Estados		1	2	3	...	$n_{step}$	
Estados de los interruptores	Unidad 1	$S_{1,1}$	0	0	1		1
		$S_{2,1}$	0	1	0		0
		$S_{3,1}$	1	0	0		0
	Unidad 2	$S_{1,2}$	0	0	0		1
		$S_{2,2}$	0	0	0		0
		$S_{3,2}$	1	1	1		0
	...	...	...	...	...	...	...
	Unidad j	$S_{1,j}$	0	0	0		1
		$S_{2,j}$	0	0	0		0
		$S_{3,j}$	1	1	1		0
	...	...	...	...	...	...	...
	$v_o(t)$		0	$V_{1,1}$	$V_{1,1} + V_{2,1}$	...	$\sum_{j=1}^n \sum_{k=1}^2 V_{k,j}$

Tabla A 14. MLI propuesto en [31] configuración simétrica.

Estado	Voltaje de salida	Estados de conmutación											
		$D_1$	$D_2$	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$T_1$	$T_2$	$T_3$	$T_4$
1	+1Vdc	0	0	1	0	0	1	0	0	1	0	0	1
2	+2Vdc	1	0	0	0	1	1	0	0	1	0	0	1
3	+3Vdc	0	0	0	1	0	1	0	0	1	0	0	1
4	+4Vdc	0	1	0	1	0	0	0	1	1	0	0	1
5	+5Vdc	0	0	0	1	0	0	1	0	1	0	0	1
6	0	0	0	0	0	0	0	0	0	1	1	0	0
7	-1Vdc	0	0	1	0	0	1	0	0	0	1	1	0
8	-2Vdc	1	0	0	0	1	1	0	0	0	1	1	0
9	-3Vdc	0	0	0	1	0	1	0	0	0	1	1	0
10	-4Vdc	0	0	0	1	0	0	0	1	0	1	1	0
11	-5Vdc	0	0	0	1	0	0	1	0	0	1	1	0



Tabla A 15. MLI propuesto en [31] configuración asimétrica.

Estado	Voltaje de salida	Estados de conmutación											
		$D_1$	$D_2$	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$T_1$	$T_2$	$T_3$	$T_4$
1	+1Vdc	0	0	1	0	0	1	0	0	1	0	0	1
2	+2Vdc	1	0	0	0	1	1	0	0	1	0	0	1
3	+3Vdc	0	0	0	1	0	1	0	0	1	0	0	1
4	+4Vdc	0	1	1	0	0	0	0	1	1	0	0	1
5	+5Vdc	1	1	0	0	1	0	0	1	1	0	0	1
6	+6Vdc	0	1	0	1	0	0	0	1	1	0	0	1
7	+7Vdc	0	0	1	0	0	0	1	0	1	0	0	1
8	+8Vdc	1	0	0	0	1	0	1	0	1	0	0	1
9	+9Vdc	0	0	0	1	0	0	1	0	1	0	0	1
10	0	0	0	0	0	0	0	0	0	1	1	0	0
11	-1Vdc	0	0	1	0	0	1	0	0	0	1	1	0
12	-2Vdc	1	0	0	0	1	1	0	0	0	1	1	0
13	-3Vdc	0	0	0	1	0	1	0	0	0	1	1	0
14	-4Vdc	0	1	1	0	0	0	0	1	0	1	1	0
15	-5Vdc	1	1	0	0	1	0	0	1	0	1	1	0
16	-6Vdc	0	1	0	1	0	0	0	1	0	1	1	0
17	-7Vdc	0	0	1	0	0	0	1	0	0	1	1	0
18	-8Vdc	1	0	0	0	1	0	1	0	0	1	1	0
19	-9Vdc	0	0	0	1	0	0	1	0	0	1	1	0

Tabla A 16. MLI propuesto en [32].

Estado	Voltaje de salida	$T_1$	$T_2$	$T_3$	$T_4$	$T_5$	$T_6$	$T_7$	$T_8$	$T_9$
1	0	1	0	0	1	0	1	0	0	1
2	E1	0	0	1	0	1	1	0	0	1
3	E2	1	0	0	0	1	1	0	0	1
4	E1+E2	0	1	0	0	1	1	0	0	1
5	E1-E2	0	0	1	1	0	1	0	0	1
6	-E1	0	0	1	0	1	0	1	1	0
7	-E2	1	0	0	0	1	0	1	1	0
8	-(E1+E2)	0	1	0	0	1	0	1	1	0
9	-(E1-E2)	0	0	1	1	0	0	1	1	0

Tabla A 17. Estados de conmutación para la topología MLI tipo T

Estado	Voltaje en el bus	Interruptores encendidos
1	$-V_{DC,1}$	$S_1, Q_4$
2	$V_{DC,4}$	$S_3, Q_3$
3	$-(V_{DC,1} + V_{DC,2})$	$S_2, Q_4$
4	$V_{DC,3} + V_{DC,4}$	$S_2, Q_3$
5	$-(V_{DC,1} + V_{DC,2} + V_{DC,3})$	$S_3, Q_4$
6	$V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_1, Q_3$
7	$-(V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4})$	$Q_1, Q_4$
8	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$Q_2, Q_3$
9	0	$Q_1, Q_3$
10	0	$Q_2, Q_4$

Tabla A 18. Estados de conmutación para la topología CBSC MLI

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{DC,1}$	$S_1, S_4$
2	$V_{DC,2}$	$S_3, S_6$
3	$V_{DC,3}$	$S_5, S_8$
4	$V_{DC,4}$	$S_7, S_{10}$
5	$V_{DC,1} + V_{DC,2}$	$S_1, S_6$
6	$V_{DC,2} + V_{DC,3}$	$S_3, S_8$
7	$V_{DC,3} + V_{DC,4}$	$S_5, S_{10}$
8	$V_{DC,1} + V_{DC,2} + V_{DC,3}$	$S_1, S_8$
9	$V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_3, S_{10}$
10	$V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4}$	$S_1, S_{10}$
11	$-V_{DC,1}$	$S_2, S_3$
12	$-V_{DC,2}$	$S_4, S_5$
13	$-V_{DC,3}$	$S_6, S_7$
14	$-V_{DC,4}$	$S_8, S_9$
15	$-(V_{DC,1} + V_{DC,2})$	$S_2, S_5$
16	$-(V_{DC,2} + V_{DC,3})$	$S_4, S_7$
17	$-(V_{DC,3} + V_{DC,4})$	$S_6, S_9$
18	$-(V_{DC,1} + V_{DC,2} + V_{DC,3})$	$S_2, S_7$
19	$-(V_{DC,2} + V_{DC,3} + V_{DC,4})$	$S_4, S_9$
20	$-(V_{DC,1} + V_{DC,2} + V_{DC,3} + V_{DC,4})$	$S_2, S_9$
21	0	$S_9, S_{10}$
22	0	$S_1, S_2$

Tabla A 19. Estados de conmutación para la topología PUC.

Estado	Voltaje en el bus	Interruptores encendidos
1	0	$S_1, S_3, S_5, S_7, S_9$
2	0	$S_2, S_4, S_6, S_8, S_{10}$
3	$V_{DC,1}$	$S_1, S_4, S_6, S_8, S_{10}$
4	$-V_{DC,1}$	$S_2, S_3, S_5, S_7, S_9$
5	$V_{DC,2}$	$S_1, S_3, S_4, S_6, S_8$
6	$-V_{DC,2}$	$S_2, S_4, S_5, S_7, S_9$
7	$V_{DC,3}$	$S_1, S_3, S_5, S_8, S_{10}$
8	$-V_{DC,3}$	$S_2, S_4, S_6, S_7, S_9$
9	$V_{DC,4}$	$S_1, S_3, S_5, S_7, S_{10}$
10	$-V_{DC,4}$	$S_2, S_4, S_6, S_8, S_9$
11	$V_{DC,4} - V_{DC,3}$	$S_2, S_4, S_6, S_7, S_{10}$
12	$-(V_{DC,4} - V_{DC,3})$	$S_1, S_3, S_5, S_8, S_9$
13	$V_{DC,3} - V_{DC,2}$	$S_2, S_4, S_5, S_8, S_{10}$
14	$-(V_{DC,3} - V_{DC,2})$	$S_1, S_3, S_6, S_7, S_9$
15	$V_{DC,4} - V_{DC,3} + V_{DC,2}$	$S_2, S_4, S_5, S_8, S_9$
16	$-(V_{DC,4} - V_{DC,3} + V_{DC,2})$	$S_1, S_3, S_6, S_7, S_{10}$
17	$V_{DC,4} - V_{DC,2}$	$S_2, S_4, S_5, S_7, S_{10}$
18	$-(V_{DC,4} - V_{DC,2})$	$S_1, S_3, S_6, S_8, S_9$
19	$V_{DC,2} - V_{DC,1}$	$S_2, S_3, S_6, S_8, S_{10}$
20	$-(V_{DC,2} - V_{DC,1})$	$S_1, S_4, S_5, S_7, S_9$
21	$V_{DC,4} - V_{DC,2} + V_{DC,1}$	$S_2, S_3, S_6, S_8, S_9$
22	$-(V_{DC,4} - V_{DC,2} + V_{DC,1})$	$S_1, S_4, S_5, S_7, S_{10}$
23	$V_{DC,1} - V_{DC,2} + V_{DC,3} - V_{DC,4}$	$S_2, S_3, S_6, S_7, S_{10}$
24	$-(V_{DC,1} - V_{DC,2} + V_{DC,3} - V_{DC,4})$	$S_1, S_4, S_5, S_8, S_9$
25	$V_{DC,1} - V_{DC,2} + V_{DC,3}$	$S_2, S_3, S_6, S_7, S_9$
26	$-(V_{DC,1} - V_{DC,2} + V_{DC,3})$	$S_1, S_4, S_5, S_8, S_{10}$
27	$V_{DC,1} - V_{DC,3}$	$S_2, S_3, S_5, S_8, S_{10}$
28	$-(V_{DC,1} - V_{DC,3})$	$S_1, S_4, S_6, S_7, S_9$
29	$V_{DC,1} - V_{DC,3} + V_{DC,4}$	$S_2, S_3, S_5, S_8, S_9$
30	$-(V_{DC,1} - V_{DC,3} + V_{DC,4})$	$S_1, S_4, S_6, S_7, S_{10}$
31	$V_{DC,1} - V_{DC,4}$	$S_2, S_3, S_5, S_7, S_{10}$
32	$-(V_{DC,1} - V_{DC,4})$	$S_1, S_4, S_6, S_8, S_9$

Tabla A 20. Estados de conmutación convertidor multinivel asimétrico híbrido en cascada con fuentes de voltaje aisladas [45]

Estado	Voltaje en el bus	Interruptores encendidos
1	$V_{d2}$	$S_{12}, S_{14}, S_{21}, S_{23}$
2	$U_{d1}$	$S_{11}, S_{14}, S_{22}, S_{24}$
3	$V_{d2} + U_{d2}$	$S_{12}, S_{14}, S_{22}, S_{23}$
4	$V_{d2} + U_{d1}$	$S_{11}, S_{14}, S_{21}, S_{23}$
5	$V_{d2} + U_{d2} + U_{d1}$	$S_{11}, S_{14}, S_{22}, S_{23}$
6	0	$S_{12}, S_{14}, S_{22}, S_{24}$
7	$-V_{d1} - U_{d1} - U_{d2}$	$S_{12}, S_{13}, S_{21}, S_{24}$
8	$-V_{d1} - U_{d1}$	$S_{12}, S_{13}, S_{22}, S_{24}$
9	$-V_{d1} - U_{d2}$	$S_{11}, S_{13}, S_{21}, S_{24}$
10	$-V_{d1}$	$S_{11}, S_{13}, S_{22}, S_{24}$
11	$-U_{d2}$	$S_{12}, S_{14}, S_{21}, S_{24}$

Tabla A 21. Estados de conmutación MLI propuesto en [46]

Estado	Voltaje de salida	Estados de conmutación							
		$S_1$	$S_2$	$S_3$	$S_4$	$S'_1$	$S'_2$	$S'_3$	$S'_4$
1	$V_{DC1}$	1	0	0	0	0	0	1	1
2	$V_{DC1}$	1	0	1	1	0	0	0	0
3	$V_{DC2}$	0	0	1	0	1	0	0	1
4	$V_{DC2}$	1	1	0	0	0	0	0	1
5	$V_{DC1} - V_{DC2}$	1	0	0	1	0	0	1	0
6	$V_{DC1} + V_{DC2}$	1	0	1	0	0	0	0	1
7	0	0	0	0	0	1	0	1	1
8	0	0	0	1	1	1	0	0	0
9	0	1	1	0	1	0	0	0	0
10	0	1	0	0	0	0	1	0	1
11	$-V_{DC1}$	0	1	0	1	1	0	0	0
12	$-V_{DC1}$	0	0	0	0	1	1	0	1
13	$-V_{DC2}$	0	0	0	1	1	0	1	0
14	$-V_{DC2}$	1	0	0	1	0	1	0	0
15	$V_{DC2} - V_{DC1}$	0	1	0	0	1	0	0	1
16	$-V_{DC1} - V_{DC2}$	0	0	0	1	1	1	0	0

Tabla A 22. Estados de conmutación MLI propuesto en [47] operación simétrica.

Estado	Estados de conmutación						Salida de voltaje
	$S_{2m-1}$	$S'_{2m-1}$	$S_{2m}$	$S'_{2m}$	$S_{up}^m$	$S_{down}^m$	
1	1	0	1	0	0	0	$+2V_{dc}$
2	1	0	0	0	1	0	$+1V_{dc}$
	0	0	1	0	0	1	
3	0	0	0	0	1	1	0
	0	0	1	1	0	0	
	1	1	0	0	0	0	
4	0	1	0	0	0	1	$-1V_{dc}$
	0	0	0	1	1	0	
5	0	1	0	1	0	0	$-2V_{dc}$

Tabla A 23. Estados de conmutación MLI propuesto en [47] operación asimétrica.

Estado	Estados de conmutación						Salida de voltaje
	$S_{2m-1}$	$S'_{2m-1}$	$S_{2m}$	$S'_{2m}$	$S_{up}^m$	$S_{down}^m$	
1	1	0	1	0	0	0	$+3V_{dc}$
2	1	0	0	0	1	0	$+2V_{dc}$
3	0	0	1	0	0	1	$+1V_{dc}$
4	0	0	0	0	1	1	0
5	0	0	1	1	0	0	$-1V_{dc}$
6	1	1	0	0	0	0	$-2V_{dc}$
7	0	1	0	0	0	1	$-3V_{dc}$

Tabla A 24. MLI propuesto en [48].

Estado	$S_1$	$S_2$	$T_1$	$T_2$	$T_3$	$T_4$	$v_o$
1	0	0	1	0	1	0	0
1	0	0	0	1	0	1	0
2	1	0	1	0	0	1	$V_1$
3	0	1	1	0	0	1	$V_1 + V_2$
4	1	0	0	1	1	0	$-V_1$
5	0	1	0	1	1	0	$-V_1 - V_2$

Tabla A 25. Inversor multinivel propuesto en [49] topología básica.

Estado	Estados de conmutación			$V_o$
	$S_a$	$S_b$	$S_c$	
1	0	1	0	$V_{dc}$
2	0	0	1	0
3	1	0	0	$-V_{dc}$

Tabla A 26. Inversor multinivel propuesto en [49] topología generalizada.

Estados de conmutación											Niveles de salida	
$S_{a,1}$	$S_{a,2}$	...	$S_{a,n}$	$S_{b,1}$	$S_{b,2}$	...	$S_{b,n}$	$S_{c,1}$	$S_{c,2}$	...	$S_{c,n}$	$v_o$
0	0	...	0	1	1	...	1	0	0	...	0	$v_{dc,1} + v_{dc,2} + \dots + v_{dc,n}$
...	...	...	...	...	...	...	...	...	...	...	...	...
1	0	...	0	0	1	...	0	0	0	...	1	$-v_{dc,1} + v_{dc,2}$
		...		1	1	...				...		$v_{dc,1} + v_{dc,2}$
0	0	...	0	0	1	...	0	1	0	...	1	$v_{dc,2}$
0	0	...	0	1	0	...	0	0	1	...	1	$v_{dc,1}$
0	0	...	0	0	0	...	0	1	1	...	1	0
1	0	...	0	0	0	...	0	0	1	...	1	$-v_{dc,1}$
0	1	...	0	0	0	...	0	1	0	...	1	$-v_{dc,2}$
1	1	...	0	0	0	...	0	0	0	...	1	$-v_{dc,1} - v_{dc,2}$
0	1	...	0	1	0	...	0	0	0	...	1	$v_{dc,1} - v_{dc,2}$
...	...	...	...	...	...	...	...	...	...	...	...	...
1	1	...	1	0	0	...	0	0	0	...	0	$-v_{dc,1} - v_{dc,2} - \dots - v_{dc,n}$

Tabla A 27. Inversor multinivel propuesto en [50].

Estados de conmutación											Niveles de salida
$S_1$	$S_2$	$S_3$	...	$S_{n-3}$	$S_{n-2}$	$S_{n-1}$	$S_a$	$S_b$	$S_c$	$S_d$	
0	0	0	...	0	0	1	0	0	0	1	$VDC$
0	0	0	...	0	1	0	0	0	0	1	$2VDC$
0	0	0	...	1	0	0	0	0	0	1	$3VDC$
.	.	.	...	.	.	.	.	.	.	.	.
.	.	.	...	.	.	.	.	.	.	.	.
.	.	.	...	.	.	.	.	.	.	.	.
0	0	1	...	0	0	1	0	0	0	1	$(n-3)VDC$
0	1	0	...	0	0	1	0	0	0	1	$(n-2)VDC$
1	0	0	...	0	0	1	0	0	0	1	$(n-1)VDC$
0	0	0	...	0	0	0	1	0	0	1	$nVDC$
-	-	-	...	-	-	-	0	0	1	1	0
-	-	-	...	-	-	-	1	1	0	0	0
1	0	0	...	0	0	0	0	0	1	0	$-VDC$
0	1	0	...	0	0	0	0	0	1	0	$-2VDC$
0	0	1	...	0	0	0	0	0	1	0	$-3VDC$
.	.	.	...	.	.	.	.	.	.	.	.
.	.	.	...	.	.	.	.	.	.	.	.
.	.	.	...	.	.	.	.	.	.	.	.
0	1	0	...	1	0	0	0	0	1	0	$-(n-3)VDC$
0	0	0	...	0	1	0	0	0	1	0	$-(n-2)VDC$
0	0	0	...	0	0	1	0	0	1	0	$-(n-1)VDC$
0	0	0	...	0	0	0	0	1	1	0	$-nVDC$

Tabla A 28. Inversor multinivel propuesto en [51].

Interruptores encendidos	Voltaje en el bus
$S_1, S_2, S_6, S_7$	$2V_{DC}$
$S_2, S_3, S_6, S_7$	$3/2V_{DC}$
$S_3, S_4, S_6, S_7$	$V_{DC}$
$S_2, S_3, S_5, S_7$	$1/2V_{DC}$
$S_1, S_2, S_6, S_8$	$0V_{DC}$
$S_2, S_3, S_6, S_8$	$-1/2V_{DC}$
$S_1, S_2, S_5, S_8$	$-V_{DC}$
$S_2, S_3, S_5, S_8$	$-3/2V_{DC}$
$S_3, S_4, S_5, S_8$	$-2V_{DC}$

Tabla A 29. Inversor multinivel propuesto en [52].

Interruptores encendidos	Voltaje en el bus
$S_1, S_2, S_6, S_7$	$12V_{DC}$
$S_2, S_5, S_6, S_7$	$11V_{DC}$
$S_2, S_4, S_6, S_7$	$10V_{DC}$
$S_3, S_5, S_6, S_7$	$9V_{DC}$
$S_3, S_4, S_6, S_7$	$8V_{DC}$
$S_1, S_2, S_7, S_{10}$	$7V_{DC}$
$S_2, S_5, S_7, S_{10}$	$6V_{DC}$
$S_2, S_4, S_7, S_{10}$	$5V_{DC}$
$S_3, S_5, S_7, S_{10}$	$4V_{DC}$
$S_3, S_4, S_7, S_{10}$	$3V_{DC}$
$S_1, S_2, S_7, S_9$	$2V_{DC}$
$S_2, S_5, S_7, S_9$	$1V_{DC}$
$S_3, S_5, S_7, S_9$	$-1V_{DC}$
$S_3, S_4, S_7, S_9$	$-2V_{DC}$
$S_1, S_2, S_8, S_{10}$	$-3V_{DC}$
$S_2, S_5, S_8, S_{10}$	$-4V_{DC}$
$S_2, S_4, S_8, S_{10}$	$-5V_{DC}$
$S_3, S_5, S_8, S_{10}$	$-6V_{DC}$
$S_3, S_4, S_8, S_{10}$	$-7V_{DC}$
$S_1, S_2, S_8, S_9$	$-8V_{DC}$
$S_2, S_5, S_8, S_9$	$-9V_{DC}$
$S_2, S_4, S_8, S_9$	$-10V_{DC}$
$S_3, S_5, S_8, S_9$	$-11V_{DC}$
$S_3, S_4, S_8, S_9$	$-12V_{DC}$
$S_2, S_4, S_7, S_9$	$0V_{DC}$

Tabla A 30. Inversor multinivel propuesto en [53].

Estado	Voltaje en el bus	Interruptores encendidos
1	$-2V_{dc}$	$S_2, S_{p2}, S_{n2}, S'_{a1}$
2	$-1V_{dc}$	$S_2, S_{p2}, S_{n1}, S'_{a1}$
3	$-1V_{dc}$	$S_2, S_{p2}, S_{n2}, S_{a1}$
4	0	$S_1, S_{p2}, S_{n1}, S'_{a1}$
5	0	$S_2, S_{p2}, S_{n1}, S_{a1}$
6	$1V_{dc}$	$S_1, S_{p1}, S_{n1}, S'_{a1}$
7	$1V_{dc}$	$S_1, S_{p2}, S_{n1}, S_{a1}$
8	$2V_{dc}$	$S_1, S_{p1}, S_{n1}, S_{a1}$

Tabla A 31. Inversor multinivel para baja conversión de potencia [16].

Estado	Voltaje en el bus	Interruptores encendidos
1	$-3U_d$	$S_7$
2	$-2U_d$	$S_6$
3	$-1U_d$	$S_5$
4	0	$S_4$
5	$1U_d$	$S_3$
6	$2U_d$	$S_2$
7	$3U_d$	$S_1$

Tabla A 32. Inversor multinivel de medio puente en cascada propuesto en [54] operación simétrica.

Estado	$S_1$	$S_3$	$S_5$	$S_7$	$S_9$	$v_o$
1	1	1	1	0	1	$+V_{dc}$
2	0	1	1	0	1	$+3/4V_{dc}$
3	0	1	0	0	1	$+1/2V_{dc}$
4	0	1	0	1	1	$+1/4V_{dc}$
5	0	0	0	1	1	0
6	0	1	0	0	0	0
7	0	0	0	0	0	$-1/4V_{dc}$
8	0	0	0	1	0	$-1/2V_{dc}$
9	0	0	1	1	0	$-3/4V_{dc}$
10	1	0	1	1	0	$-V_{dc}$



Tabla A 33. Inversor multinivel de medio puente en cascada propuesto en [54] operación asimétrica.

Estado	$S_1$	$S_3$	$S_5$	$S_7$	$S_9$	$v_o$
1	1	1	1	0	1	$+V_{dc}$
2	1	1	0	0	1	$+5/6V_{dc}$
3	1	1	0	1	1	$+4/6V_{dc}$
4	0	1	0	0	1	$+3/6V_{dc}$
5	0	0	1	0	1	$+2/6V_{dc}$
6	0	0	0	0	1	$+1/6V_{dc}$
7	0	0	0	0	1	0
8	0	1	0	0	0	0
9	0	1	0	0	0	$-1/6V_{dc}$
10	0	1	1	1	0	$-2/6V_{dc}$
11	0	0	0	0	0	$-3/6V_{dc}$
12	0	0	1	1	0	$-4/6V_{dc}$
13	1	0	0	0	0	$-5/6V_{dc}$
14	1	0	1	1	0	$-V_{dc}$

Tabla A 34. Topología propuesta en [57].

Voltaje	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$S_7$	$S_8$	$S_{bidireccional}$
$-4V_{DC}$	1	0	1	0	1	0	1	0	0
$-3V_{DC}$	1	0	1	0	1	0	0	0	1
$-2V_{DC}$	1	0	1	0	1	0	0	1	0
$-1V_{DC}$	1	0	1	0	0	1	0	0	1
$0V_{DC}$	1	0	1	0	0	1	0	1	0
$1V_{DC}$	0	1	0	1	1	0	0	0	1
$2V_{DC}$	0	1	0	1	0	1	1	0	0
$3V_{DC}$	0	1	0	1	0	1	0	0	1
$4V_{DC}$	0	1	0	1	0	1	0	0	0

Tabla A 35. MLI con convertidores CD/CD propuesto en [59]

nivel	Técnica binaria					Estados de conmutación										$V_o$
						Interruptor principal					Interruptor complementario					
	$t_5$	$t_4$	$t_3$	$t_2$	$t_1$	$s_5$	$s_4$	$s_3$	$s_2$	$s_1$	$s'_5$	$s'_4$	$s'_3$	$s'_2$	$s'_1$	
0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0Vdc
1	0	0	0	0	1	0	0	0	0	1	1	1	1	1	0	1Vdc
2	0	0	0	1	0	0	0	0	1	0	1	1	1	0	1	2Vdc
3	0	0	0	1	1	0	0	0	1	1	1	1	1	0	0	3Vdc
4	0	0	1	0	0	0	0	1	0	0	1	1	0	1	1	4Vdc
5	0	0	1	0	1	0	0	1	0	1	1	1	0	1	0	5Vdc
6	0	0	1	1	0	0	0	1	1	0	1	1	0	0	1	6Vdc
7	0	0	1	1	1	0	0	1	1	1	1	1	0	0	0	7Vdc
8	0	1	0	0	0	0	1	0	0	0	1	0	1	1	1	8Vdc
9	0	1	0	0	1	0	1	0	0	1	1	0	1	1	0	9Vdc
10	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	10Vdc
11	0	1	0	1	1	0	1	0	1	1	1	0	1	0	0	11Vdc
12	0	1	1	0	0	0	1	1	0	0	1	0	0	1	1	12Vdc
13	0	1	1	0	1	0	1	1	0	1	1	0	0	1	0	13Vdc
14	0	1	1	1	0	0	1	1	1	0	1	0	0	0	1	14Vdc
15	0	1	1	1	1	0	1	1	1	1	1	0	0	0	0	15Vdc
16	1	0	0	0	0	1	0	0	0	0	0	1	1	1	1	16Vdc
17	1	0	0	0	1	1	0	0	0	1	0	1	1	1	0	17Vdc
18	1	0	0	1	0	1	0	0	1	0	0	1	1	0	1	18Vdc
19	1	0	0	1	1	1	0	0	1	1	0	1	1	0	0	19Vdc
20	1	0	1	0	0	1	0	1	0	0	0	1	0	1	1	20Vdc
21	1	0	1	0	1	1	0	1	0	1	0	1	0	1	0	21Vdc
22	1	0	1	1	0	1	0	1	1	0	0	1	0	0	1	22Vdc
23	1	0	1	1	1	1	0	1	1	1	0	1	0	0	0	23Vdc
24	1	1	0	0	0	1	1	0	0	0	0	0	1	1	1	24Vdc
25	1	1	0	0	1	1	1	0	0	1	0	0	1	1	0	25Vdc
26	1	1	0	1	0	1	1	0	1	0	0	0	1	0	1	26Vdc
27	1	1	0	1	1	1	1	0	1	1	0	0	1	0	0	27Vdc
28	1	1	1	0	0	1	1	1	0	0	0	0	0	1	1	28Vdc
29	1	1	1	0	1	1	1	1	0	1	0	0	0	1	0	29Vdc
30	1	1	1	1	0	1	1	1	1	0	0	0	0	0	1	30Vdc
31	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	31Vdc

Tabla A 36. Inversor multinivel en cascada con capacitores conmutados. [60]

Estado	Interruptores encendidos	$v_o$	$C_1$	$C_2$
1	$T'_1, T_2, T'_3, S_1, S_2$	$4V_{dc} + V_{c,1} + V_{c,2}$	D	D
2	$T'_1, T_2, T'_3, S'_1, S_2$	$4V_{dc} + V_{c,2}$	C	D
3	$T_1, T_2, T'_3, S'_1, S_2$	$3V_{dc} + V_{c,2}$	C	D
4	$T'_1, T_2, T'_3, S_1, S'_2$	$4V_{dc} + V_{c,1}$	D	C
5	$T'_1, T_2, T'_3, S'_1, S'_2$	$4V_{dc}$	C	C
6	$T_1, T_2, T'_3, S_1, S'_2$	$3V_{dc}$	C	C
7	$T'_1, T_2, T_3, S_1, S'_2$	$V_{dc} + V_{c,1}$	D	C
8	$T'_1, T_2, T_3, S'_1, S'_2$	$V_{dc}$	C	C
9	$T_1, T_2, T_3, S'_1, S'_2$	0	C	C
9	$T'_1, T'_2, T'_3, S'_1, S'_2$	0	C	C
10	$T_1, T'_2, T'_3, S'_1, S'_2$	$-V_{dc}$	C	C
11	$T_1, T'_2, T'_3, S_1, S'_2$	$-V_{dc} - V_{c,1}$	D	C
12	$T'_1, T'_2, T'_3, S'_1, S'_2$	$-3V_{dc}$	C	C
13	$T_1, T'_2, T'_3, S'_1, S'_2$	$-4V_{dc}$	C	C
14	$T_1, T'_2, T_3, S_1, S'_2$	$-4V_{dc} - V_{c,1}$	D	C
15	$T'_1, T'_2, T_3, S'_1, S_2$	$-3V_{dc} - V_{c,2}$	C	D
16	$T_1, T'_2, T_3, S'_1, S_2$	$-4V_{dc} - V_{c,2}$	C	D
17	$T_1, T'_2, T_3, S_1, S_2$	$-4V_{dc} - V_{c,1} - V_{c,2}$	D	D

### 9.3 Anexo C. Niveles de armónicas para alta tensión.

Tabla A 37. Niveles armónicas (pares) en la tensión para AT (% de la fundamental).

Orden de la armónica	Nivel de armónica (% de la tensión fundamental)
2	1.4
4	0.8
6	0.4
8	0.4
10	0.35
12	0.32
14	0.3
16	0.28
18	0.27
20	0.26
22	0.25
24	0.24
26	0.23
28	0.23
30	0.22
32	0.22
34	0.22
36	0.21
38	0.21
40	0.21
42	0.21
44	0.2
46	0.2
48	0.2
50	0.2

Tabla A 38. Niveles armónicas (impares) en la tensión para AT (% de la fundamental).

Orden de la armónica	Nivel de armónica (% de la tensión fundamental)
3	2
5	2
7	2
9	1
11	1.5
13	1.5
15	0.3
17	1.2
19	1.07
23	0.89
25	0.82
29	0.7
31	0.66
33	0.2
35	0.58
37	0.55
39	0.2
41	0.5
43	0.47
45	0.2
47	0.43
49	0.42