

**INSTITUTO TECNOLÓGICO Y DE ESTUDIOS
SUPERIORES DE MONTERREY**

ESCUELA DE GRADUADOS

**ESTUDIO SOBRE LA CONSTRUCCION
Y APLICACION DE LOS CIRCUITOS
INTEGRADOS**

TESIS

**PRESENTADA COMO REQUISITO PARCIAL
PARA OPTAR AL GRADO ACADÉMICO DE
MAESTRO EN CIENCIAS
ESPECIALIDAD EN INGENIERIA ELECTRICA
DE POTENCIA**

**POR
JAIME DANIEL PARRA**

1968

**INSTITUTO TECNOLOGICO Y DE ESTUDIOS
SUPERIORES DE MONTERREY**

ESCUELA DE GRADUADOS

**ESTUDIO SOBRE LA CONSTRUCCION
Y APLICACION DE LOS CIRCUITOS
INTEGRADOS**

TESIS

**PRESENTADA COMO REQUISITO PARCIAL
PARA OPTAR AL GRADO ACADEMICO DE
MAESTRO EN CIENCIAS
ESPECIALIDAD EN INGENIERIA ELECTRICA
DE POTENCIA**

**POR
JAIME DANIEL PARRA**

1968

I N D I C E :

	<u>Página</u>
INTRODUCCION:	iii
CAPITULO I.- <u>CONSTRUCCION DE LOS CIRCUITOS INTEGRADOS:</u>	1
1.- Procesos Básicos	2
2.- Fundamentos del Diseño Monolítico. Estructuras - Monolíticas Básicas.	4
3.- Comparación entre el Transistor Epitaxial Separa- do y el Transistor Epitaxial Integrado	9
3.1 Voltaje de Ruptura por Avalancha	12
3.2 Características de la Corriente de Fuga	12
3.3 Capacitancias del Transistor Monolítico	14
3.4 Características de Saturación	15
3.5 Respuesta a la Frecuencia de los Transisto- res Monolíticos	17
4.- Componentes Pasivas de los Circuitos Integrados.	18
4.1 Capacitancias de Unión.	19
4.2 Capacitancias Híbridas.	22
4.3 Capacitancias de Película Delgada	22
4.4 Resistencias Difundidas	24
CAPITULO II. <u>PROCESOS ESTRUCTURALES Y CAPACIDAD DE LAS - COMPONENTES. APLICACION DE LOS CIRCUITOS INTEGRADOS.</u>	31
1.- Avances Tecnológicos	31
2.- Estructura de Difusión Triple.	32

I N D I C E : (cont..)

	<u>Página</u>
3.- Estructura de Difusión Cuádruple.	35
4.- Estructuras Epitaxiales	35
5.- La Estructura de la Capa Enterrada.	38
6.- Estructura Epitaxial de Bolsa	40
7.- Aislamiento Dieléctrico	40
8.- La Tecnología Armazón de Plomo.	41
9.- Resistencias	41
10.- Capacitancias	45
11.- Transistores.	45
12.- Amplificadores de Colector Común - Base Común y Emisor Común - Base Común	47
12.1 Operación de C.D. del par EC-BC	50
12.2 Operación de C.D. del par CC-BC	54
12.3 Parámetros y Comportamiento de C.A. del - Circuito CE-CB.	57
13.- Aplicación de los Circuitos Integrados.	60
BIBLIOGRAFIA Y REFERENCIAS:.	62
SIMBOLOS Y CONSTANTES FISICAS.	63

INTRODUCCION:

El propósito de este estudio, es el de hacer una exposición de esta rama de la Microelectrónica, dedicando mayor atención a la tecnología que se ha venido desarrollando recientemente en la aplicación de circuitos comerciales, la cual tiene un futuro de desarrollo muy prometedor. Evidentemente se puede apreciar que no solo se desarrollará desplazando a los circuitos convencionales, sino que abrirá el campo a circuitos nuevos, los cuales hasta el momento no ha sido posible llevar a cabo por la falta de elementos o dispositivos con magnitud física apropiada, y en general con las propiedades inherentes a la constitución de un circuito integrado.

En este estudio se describen las técnicas usadas sin detallar los modelos físico-matemáticos.

En el primer capítulo se describen la técnica monolítica y las propiedades de los elementos electrónicos obtenidos. En el segundo capítulo se trata la capacidad de las técnicas de construcción que se conocen, además como aplicaciones se describen las características de dos circuitos integrados.

CAPITULO I

CONSTRUCCION DE LOS CIRCUITOS INTEGRADOS

De acuerdo con la terminología recomendada (5) y más común, el campo de la Microelectrónica puede considerarse formada de las siguientes categorías: Componentes discretos, circuitos integrados y morfología integrada.

Los circuitos integrados pueden subdividirse a su vez en dos categorías mayores: Los circuitos de película delgada y los circuitos de semiconductores. Las técnicas en ambos casos son similares. Siendo la segunda categoría la de mayor futuro por sus aplicaciones y su mayor acercamiento al circuito integrado real se le dedicará mayor atención en este estudio. Los circuitos semiconductores se dividen en circuitos monolíticos y circuitos híbridos. (Ver párrafo 1.) Cabe hacer notar que la clasificación anterior es puramente convencional y está sujeta a variaciones, pues se pueden combinar cualesquiera de las técnicas usadas en las diferentes categorías para la consecución de un circuito integrado mejor. Con el presente estado del arte de circuitos integrados es posible y práctico diseñar y fabricar circuitos integrados para una amplia variedad de aplicaciones.

Dos de las más grandes aplicaciones son: La del campo digital y la de amplificadores lineales, donde se requieren ya sea una variedad de diseños de circuitos básicos, o bien, diseños donde su variabilidad en la estructura dificulta la producción

en serie, además pueden tener ciclos de abastecimiento cortos. Estas condiciones conducen al desarrollo de dos tecnologías diferentes esenciales: La tecnología híbrida y la tecnología monolítica, descritas a continuación:

1. Procesos Básicos.

Existen cuatro procesos de circuitos integrados básicos:

- 1.1 La tecnología híbrida.
- 1.2 La tecnología de película delgada.
- 1.3 La tecnología monolítica.
- 1.4 La tecnología compatible.

1.1 La primera técnica es aquella en que las partes o componentes separadas, se fijan a una Subcapa de cerámica e interconectan por medio de un patrón metalizado, o bien, con uniones de alambre, el circuito es pequeño con componentes sin cápsula y difundidos, sin embargo, puede contener uno o dos dados monolíticos. Esta tecnología se adapta más a circuitos con pequeñas demandas y es muy probable que con el avance de técnicas sea substituida por procesos monolíticos.

1.2 La técnica de la capa delgada, básicamente consiste de películas delgadas de material depositado en una Subcapa de cerámica para formar componentes pasivas del circuito. Se usan patrones metalizados para conexiones y las componentes activas se añaden en forma separada a las mallas pasivas de película delgada, por lo cual con ésta técnica, al presente no se pueden fabri

car e interconectar simultanea e inseparablemente los circuitos integrados completos.

1.3 En la técnica monolítica, sí pueden fabricarse simultáneamente las partes pasivas y activas en un block de Silicio; el circuito monolítico integrado es aquel en que todas las componentes son manufacturadas dentro o sobre la parte superior del pequeño block de Silicio, llamado pastilla. Las interconexiones entre las partes componentes dentro de la pastilla son hechas por medio de patrones de metalización y las partes individuales no son separables del circuito completo. Se emplean en esta técnica, procesos usados en la construcción de semiconductores principalmente de difusión y crecimiento epitaxial, empleándose aproximadamente el mismo número de pasos requeridos para fabricar un transistor en la fabricación de un circuito integrado.

1.4 Un circuito integrado compatible se fabrica combinando la técnica de película delgada y los procesos para construcción de semiconductores. Las componentes activas se forman dentro de una pastilla de Silicio y las pasivas son depositadas usando la segunda técnica, formándose una capa pasiva sobre la capa activa del circuito. En lo subsiguiente se discute el circuito monolítico principalmente, por ser uno de los circuitos más usados por su ventaja técnica y económica, y además representar más estrictamente al circuito integrado.

2. Fundamentos del Diseño Monolítico. Estructuras Monolíticas Básicas.

Los circuitos monolíticos son de hecho, fabricados en una sola pieza de cristal. Idealmente se pretende fabricar un circuito integrado completo con el mismo número de pasos en el proceso requeridos para la componente más compleja del circuito integrado, en la mayoría de los casos, ésta es la estructura de tres capas y dos uniones del transistor. Con dos difusiones se hacen la Base y el Emisor del transistor integrado respectivamente, pudiéndose utilizar estos ciclos de difusión para producir resistencias y capacitancias difundidas, con lo cual ya no se requieren pasos adicionales para la fabricación de estas componentes, solo quedan los procesos para aislamiento eléctrico del resto del circuito con cada una de las partes. La fabricación del circuito integrado toma como base la fabricación del transistor. En un transistor convencional la estructura consiste de tres capas de semiconductores separadas, el material Padre o Subcapa representa la región del Colector, en el cual, por grabados, relleños y procesos de difusión, se fabrican las regiones de Base y Emisor, quedando un molde común de Colector, lo cual es posible ya que después se seccionan individualmente los transistores.

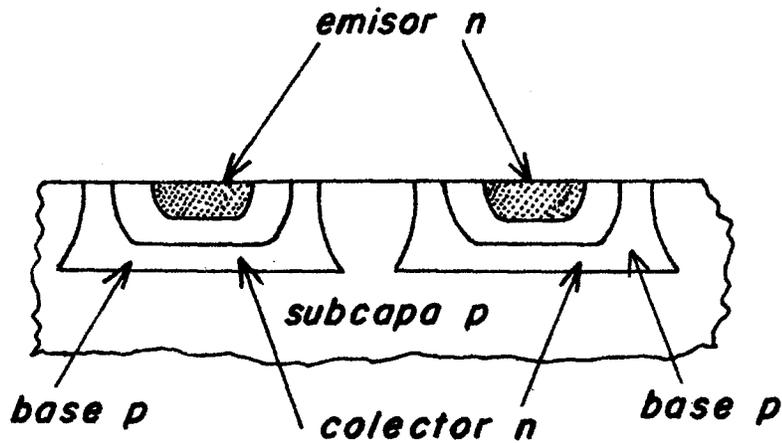
En los circuitos monolíticos una Subcapa común es imposible, pues las partes o componentes adicionales ocupan el mismo dado que el transistor y además varias partes deben estar aisladas unas de otras, lo cual se logra con uniones p-n. El transistor

para un circuito integrado se difiere del convencional en que contiene tres uniones y cuatro capas semiconductoras, la capa extra es la que comparte con otras componentes, formando un diodo Colector Subcapa el cual cuando se polariza inversamente aísla al transistor, (Ver Fig. 1.) El principal defecto de este método de aislar es la capacitancia asociada a la unión p-n. Esta técnica es muy usada en los circuitos integrados, sin embargo, un método que usa Bióxido de Silicio como aislante viene a suplantarlos rápidamente, pues con este método se disminuye la capacitancia parásita de la unión aisladora por un factor grande, aumenta el voltaje de ruptura de aislamiento y disminuye la corriente de fuga a valores bastante pequeños. Las estructuras básicas son:

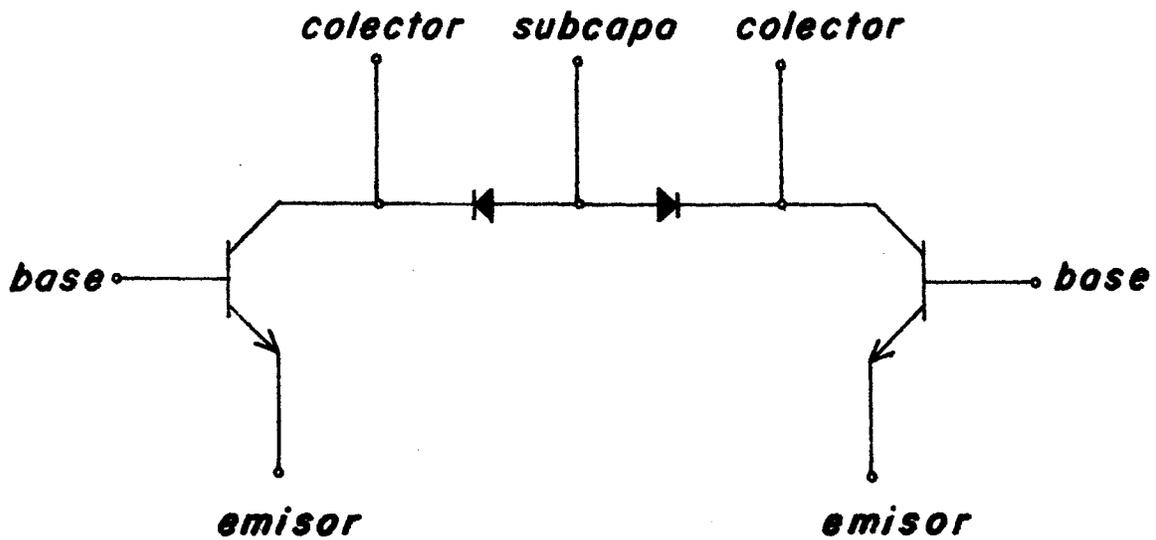
- a).- Proceso difundido epitaxial.
- b).- Proceso difundido de Colector.
- c).- Proceso de difusión triple.

Todas las estructuras constan de cuatro capas, esto es, tienen la estructura del transistor aislado. Las diferencias estriban en el número de pasos necesarios para lograr obtener los circuitos integrados. A continuación se describe el proceso tomando como referencia la estructura del proceso difundido epitaxial.

Se comienza con un molde de Silicio, sobre el que se crece epitaxialmente Silicio tipo n lo cual será posteriormente usado como Colector de los transistores, algún elemento de los diodos,



(a)



(b)

Figura 1.- Aislamiento de transistores monoliticos por medio de diodos con anodo comun. (a).- Seccion cruce muestra dos transistores monoliticos aislados con diodos con anodo comun. (b).- Circuito equivalente para el transistor monolitico aislado.

resistencias o capacitancias difundidas en el circuito. A la sección Subcapa p capa-epitaxial n se le añade una capa de Bióxido de Silicio producida térmicamente en atmósfera de Oxígeno sobre la capa epitaxial n. Esta capa añadida sirve para el proceso Fotolitográfico (5) de enmascaramiento necesario para la formación de circuitos integrados. La capa epitaxial se prepara para un proceso de difusión de "aislamiento" por medio del proceso en el cual el dado es cubierto con una capa uniforme de emulsión fotosensitiva. Este material es soluble en algunos líquidos, a menos que se encuentre polimerizado, esto se logra exponiendo la superficie a la luz ultravioleta a través de una máscara fotográfica apropiada, haciendo que la polimerización tome lugar en las áreas seleccionadas. La película no polimerizada se remueve fácilmente dejando el polímero en las áreas deseadas, el cual es altamente resistente a las grabaciones corrosivas, una de las cuales se efectúa con Acido Hidrofluórico, removiendo el Oxido en donde la emulsión no polimerizada había estado y dejando intacto el Oxido de Silicio en otros lugares como máscara para el proceso de difusión que sigue. El Boro se difunde más lentamente en Oxido de Silicio que en Silicio puro, consiguientemente la difusión se lleva a cabo en las áreas seleccionadas. Este principio es la base para la "Difusión de Máscara" misma que es de capital importancia para el circuito integrado monolítico. Durante el ciclo de difusión crece una nueva capa de Bióxido de Silicio sobre la capa tipo p difundida y la capa anterior preexistente crece, volviéndose más gruesa.

Un segundo patrón, para formar la región de la Base de los transistores, resistencias y el elemento anódico de los díodos y capacitancias de unión, es grabado en la capa de Bióxido de Silicio usando el proceso Fotolitográfico anteriormente descrito. Impurezas tipo p como el Boro se difunden a través de las aberturas entre islotes de Silicio epitaxial tipo n. La profundidad de esta difusión se controla con el grado de impurezas temperatura que se emplee en dicha difusión y tiempo, en tal forma que esta sea leve y no penetre hasta la Subcapa. Una nueva capa de Bióxido de Silicio se crece de nuevo sobre las regiones difundidas tipo p. La capa de Oxido es de nuevo selectivamente grabada y se abren ventanas en las regiones de la Base, para permitir la difusión de Fósforo y la formación de Emisores de transistores y regiones catódicas para los díodos y capacitancias. También se graban ventanas en las regiones tipo n, particularmente aquellas con una baja concentración en la superficie, donde se vaya a hacer un contacto tipo n a la capa; el Fósforo se difunde simultáneamente con la difusión del Emisor. Esto es necesario pues el Aluminio, generalmente usado como material de interconexión, siendo una impureza tipo p en el Silicio, facilita la formación de una indeseable unión p-n. Por consiguiente una concentración fuerte de Fósforo es efectuada en la región tipo n, para contrarrestar tal formación.

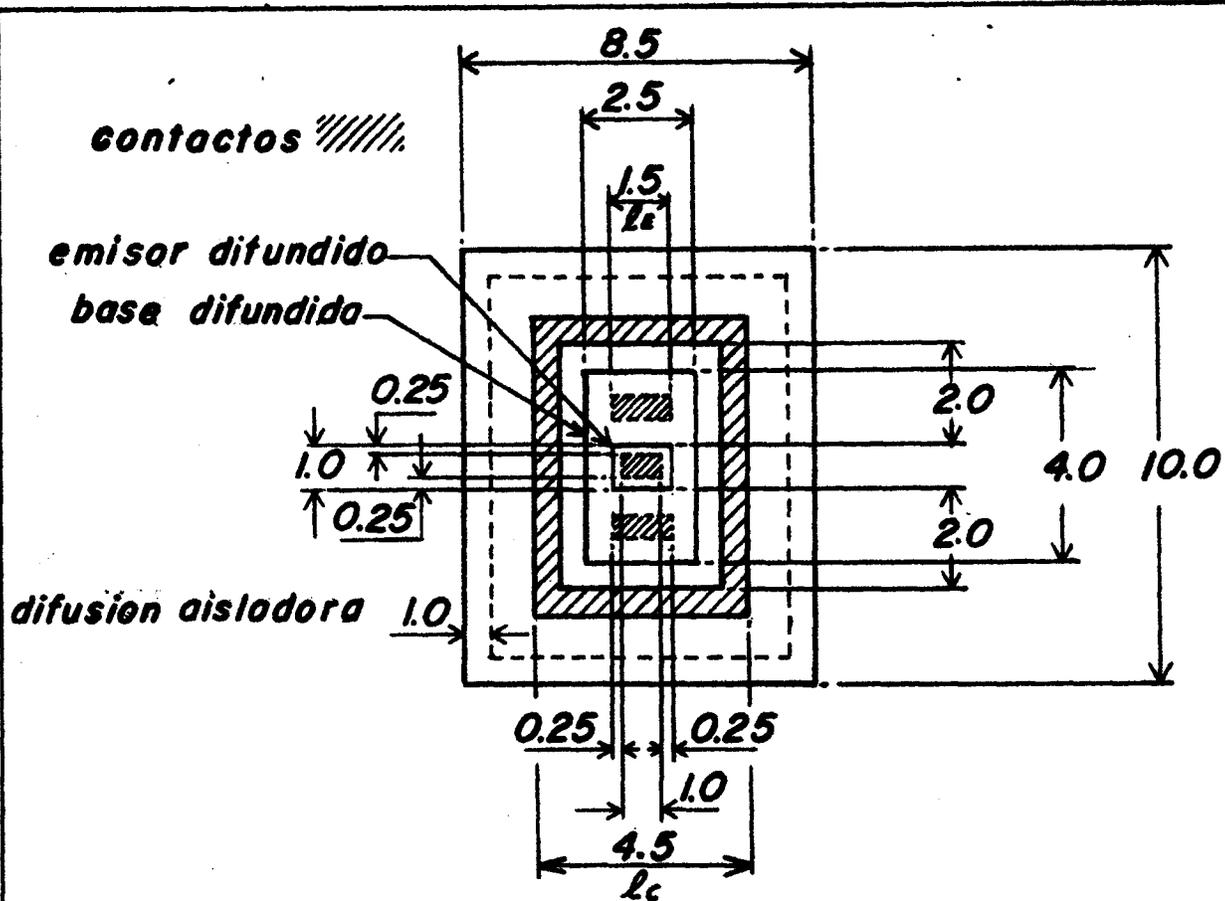
Fósforo con alta concentración para producir una región n+ en la superficie se difunde para formar el área emisora del transistor, regiones catódicas para díodos y capacitancias y contac-

tos tipo n. Como antes, se crece una capa de Bióxido de Silicio sobre las regiones difundidas, completándose así la formación de la unión en el circuito monolítico.

Para permitir la interconexión entre las varias componentes del circuito monolítico, se graba una cuarta vez un conjunto de ventanas sobre la capa de Bióxido de Silicio, en los puntos donde el contacto va a efectuarse a cada una de las componentes del circuito integrado. Se deposita una capa de Aluminio sobre la superficie completa de la pastilla. El patrón de interconexiones entre las componentes en el circuito monolítico se forma por medio de técnicas Fotoresistivas (7) es decir, grabaciones en las que se emplean compuestos orgánicos sensitivos a la luz conocidos como foto-resistentes. El uso de materiales foto-resistentes y de máscaras fotográficas proveen lo indispensable para proceder en los patrones requeridos sobre una porción semiconductor. Se reproducen imágenes sobre el semiconductor directamente, sobre un Oxido que rodee o cubra al semiconductor o bien, sobre cualquier película que cubra al semiconductor.

3. Comparación entre el Transistor Epitaxial Separado y el Transistor Epitaxial Integrado. (Ver Figs. 2 y 3).

En el dispositivo integrado el Colector está aislado dentro de una Subcapa tipo p y el contacto óhmico es hecho en la parte superior. En el transistor Separado, el Colector epitaxial no está aislado y descansa sobre una Subcapa n+ la cual le sirve co



Area de la base = 2.5 mil x 4 mil

Area del emisor = 1 mil x 1.5 mil

Area de la subcapa = 6.5 mil x 8 mil

Profundidad de las juntas

Emisor-base = 2.0 micras

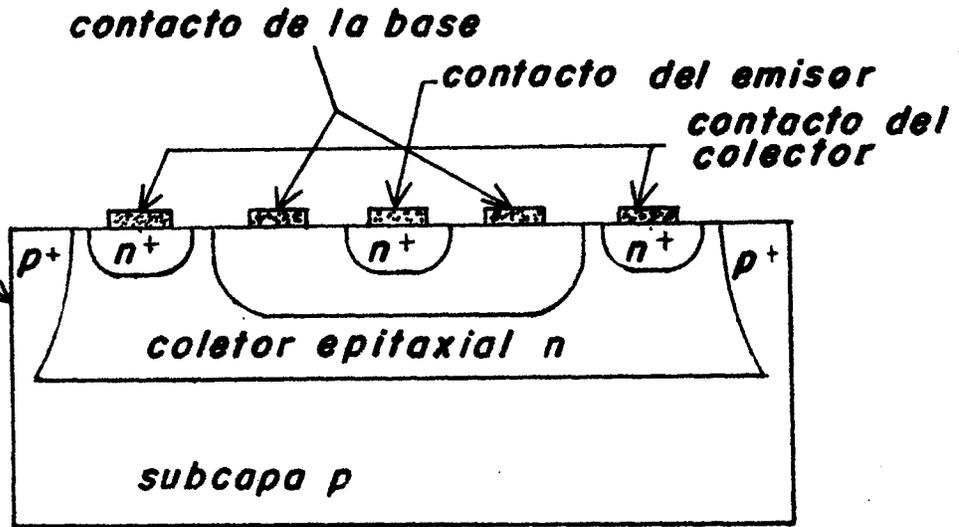
Colector base = 2.7 micras

Colector-subcapa = 25.0 micras

Figura 2.

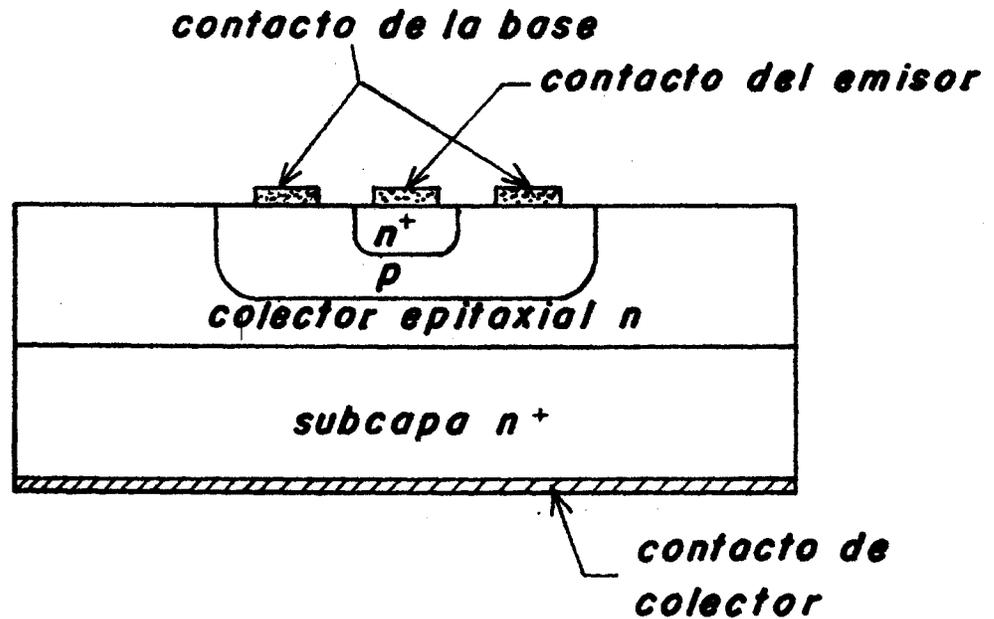
Geometria de base de doble franja para transistores integrados monoliticos

difusion de aislamiento tipo p



(a)

Seccion del transistor monolitico integrado



(b)

Seccion del transistor plano epitaxial

Figura 3.

Comparacion de las secciones

mo una extensión óhmica del Colector, de manera que el contacto óhmico se efectúa por el fondo. De aquí se deducen los elementos parásitos que caracterizan al dispositivo integrado. Primero, el contacto óhmico en la parte superior introduce una resistencia adicional r_{SC} por consiguiente aumenta el $V_{CE(SAT)}$ del dispositivo. Segundo, el transistor integrado contiene una capacitancia adicional, esto es, la capacitancia Colector-Subcapa.

3.1 Voltaje de Ruptura por Avalancha.

Este voltaje es función estrictamente de la resistividad lateral de la unión Colector ocasionando BV_{CBO} . En el BV_{EBO} influye principalmente el nivel de impurezas en el lado de la Base (Ver Fig. 4.) En el BV_{CS} influye la unión muy marcada entre la región Colector epitaxial y la región tipo p difundida de aislamiento dando origen a un voltaje de paso a un voltaje marcado, por lo tanto, BV_{CS} es muy grande. El voltaje BV_{CEO} está dado por la expresión:

$$BV_{CEO} \approx \frac{BV_{CBO}}{\sqrt[n]{\beta}} \quad (1)$$

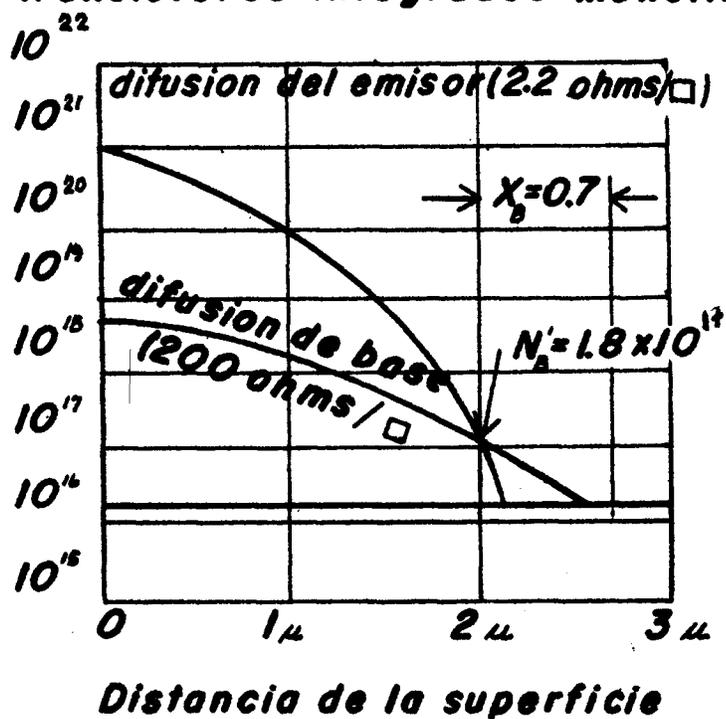
donde n es el exponente de Miller, para el Silicio tipo n ; n es aproximadamente cuatro; β es la ganancia de corriente de corto circuito y de Emisor común.

3.2 Características de la Corriente de Fuga.

La corriente de fuga se atribuye a la generación de carga de los centros de recombinación en la unión, dentro de la capa

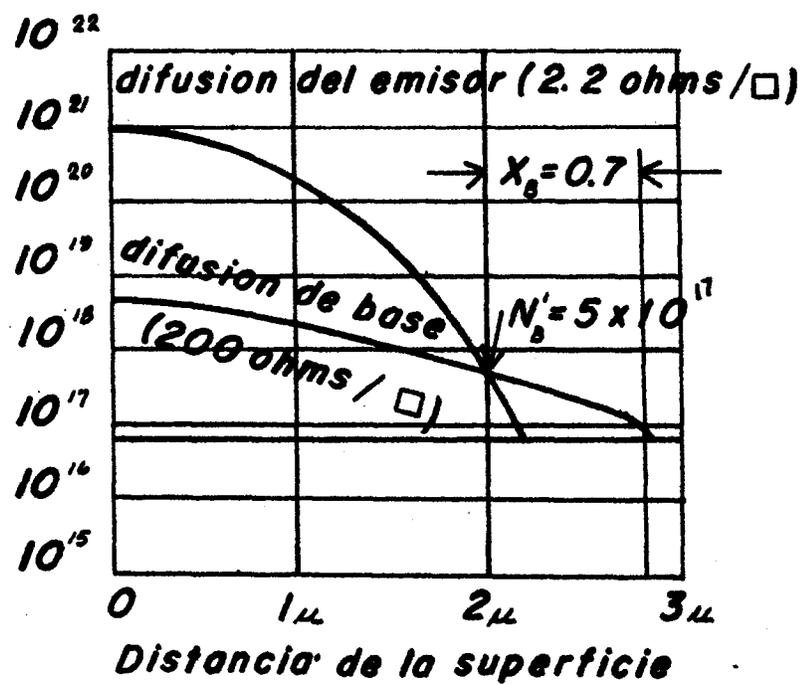
Figura 4.
Representación de las impurezas de dos tipos de transistores integrados monolíticos

concentración de impurezas
 átomos/cm³



(a) Transistor sin impurezas de oro

concentración de impurezas
 átomos/cm³



(b) Transistor con impurezas de oro

de reducción del Silicio.

$$\text{Para este caso,} \quad I_g = q g X_m A \quad (2)$$

donde q es la carga del electrón, g es la razón de generación de cargas portadoras y X_m es el grosor de la capa de reducción sujeta al voltaje inverso de polarización. Puesto que X_m es función (7) de la concentración de impurezas, I_{CBO} e I_{EBO} varían a la inversa de la raíz cuadrada de esta concentración.

3.3 Capacitancias del Transistor Monolítico.

Se toma como modelo la geometría del transistor con doble Base ilustrado en la Fig. (2) esto es, el transistor cuyo contacto óhmico se efectúa con dos franjas del patrón metalizado. La expresión para la capacitancia del Emisor-Subcapa C_{TE} con polarización hacia adelante es (7).

$$C_{TE} \approx 4A_E C_T(0) = 4A_E \sqrt{\frac{qK\epsilon_0 N'_B}{2\psi_0}} \quad (3)$$

donde $C_T(0)$ es la capacitancia por unidad de área de la región de transición para la unión en equilibrio, N'_B es la concentración de impurezas del lado de la Base de la juntura del Emisor, A_E es el área total del Emisor, ψ_0 es el voltaje interior de la unión Emisor-Subcapa, A_E puede calcularse de la Fig. (2). C_{TE} Capacitancia total de la región de transición de la unión Colector.

La capacitancia de Colector Base bajo un voltaje de polari-

zación inversa se puede calcular por medio de las curvas de Lawrence y Warner (7) ya que esta unión es marcada.

La unión Colector-Subcapa de aislamiento, contribuye a una capacitancia parásita, la cual diferencia el dispositivo integrado de su contraparte. Esta capacitancia parásita tiene también dos componentes, una componente de fondo con la Subcapa p , la que fundamentalmente es una unión paso, y una componente lateral asociada con la difusión aisladora tipo p que posee un gradiente bajo en la unión. Para la componente del fondo es razonable suponer que la unión es abrupta y que la capa de reducción se extiende del lado de la Subcapa. (Ver Fig. 5).

En una forma similar se puede considerar la componente lateral, usando la geometría de un cuarto de cilindro, la cual intersecta la superficie a lo largo del rectángulo punteado. (Ver Fig. 2).

El valor de las capacitancias aumentan si la resistividad disminuye y debe recordarse que estos valores dependen del voltaje de operación. En un circuito monolítico integrado, la Subcapa usualmente se conecta al potencial más negativo del circuito, por consiguiente, si el voltaje de potencial varía, también cambiará la capacitancia parásita de aislamiento.

3.4 Características de Saturación.

Aparte de la capacitancia parásita, las características de saturación difieren marcadamente en el transistor monolítico res

pecto al dispositivo epitaxial plano separado, principalmente por que la conexión a la región del Colector es hecha en la parte superior en lugar de hacerse en el fondo. Esto se manifiesta por un valor grande de $V_{CE(SAT)}$ en la expresión para $V_{CE(SAT)}$, para un dispositivo n-p-n (4).

$$V_{CE} \approx -\frac{KT}{q} \ln \frac{\alpha_{\lambda} (1 - I_C/\beta I_B)}{1 + I_C/\beta (1 - \alpha_{\lambda})} + I_C r_{SC} \quad (4)$$

donde α_{λ} es la inversa del α del transistor, r_{SC} se puede calcular usando la geometría especificada como en la Fig. (2) y la resistividad. De la figura se puede ver que la región del Colector está cercada por la parte activa del extremo del Emisor y el lado interior del contacto del Colector, para encontrar r_{SC} se divide el área del Colector en trapezoides, como lo muestra la figura en línea punteada, se considera el flujo de corriente en los trapezoides superiores e inferiores. Así pues, para la Base con doble franja de contacto hay dos trapezoides, se usa luego la fórmula:

$$r_{SC} = \frac{\rho_c d}{2q X_c} \quad (5)$$

donde ρ_c es la resistividad del Colector, d es la distancia entre el Emisor y el extremo del contacto del Colector, X_c es el espesor del Colector y \bar{l} se puede encontrar usando la expresión $\bar{l} = \frac{1}{2}(l_E + l_C)$, l_E es la longitud del Emisor l_C la longitud del Colector (Ver Fig. 2).

3.5 Respuesta a la Frecuencia de los Transistores Monolíticos.

La respuesta se puede caracterizar usando el parámetro f_T , esto es, la frecuencia a la cual β es unitaria con el circuito Emisor a tierra. Con la ecuación dada a continuación se puede escribir para f_T (7),

$$\frac{1}{f_T} \approx 2\pi (1.4) \left(r_e C_{TE} + \frac{X_B^2}{5D_{nB}} + \frac{X_m}{V_{sc}} + r_{sc} C_{TC} \right) \quad (6)$$

Se pueden evaluar separadamente las constantes de tiempo y los retardos para determinar la importancia relativa de los términos de la ecuación anterior. Así por ejemplo:

$$\tau_E = \frac{1}{\omega_E} = r_e C_{TE} = \frac{KT}{qI_E} C_{TE} \quad (7)$$

esta es la constante del Emisor; para el tiempo de tránsito tenemos constante de la Base,

$$\tau_B = \frac{1}{\omega_B} = \frac{X_B^2}{5D_{nB}} \quad (8)$$

Por último, la función de la carga de la capacitancia del Colector en serie con la resistencia a la cual se le añade la capacitancia de la Subcapa, da con esto, la constante de tiempo total,

$$\tau_C = \frac{1}{\omega_C} = r_{sc} C_{TC} + \frac{r_{sc} C_{TS}}{2} \quad (9)$$

r_{sc} es una aproximación muy estimada de la resistencia en serie de la región completa del Colector sobre el área de la capacitancia de la Subcapa, se trata como la resistencia en paralelo de

dos rectángulos:

$$r_{SC} \approx \frac{\rho_c d}{2l \times c} \quad (10)$$

4. Componentes Pasivas de los Circuitos Integrados.

Se debe hacer una distinción entre las componentes pasivas de un circuito monolítico y un circuito híbrido. De la construcción propia de un circuito monolítico, se pueden deducir las diferencias de las contrapartes en los circuitos híbridos. En los circuitos monolíticos, las capacitancias se hacen utilizando la capacitancia inherente de una unión difundida p-n dentro del material de Silicio. Las resistencias se hacen utilizando la resistividad de la masa de Silicio. Puesto que en los circuitos monolíticos todas las partes se fabrican sobre o dentro de una Subcapa común, deben aislarse unas de otras, lo cual se logra usando díodos con el ánodo común y así sin importar la polaridad entre cualesquiera de las dos partes, éstas quedarán aisladas por la resistencia que opone un diodo polarizado inversamente. Esta es la técnica conocida como la Difusión de Aislamiento la cual tiene una capacitancia inherente entre la Subcapa y cada parte.

En los circuitos híbridos se incluyen componentes hechas principalmente con el proceso Difusión de Máscara. Las partes se hacen separadamente y se conectan individualmente con un patrón metalizado sobre una Subcapa de cerámica. De esta manera, las partes están aisladas inherentemente, aunque pueden fabricar

se por el mismo proceso monolítico, quedan libres de las componentes parásitas.

Los circuitos compatibles se hacen utilizando una combinación de procesos para semiconductores y de película delgada. La discusión de las componentes pasivas hecha a continuación se lleva a cabo considerando el punto de vista de los tres métodos.

4.1 Capacitancias de Unión.

La unión es capacitiva debido a la doble capa iónica asociada, la cual aumenta con la polarización inversa que se le aplica formándose así las "placas" de la capacitancia.

Las capacitancias monolíticas de unión, tienen la "condición de frontera" de que deben formarse simultáneamente con otros elementos del circuito. A continuación se revisan los pasos:

Se comienza con una pastilla de Silicio, sobre la que se crece una capa de Silicio tipo n epitaxialmente. Esta capa se cubre con una capa delgada de Bióxido de Silicio. La pastilla es entonces grabada y enmascarada y sujeta a una difusión tipo p que penetra completamente en la capa epitaxial tipo n juntándose a la Subcapa tipo p, dejando "islotes" tipo n cubiertos de Bióxido y rodeados completamente por material tipo p. Se crece una capa de Bióxido sobre las porciones difundidas de la pastilla resultando una estructura como la Fig. (6).

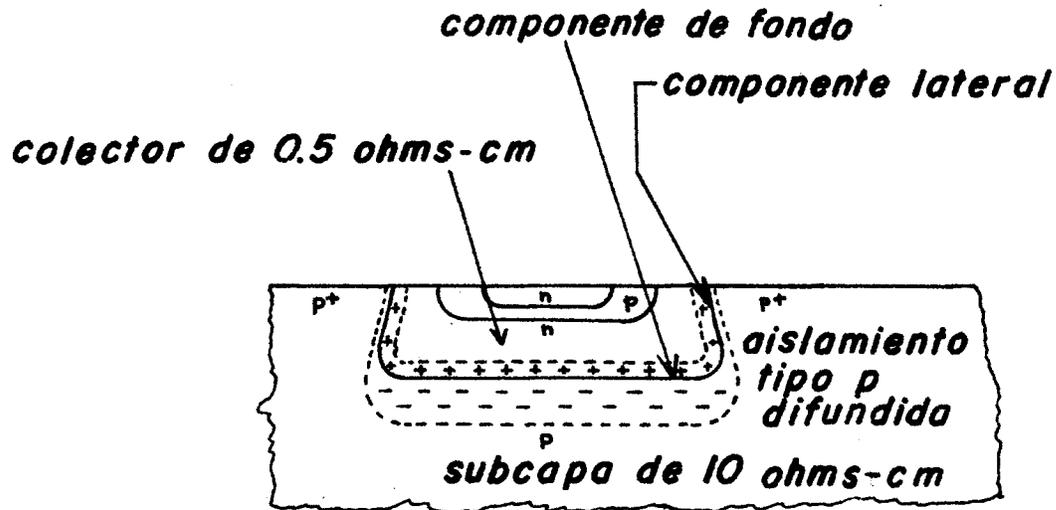


Figura 5.
Seccion de un transistor monolitico integrado mostrando la extension de la capa de reduccion hacia la union de la subcapa del colector

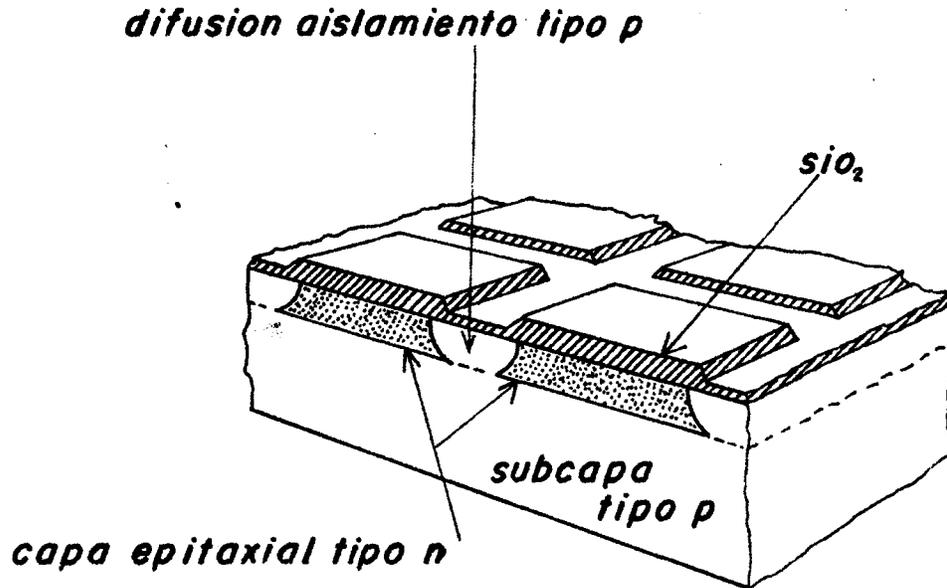


Figura 6.
Aislamiento electrico de las areas tipo n por medio de difusion aisladora

Cada islote tipo \underline{n} proporciona la base para difusiones posteriores los cuales formarán los elementos del circuito integrado quedando cada uno separado de los demás por uniones con ánodo común cuya corriente de fuga es normalmente menor de la décima parte del microampere. Los islotes epitaxiales tipo \underline{n} poseen la resistividad adecuada para Colectores de transistor, ánodos de los díodos y para una de las placas de una capacitancia de unión.

Con una segunda grabación de máscara y el proceso de difusión correspondiente, se pueden obtener las Bases de los transistores, las resistencias y el segundo elemento de los díodos y capacitancias. Esta difusión es más somera que las de aislamiento hechas previamente y no penetra la capa epitaxial, formando así la unión p-n directamente dentro de la película epitaxial. Se cubre de nuevo el área difundida con una capa de Bióxido quedando de esta manera completa la capacitancia de unión. Resta tan solo proveer el contacto óhmico; esto se logra con un proceso de metalización de Aluminio. (Ver Fig. 7).

En esta figura se marcan las uniones J_1 , y J_2 , cada una tiene su capacitancia asociada tal que J_1 por ejemplo, origina una capacitancia entre cualquier elemento del circuito integrado y la Subcapa, además cada capacitancia de unión posee una resistencia parásita asociada resultante de la región bulto de la porción tipo \underline{n} . Los elementos parásitos típicos aparecen en la Fig. (8.a) donde C_2 es la capacitancia deseada, C_1 es la capacitancia parásita y R la resistencia en serie. Los díodos representan a

los diodos idealizados de las dos uniones. Para una transferencia máxima de señales del punto A al punto B la razón C_2/C_1 debe ser alta. La capacitancia es función del área de unión, de la concentración de impurezas del material de alta resistividad de la unión y del voltaje. La Fig. (8.b) muestra la forma de control de la capacitancia.

4.2 Capacitancias Híbridas.

En estas capacitancias las componentes pueden estar aisladas físicamente en una pastilla de cerámica, por lo cual quedan libres de los efectos parásitos, al menos relativamente en relación a las capacitancias monolíticas. (Ver Fig. 9). La estructura consiste de una Subcapa de baja resistividad tipo n, un área altamente impura tipo p difundida, con la cual forma la unión p-n, una capa de Bióxido de Silicio y un área contacto de aluminio.

4.3 Capacitancias de Película Delgada.

Esta capacitancia como su contraparte separada, consiste de dos conductores separados por un dieléctrico, pero en las capacitancias de unión, el material semiconductor hace ambas funciones. La compatibilidad de los dispositivos de película delgada, es decir la habilidad para formar parte de un block de Silicio que contenga las componentes de un circuito monolítico, depende del proceso para formar la película delgada. Las películas de Bióxido de Silicio de baja resistividad actúan como pla-

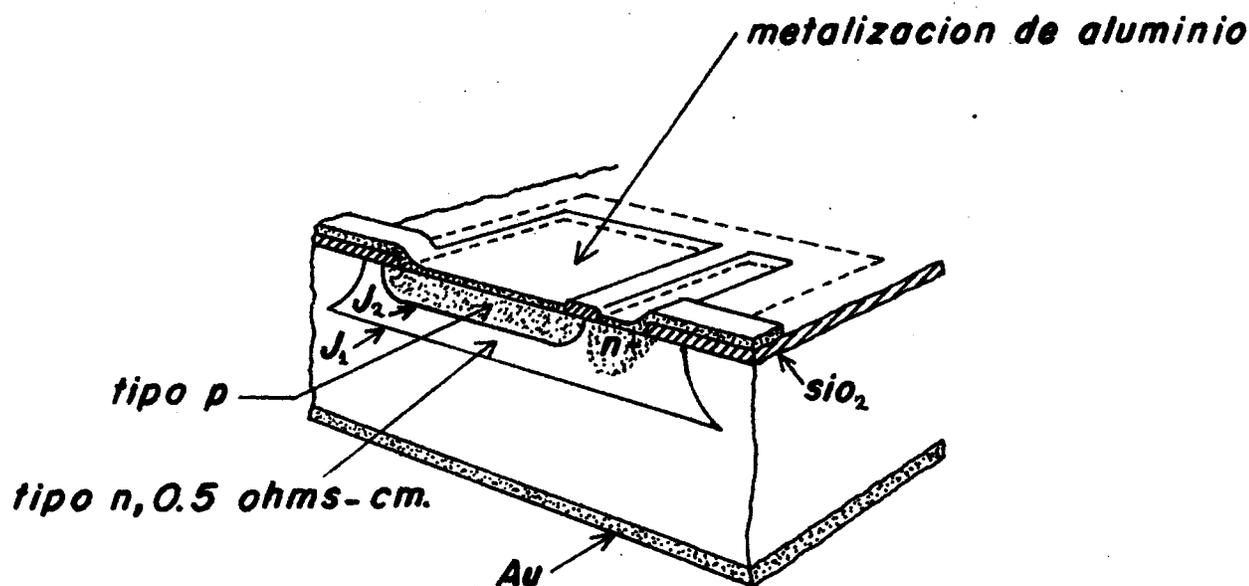
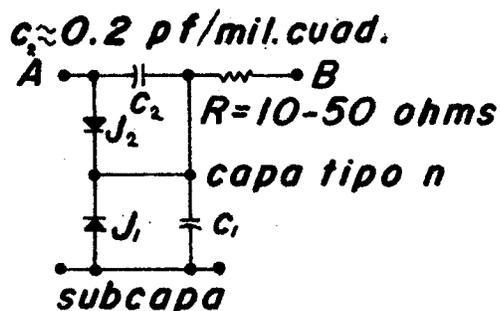
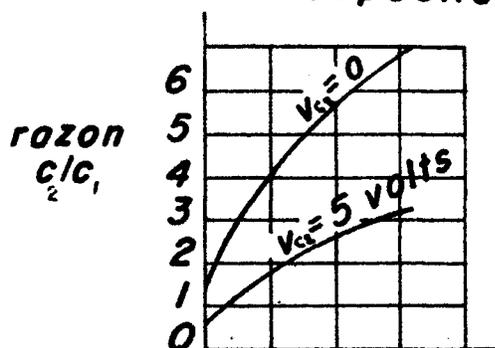


Figura 7.

Visto seccional de una union tipica de capacitancia mostrando las dos uniones asociadas con una capacitancia monolitica integrada



(a) Circuito equivalente de la capacitancia monolitica integrada



Potencial del punto B con respecto a la subcapa en volts

(b) Razon de transferencia de la capacitancia monolitica tipica

Figura 8.

cas, la capa de SiO_2 como dieléctrico y una placa de película de Aluminio forma la placa superior de la capacitancia (Ver Figs. 10 y 11).

En este caso como en la capacitancia de unión, se utiliza una juntura J_1 para aislamiento de la Subcapa al dispositivo. En la Fig. (12.a) se muestran los efectos parásitos representados por una resistencia pequeña R en serie, un diodo J_1 y una capacitancia C_1 asociada a la Subcapa.

En la Fig. (12.b) aparece la relación C_2/C_1 como una función del voltaje aplicado a la unión J_1 .

Las ventajas de la capacitancia son: No polar^(*), de capacitancia constante, no hay modulación del voltaje que afecte al circuito y la Q es mayor que en la capacitancia de unión pues R es de menor valor. Se fabrican también capacitancias de Tantalio y de Alúmina (1).

4.4 Resistencias Difundidas.

La resistencia es una de las componentes que más difiere de su contraparte separada. Se incorpora en los circuitos integrados por medio de Técnicas Semiconductoras o Compatibles de Película Delgada. Se utiliza la resistencia de bulto o de un volumen definido de Silicio.

Cuando se forman en una de las regiones aisladas de la capa epitaxial sobre una Subcapa típica, la resistencia queda determi

(*) NOTA: No-Polar: Es decir, no importa cual de las dos placas sea positiva.

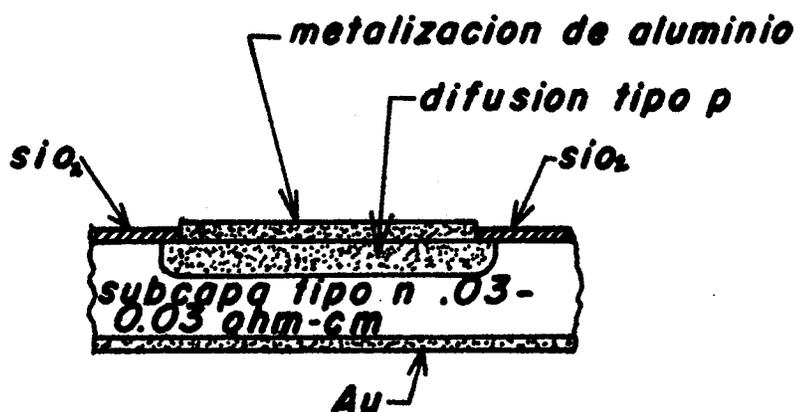


Figura 9.

Seccion de una union tipica de una capacitancia integrada hibrida

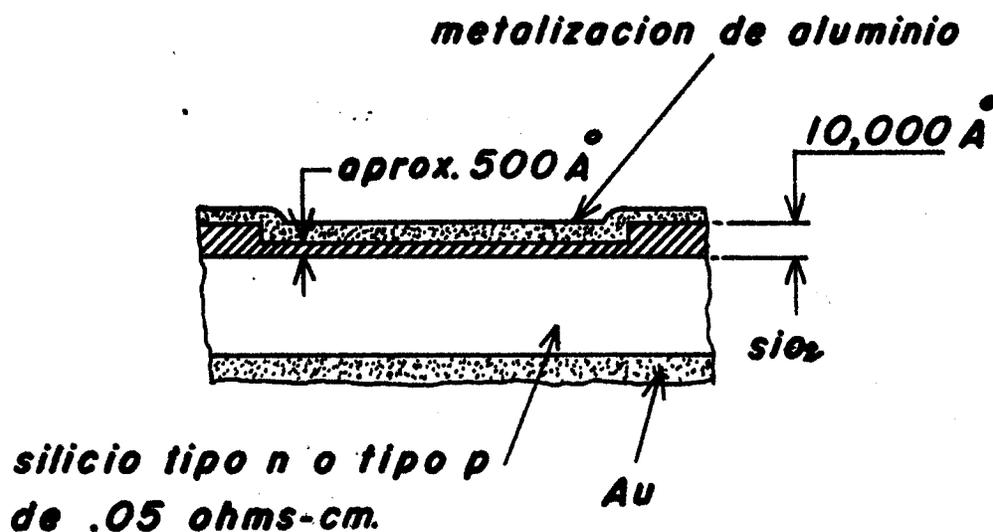


Figura 10.

Visto seccional de una capacitancia de bioxido de silicio para capacitancias integradas hibridas

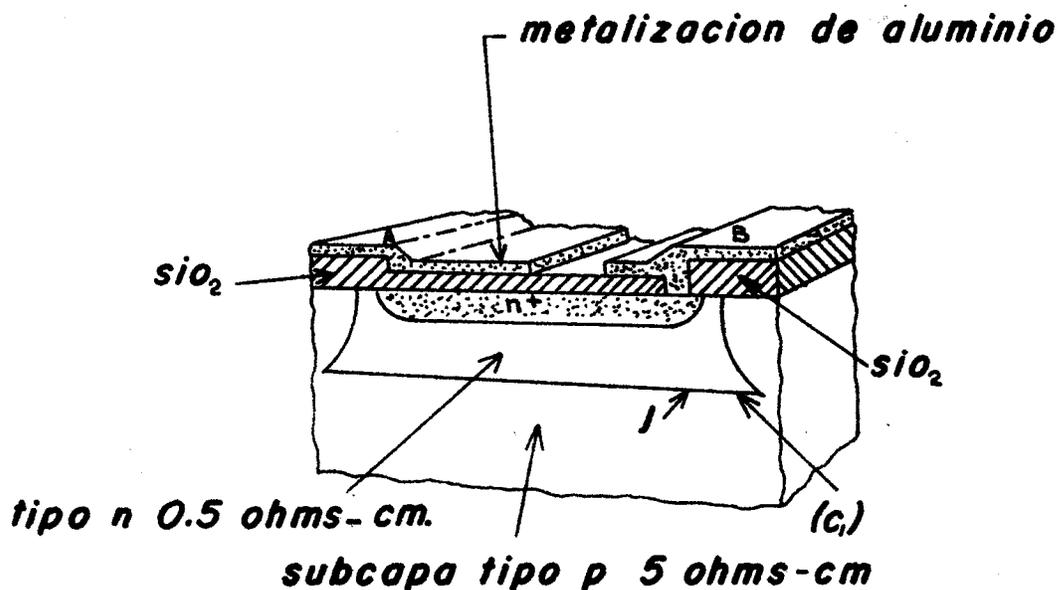
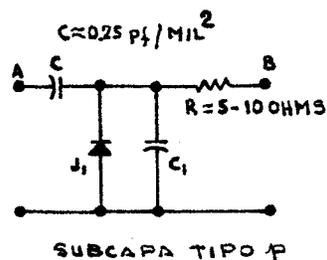
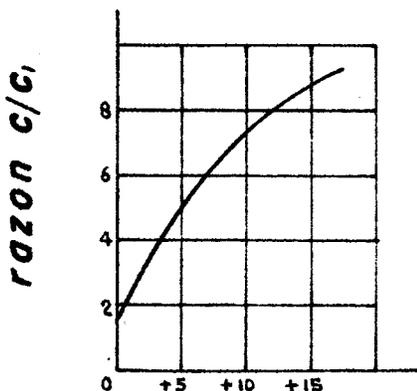


Figura 11.- Vista seccional de una capacitancia de SiO_2 para circuitos monoliticos integrados



(a) Circuito equivalente para la capacitancia de SiO_2



(b).- Potencial del punto B con respecto a la subcapa en volts

Figura 12.- Razon de transferencia C/C_1 para una capacitancia de SiO_2

nada por:

$$R = \frac{\rho l}{A} = \frac{\bar{\rho} l}{X_j \omega} \quad (11)$$

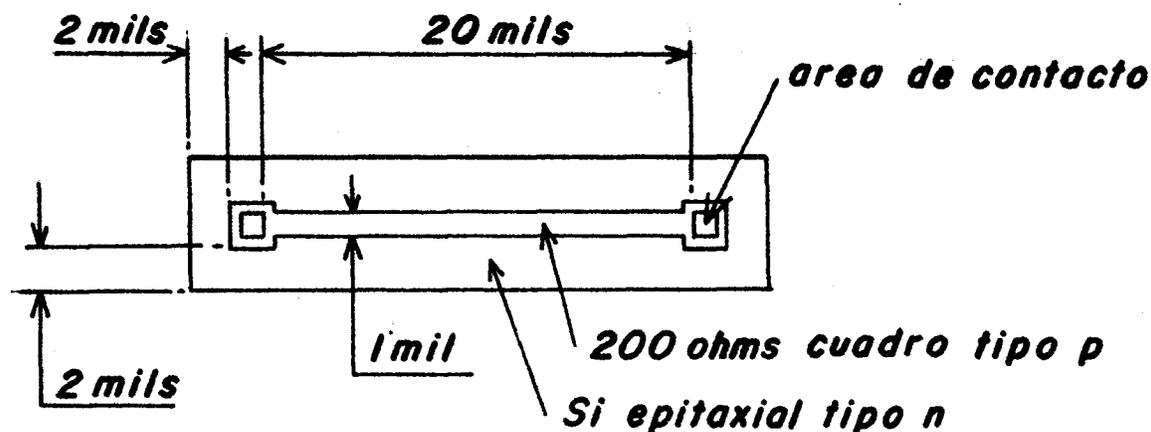
donde l y A son la longitud y el área de la sección transversal, respectivamente. Sin embargo, es más común usar la Difusión de Máscara para obtener una región delgada y separada para usarse como una resistencia, durante la difusión de la Base o el Emisor asociados a los transistores. La difusión del Emisor hace disponible una región de baja resistividad, mientras que la difusión de la Base proporciona una resistividad media. Esta última se utiliza más por que se pueden controlar las características deseables, esto es, alta o baja resistividad. La resistencia se determina por:

$$R_S = \frac{\bar{\rho} l}{X_j \omega} \quad (12)$$

donde:

- $\bar{\rho}$: es la resistividad promedio de la región difundida.
- l : es la longitud del área difundida.
- ω : es la anchura del área difundida.
- X_j : es la profundidad de difusión.

Las Figs. 13/15 muestran las características de una resistencia de $4,000 \Omega$ fabricado durante la difusión de una Base con una hoja de 200Ω por cuadro. Para una hoja de material resistivo uniforme de capa delgada se tiene:



Difusion de aislamiento tipo p

Fig. 13. Visto superior mostrando las dimensiones para enmascaramiento de una resistencia de 4,000 ohms.

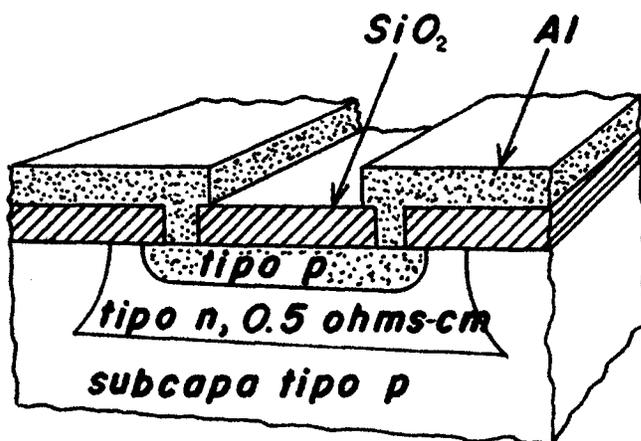


Fig. 14. Vista seccional de una resistencia monolitica tipica.

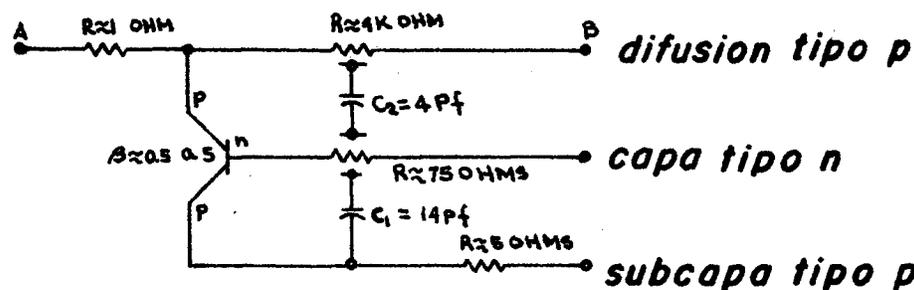


Fig. 15. Circuito equivalente simplificado de una resistencia mostrando los componentes parasitas.

$$R_S = \frac{\bar{\rho} l}{A} = \frac{\bar{\rho} l}{l x} = \frac{\bar{\rho}}{x}$$

donde l no tiene importancia, siempre que se emplee un espécimen cuadrado, es así que el cociente resistividad por espesor de una capa uniforme se emplea frecuentemente y se le llama "resistencia de una hoja" y se mide en Ohms por cuadro, donde el término cuadro no posee dimensión.(7). Como se puede apreciar, este método de fabricación monolítica produce una capacitancia distribuida y el efecto de un transistor distribuido p-n-p. Este transistor tiene una β pequeña, resultante de una Base gruesa de la capa epitaxial tipo n colocada entre la Subcapa tipo p y la resistencia de difusión tipo p. Puesto que la Subcapa normalmente se encuentra al potencial más bajo del circuito, puede ocurrir conducción si la juntura p-n entre la resistencia y la capa epitaxial llegara a polarizarse hacia adelante a través de un defecto de descarga entre las capas o algún otro defecto. Entonces cualquier corriente de descarga entre la Subcapa y la capa tipo n se multiplica por β y actuaría como una corriente desviada entre la resistencia y la Subcapa. Por lo tanto, en un circuito la capa tipo n deberá mantenerse tan alto como se pueda el voltaje para prevenir tales efectos entre la resistencia y la capa tipo n, este voltaje debe mantenerse con polarización inversa.

Las Figs. 16 y 17 muestran una resistencia híbrida típica y su circuito equivalente, respectivamente.

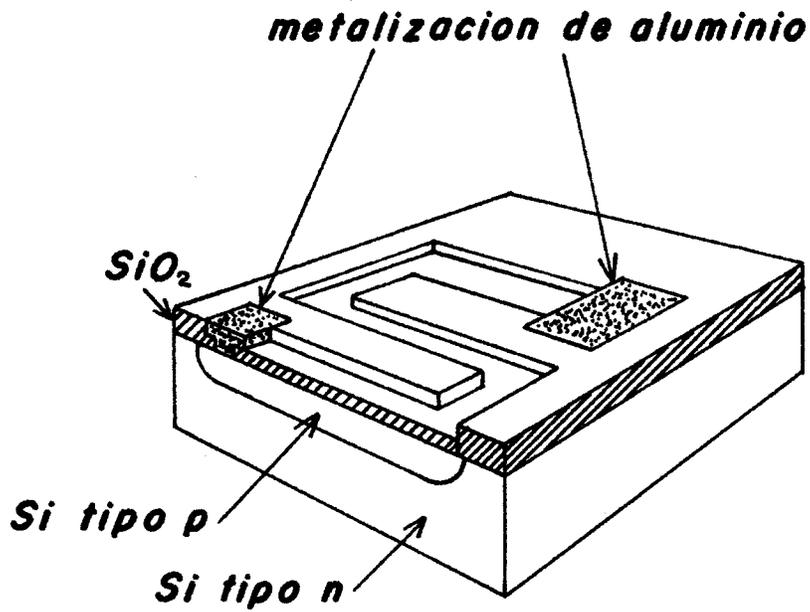


Figura 16
Vista seccional de una resistencia difundida para circuitos integrados híbridos.

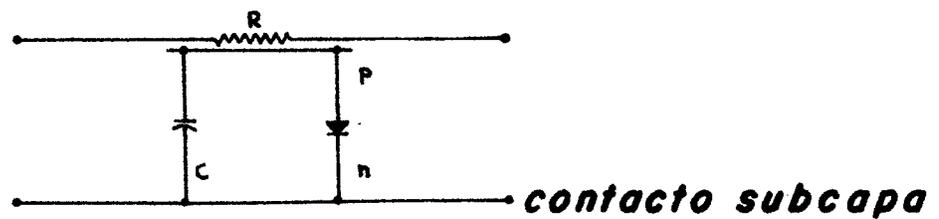


Figura 17.
Circuito equivalente para la resistencia de un circuito integrado híbrido.

CAPITULO II

PROCESOS ESTRUCTURALES Y CAPACIDAD DE LAS COMPONENTES.

APLICACION DE LOS CIRCUITOS INTEGRADOS.

El desarrollo de la técnica para construir circuitos integrados ha tenido en estos últimos años como objetivo, la construcción de circuitos integrados monolíticos para altas frecuencias. Hasta principios de 1966, el límite superior de frecuencia era aproximadamente de 100 MHz, resultante de la disponibilidad de transistores monolíticos con frecuencias de corte mayores de 1 GHz y ganancias útiles de 100 MHz.

Desde entonces se han desarrollado mejores técnicas, principalmente en las técnicas fotográficas y avances estructurales, y de proceso. En un principio las estructuras de circuitos monolíticos eran procesadas mediante difusiones triple y cuádruple con el advenimiento de los procesos "epitaxial doble" y "difusión bajo la capa" o "proceso de capa enterrada" resultó la primera mejora significativa en dispositivos de alta frecuencia. Los procesos epitaxiales selectos como, bolsas epitaxiales y/o aislamiento dieléctrico, prometen extender aún más la frecuencia de trabajo de los circuitos integrados.

1. Avances Tecnológicos.

Los siguientes tipos de estructuras representan la evolución de los circuitos integrados, siendo usados en altos volúme-

nes de producción del 1.1/1.5. Los números 1.4/1.5 son de interés en cuanto a mallas monolíticas de alta frecuencia comerciales se refiere, los números 1.6/1.8 se usan en equipos especiales industriales y militares.

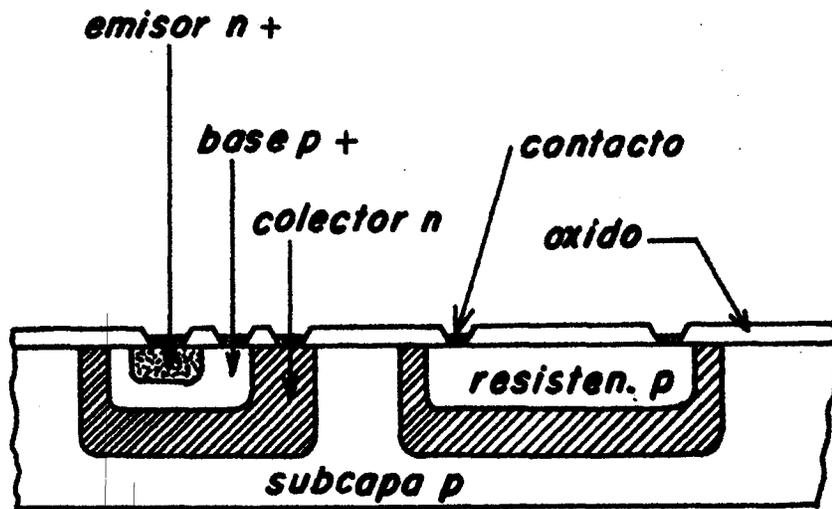
- 1.1 Difusión triple.
- 1.2 Difusión cuádruple.
- 1.3 Epitaxial simple.
- 1.4 Epitaxial doble.
- 1.5 Difusión bajo la capa epitaxial.
- 1.6 Bolsa epitaxial.
- 1.7 Aislamiento dieléctrico.
- 1.8 Armazón de plomo.

2. Estructura de Difusión Triple.

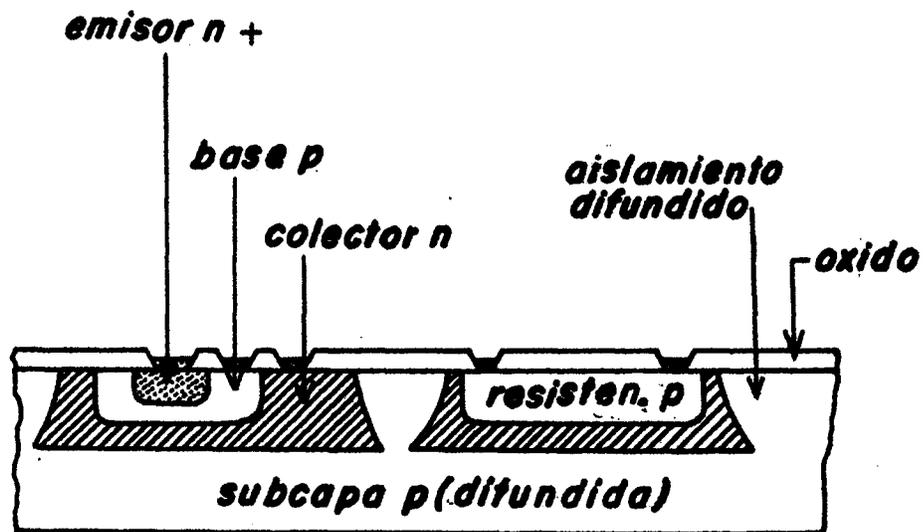
Esta estructura puede fabricarse por dos procedimientos distintos (Ver Fig. 18 a y b).

La estructura mostrada en la Fig. 18 a, es la más antigua, se logra por medio de tres difusiones sucesivas en la parte superior de un material Subcapa, formando así las regiones de la Base, Emisor y Colector. El aislamiento entre transistores de la estructura se logra por medio de la polarización inversa p-n entre la unión Colector-Subcapa.

Puesto que el Colector tiene que ser difundido más profundamente, este tiene un gradiente negativo de impurezas, es decir,



(a)



(b)

Figura 18.—(a) Estructura de difusión triple (la parte superior difundida); (b) Estructura de difusión triple (ambos lados difundidos).

alto en la superficie y cero en la unión de la Subcapa. Esto trae como consecuencia que la unión del Colector sea un área de alto mejunje, por lo tanto, de baja resistividad, dando como consecuencia una capacitancia alta de unión Base-Colector y un voltaje BV_{CBO} de bajo valor.

Los transistores también tienen resistencia de saturación de Colector grande y alto BV_{CS} debido al gradiente de impurezas negativo, puesto que la región activa del Colector es levemente impura resultando una resistividad alta. Además el gradiente negativo hace que el gradiente de la difusión de la Base sea difícil de controlar, lo cual es muy importante en cuanto a f_T se refiere. Al tratar de mejorar la capacitancia de Colector-Base y las características de las resistencias de saturación, mejora una y se degrada la otra.

La estructura de Difusión Triple Fig. 18 b, básicamente es la misma que la anterior, excepto que la impureza tipo p se difunde al frente y atrás de un material uniforme tipo n. La resistencia de saturación, los voltajes de ruptura y capacitancias de juntura pueden comprometerse efectivamente, puesto que una baja capacitancia y un alto voltaje de ruptura requieren una resistividad de Colector alta. Y una resistencia de saturación baja requiere una resistividad de Colector baja. La primera inconveniencia, sin embargo, es que un ciclo de difusión muy grande necesario para el aislamiento debido a su profundidad, resulta en una difusión externa grande, lo cual consume bastante área su

perficial.

3. Estructura de Difusión Cuádruple.

Esta estructura se originó de la necesidad de contar con transistores aislados n-p-n y p-n-p en la misma porción monolítica. (Ver Fig. 19).

El proceso es similar al de Difusión Triple excepto que el material Subcapa original es tipo p y es necesario un ciclo adicional de difusión para la región Emisora del transistor p-n-p. Esta estructura tiene el mismo problema básico asociado con un gradiente de impurezas tipo n añadido al requisito de un ciclo de difusión más. Esto último es también un problema pues cada vez que una nueva unión se difunde, las junturas difundidas previamente tienden a difundirse más profundamente o a marcarse más, lo cual hace que las capacitancias de juntura aumenten.

4. Estructuras Epitaxiales.

El siguiente paso fué la introducción de una estructura epitaxial simple (Ver Fig. 20). La razón inicial para su desarrollo fué la de lograr un Colector uniformemente impuro a la estructura mostrada en la Fig. 18 b, sin tener que difundir en la parte posterior. El proceso involucra el crecimiento epitaxial de un material uniformemente impuro tipo n sobre una Subcapa tipo p, en la que la Base y el Emisor serán difundidos. Esto nos proporciona una región de Colector uniforme, además la juntura Colector-Subcapa es una juntura-paso, la cual exhibe una capacitancia

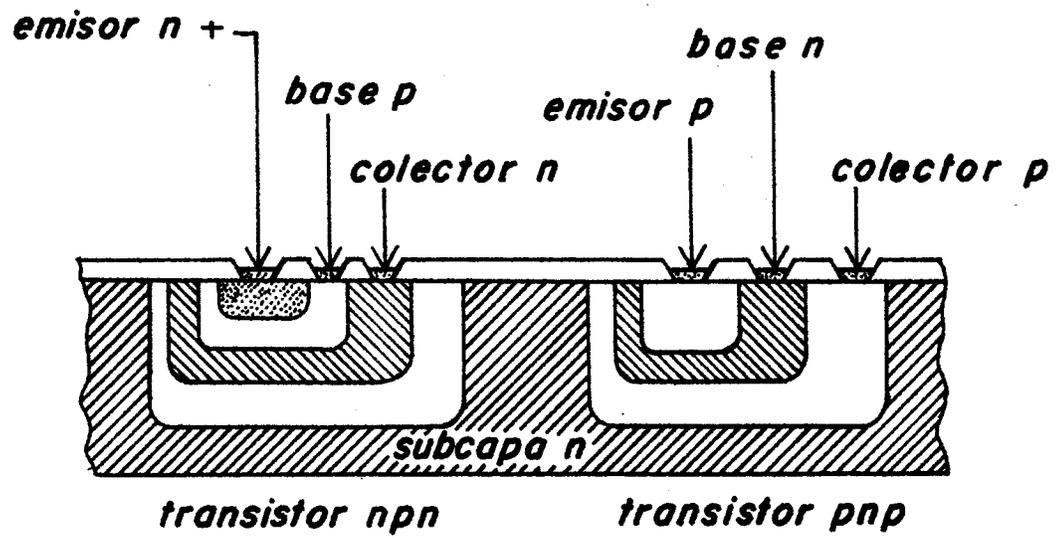


Figura 19.- Estructura de difusion cuadruple

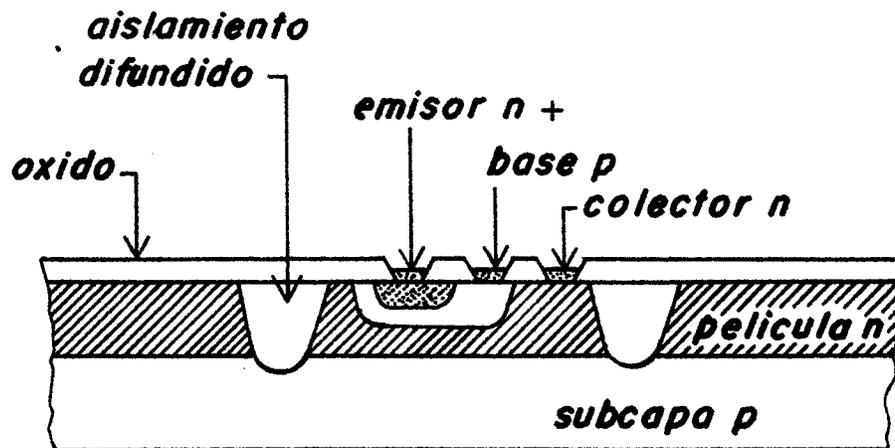


Figura 20.- Estructura epitaxial simple

cia parásita menor que la de una juntura marcada. Por otro lado, aunque es necesaria una tercera difusión para aislar a través de la capa n , sólo se requieren dos difusiones para el transistor en sí. Esto ayuda a mejorar el problema del crecimiento de las uniones previas cuando se difunden uniones nuevas, puesto que la difusión aisladora se hace antes que la difusión del Emisor. Por consiguiente, esta estructura permite la optimización de las capacitancias de unión y voltajes de ruptura por medio de una selección apropiada del nivel de impurezas de la capa n . La única característica comprometida en este proceso es la resistencia de saturación y aún así, es más baja que la obtenida en las estructuras de difusión triple y cuádruple, puesto que el nivel de impurezas es mantenido uniformemente en el material.

El éxito que se obtuvo en la estructura epitaxial logrando bajas capacitancias de unión y altos voltajes de ruptura, dieron lugar induciendo a una estructura que reuniera las ventajas de la estructura epitaxial simple y a la vez, una resistencia de saturación baja a la estructura mostrada en la Fig. 21. La técnica de fabricación es la misma que la usada en la epitaxial simple a excepción de la capa epitaxial n^+ (altamente impura) la cual se crece antes que la capa tipo n . Con esto la resistencia de saturación del Colector normal en la epitaxial simple se coloca en paralelo con la resistencia en la capa n^+ la cual es de un valor bajo, dando así un voltaje de saturación mucho más bajo. Desafortunadamente el voltaje de ruptura Colector-Subcapa es más bajo y la capacitancia parásita Colector a Subcapa, es mayor que

en la epitaxial simple debido a la baja resistividad de la capa $n+$.

Respecto a la frecuencia, el resultado neto es un aumento en f_T , puesto que la resistencia de Colector es un término que aumenta la influencia (en la ecuación de f_T) reduciendo la capacitancia Colector-Subcapa.

Un segundo problema asociado con la estructura, resulta de la necesidad de aislamiento difundido a través de dos capas en lugar de una del caso anterior, la difusión más profunda del aislamiento provoca una difusión externa sobre la superficie en un área mayor.

5. La Estructura de la Capa Enterrada.

El objetivo: Consumir menos área superficial que en la estructura anterior. Esta es la estructura de "Difusión Bajo la Capa" o "Estructura de Capa Enterrada", (Ver Fig. 22). En esta estructura en lugar de crecer una capa $n+$ a través del material completo se difunde en material $n+$ en la Subcapa p en localizaciones donde eventualmente en su parte superior se construirá la región del Colector. Se crece luego la capa epitaxial tipo n y se efectúa la difusión aisladora. En este caso la profundidad del aislamiento debe ser lo necesario para penetrar la capa n solamente. Resulta así menor necesidad del área exterior superficial y con esto los transistores se hacen más pequeños pudiéndose colocar más juntos, además la capacitancia de Colector a

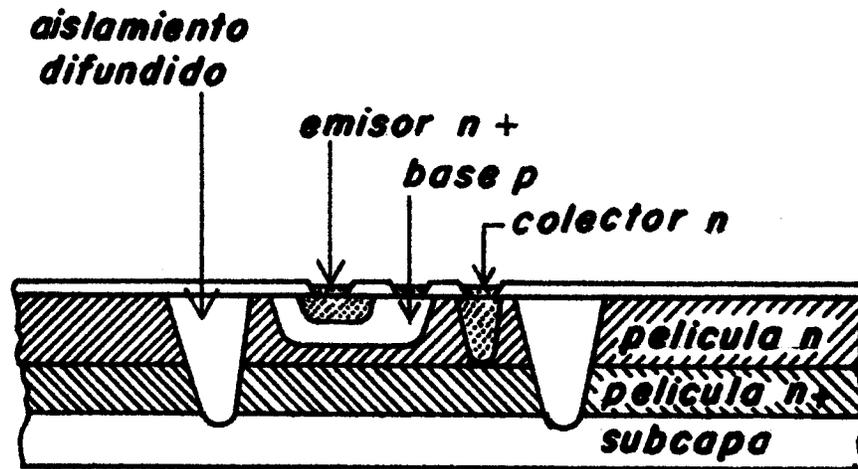


Figura 21.. Estructura epitaxial doble

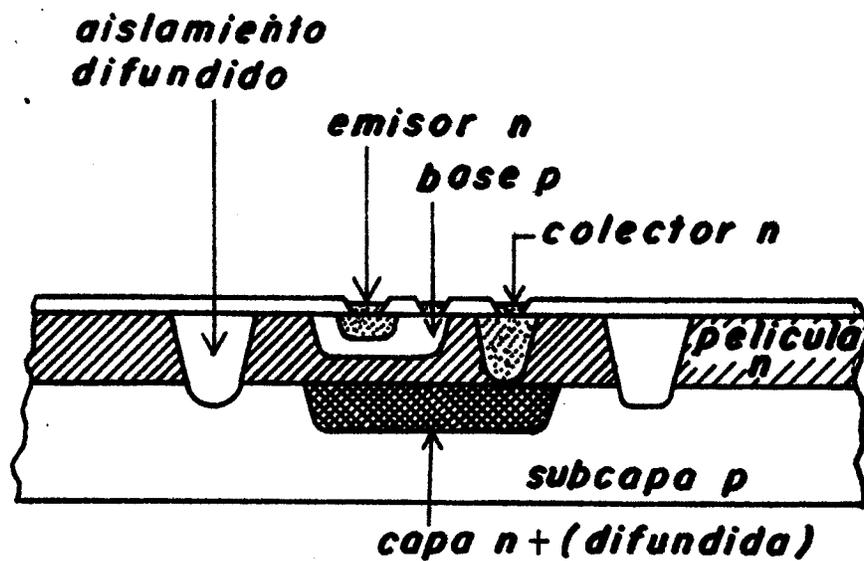


Figura 22.. Difusion bajo la película epitaxial

Subcapa disminuye ya que ésta, como cualquier capacitancia, es proporcional al área de la juntura.

6. Estructura Epitaxial de Bolsa.

Esta estructura es idéntica a la anterior, excepto que la capa $n+$ no es difundida. Se graban pequeñas cavidades en el material original, luego son rellenas con una capa $n+$ crecida epitaxialmente. Esto nos proporciona un mejor voltaje de Colector Subcapa para una misma resistencia de saturación, en relación a la estructura anterior. (Ver Fig. 23).

Todas las estructuras discutidas anteriormente tienen como aislamiento uniones de polarización inversa, de hecho la mayor parte de la discusión precedente ha sido con las capacitancias y voltajes de ruptura de la unión aislante, además puede aparecer la corriente de fuga en cualquier diodo, normalmente con polarización inversa.

7. Aislamiento Dieléctrico.

En este proceso se emplea el aislamiento dieléctrico, básicamente incorpora una estructura epitaxial con una capa de Oxido de Silicio rodeando a cada transistor. Hay varios métodos para lograr esto, cada uno requiere algunos pasos extra. Uno de estos métodos comienza con una porción de Silicio en la cual se hacen cavidades, se crece luego una capa de Bióxido de Silicio sobre toda la superficie, luego se deposita Silicio policristalino en la parte superior y esta se arregla hasta que quede lisa.

La porción de Silicio se transfiere para limpiarse removiéndose el Bióxido de Silicio. El resultado es que se obtienen islotes tipo n de un solo cristal de Silicio en el cual las difusiones de Base y Emisor se llevan a cabo. Las ventajas de este método son de sí evidentes, pues los problemas previamente discutidos con respecto a la unión aisladora, son evitados. (Ver Fig. 24).

8. La Tecnología Armazón de Plomo.

Esta tecnología mostrada en la Fig. 25 usa un procedimiento similar al de cualquier estructura previamente descrita. En el paso de metalización sin embargo, se deposita un patrón de metalización pesada. Entonces, todo el Silicio superfluo es resacado o lavado resultando de esta manera dispositivos individuales interconectados por metalizaciones semirígidas y componentes con aislamiento de aire. Con esto parecería lo último en estructuras monolíticas desde el punto de vista de la frecuencia, sin embargo, problemas en su fabricación han impedido ampliación en la aplicación de esta técnica.

9. Resistencias.

La diferencia entre la capacidad de los circuitos integrados en el presente y la correspondiente a las componentes discretas, se debe a los siguientes factores, los cuales tienen mayor influencia en los circuitos integrados. La componente parásita asociada con la unión p-n, la limitación por pérdidas en las capacitancias, la alta resistividad y la transferencia de calor

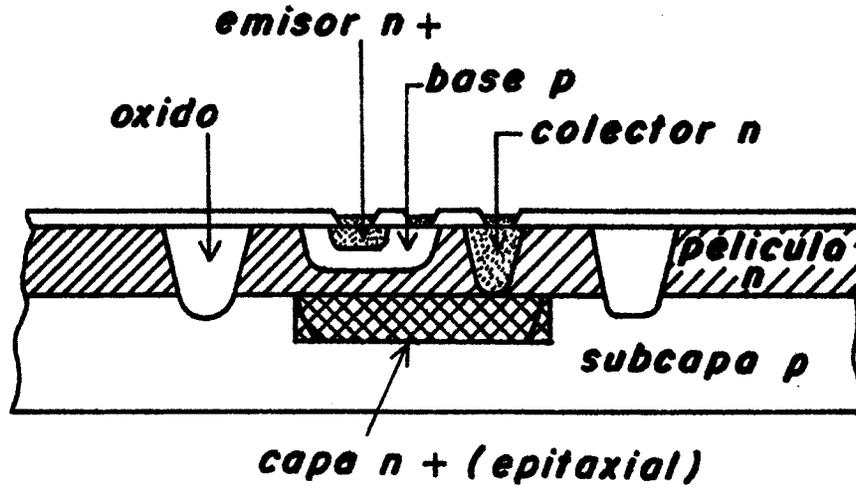


Figura 23.. Estructura de la bolsa epitaxial

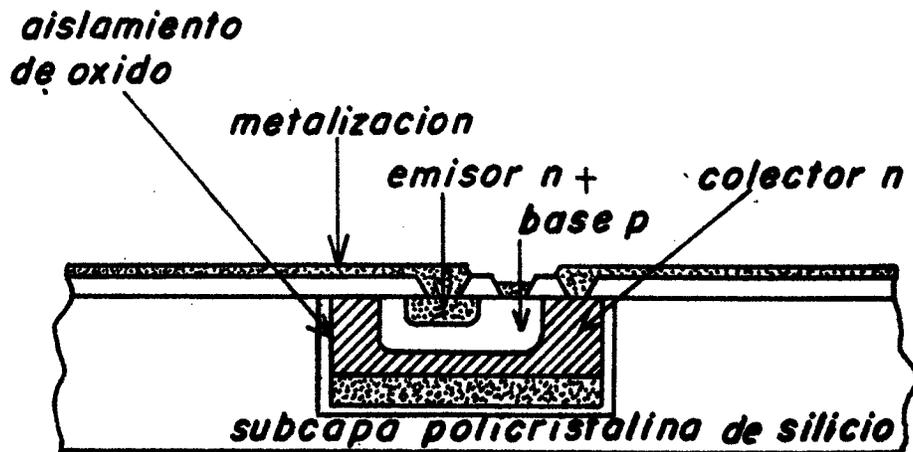


Figura 24. Estructura de aislamiento dielectrico

entre componentes.

Las resistencias monolíticas de circuitos integrados son en general hechas durante la difusión de la Base, por lo tanto, son del mismo material de la Base, tipo p, cuyo rango normal es de 50-250 Ω por cuadro. Una limitación especial es la capacitancia distribuida de la unión p-n cuyos valores van de 0.07/0.15 pf/mil², esto es, valores típicos de $C_{b,c}$ puesto que las difusiones de las Bases y resistencias son las mismas. Este rango de capacitancia está basado en un Colector epitaxial nominal o capa n de una resistividad que va desde 0.1/0.5 Ω cm. para un voltaje aplicado en la unión de 5 volts. La Fig. 26.a, representa una resistencia monolítica con capacitancia distribuida. La Fig. 26.b, muestra dos resistencias de "constante concentrada" la del primer modelo es más usada, es decir, con una terminal a tierra. La del segundo modelo es menos usada y se aplica cuando la señal va a través de la resistencia. Es necesario disminuir el área resistiva debido a la capacitancia distribuida, por lo cual se usan resistencias delgadas para mejorar la respuesta a la frecuencia. Considerando una resistencia de 1K Ω , de dos milésimas de ancho, difundida con resistividad de 100 Ω /por cuadro la capacitancia distribuida es:

$$C_{\text{dist.}} = 2 \text{ mil.} \times 20 \text{ mil.} \times 0.1 \text{ pf/mil.}^2 = 4 \text{ pf.}$$

disminuyendo ahora el ancho a 0.5 milésimas

$$C_{\text{dist.}} = 0.5 \text{ mil.} \times 5 \text{ mil.} \times 0.1 \text{ pf/mil.}^2 = 0.25 \text{ pf.}$$

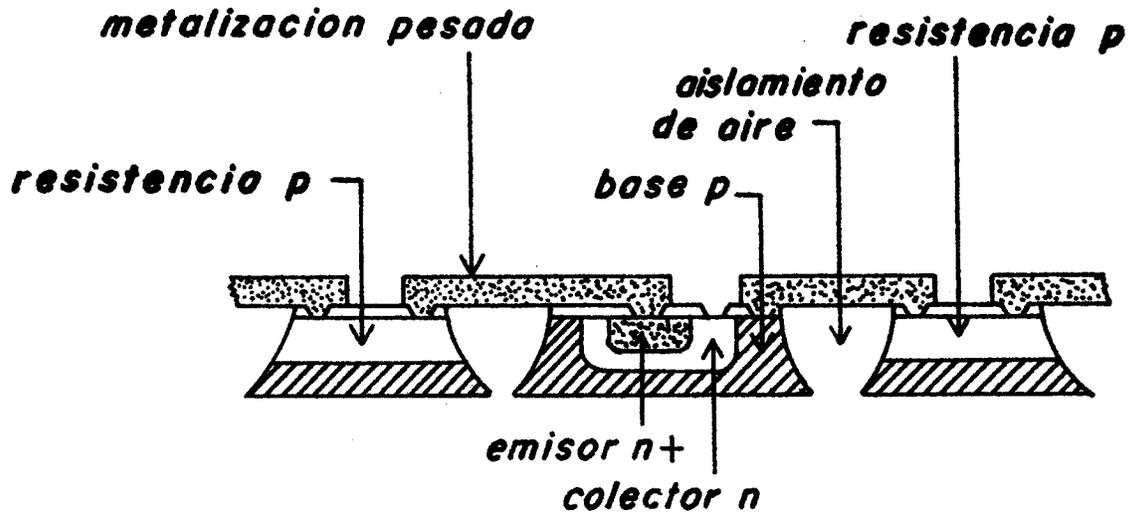


Figura 25. Estructura amazon de plomo

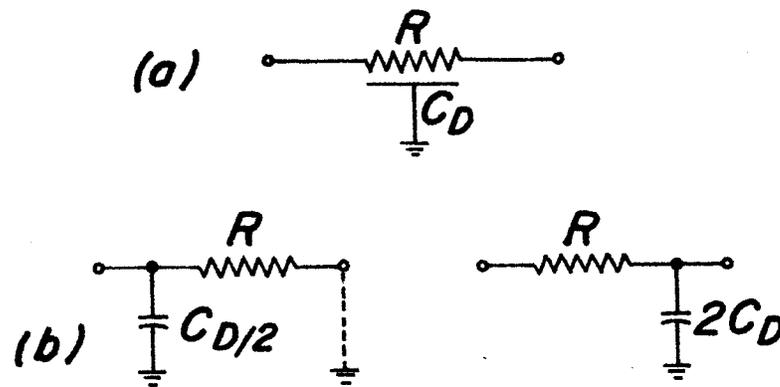


Figura 26.

(a) Modelo de una resistencia monolitica de alta frecuencia (distribuida).. Modelo de resistencia de alta frecuencia (de plasta)

siendo las frecuencias de corte

$$f_{2 \text{ mil.}} = \frac{1}{2\pi RC} = 80 \text{ MHz}$$

$$f_{.5 \text{ mil.}} = \frac{1}{2\pi RC} = 1.28 \text{ GHz}$$

respectivamente.

10. Capacitancias.

Generalmente para altas frecuencias no se usan, pues la capacitancia monolítica convencional requiere un gran sacrificio de área superficial por pf. Se logra con una juntura p-n de polarización inversa. Normalmente se usa la difusión tipo p para formar la placa negativa y la placa positiva se forma con la difusión Colector o Emisor. (Ver Fig. 27).

También se tiene el problema de alta resistividad de la hoja de difusión de la Base, siendo el Q de una capacitancia monolítica de uno o menos de uno, de aquí la inconveniencia de usarlos en altas frecuencias.

11. Transistores.

Se pueden discutir con el modelo π del transistor, con la modificación de la inclusión de la capacitancia Colector-Subcapa. En la Fig. 28, C_{CS} es la capacitancia Colector-Subcapa; R_{CS} es la resistencia de bulbo de la región activa del Colector. Un transistor parásito p-n-p es conectado a la Subcapa el cual

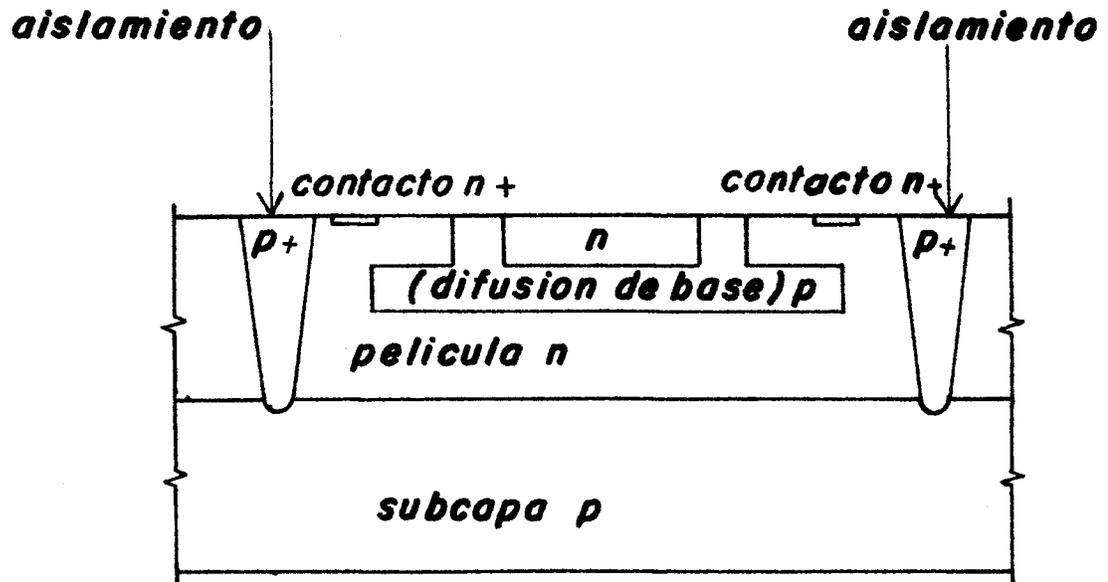


Figura 27.- Capacitancia difundida

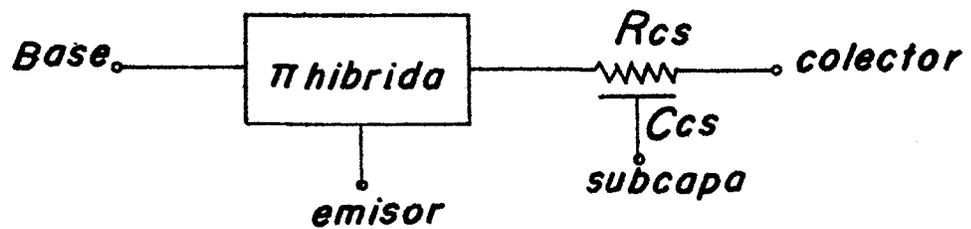


Figura 28.- π hibrida modificada (pictórico)

es polarizado inversamente por conveniencia de diseño.

Un parámetro importante del transistor integrado de alta frecuencia es $r_{bb'}$, es decir, la resistencia entre Base y contacto. (Ver Fig. 29), pues la frecuencia de corte de la resistencia difundida es directamente proporcional a la resistividad de la hoja de difusión de la Base, debiéndose pensar en algo para mejorar la capacitancia en altas frecuencias. La $r_{bb'}$ x C_C es grande y la respuesta a las altas frecuencias no es tan buena.

Otro parámetro es la capacitancia Colector-Subcapa C_{CS} la cual para altas frecuencia pone en cortocircuito la salida. En un caso típico C_{CS} está compuesta de dos capacitancias, una lateral con 0.08 pf/mil^2 y otra de fondo con 0.03 pf/mil^2 (caso transistor Cl 2N5511) usando tres volts de polarización inversa. Los datos se determinan de concentraciones impuras prescritas.

La componente del fondo es:

$$(0.03 \text{ pf/mil}^2) 18 \text{ mil}^2 = 0.54 \text{ pf.}$$

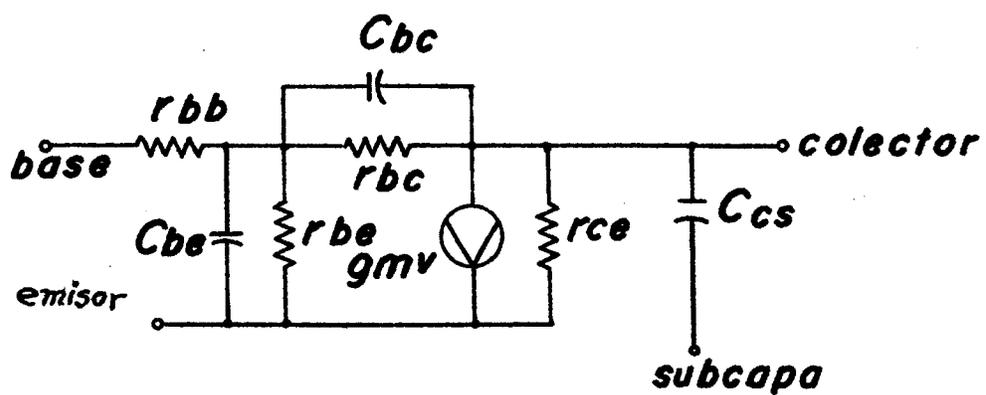
la componente lateral es:

$$(0.08 \text{ pf/mil}^2) 17 \text{ mil}^2 = 1.36 \text{ pf.}$$

resultando una capacitancia $C_{CS} = 1.9 \text{ pf.}$

12. Amplificadores de Colector Común - Base Común y Emisor Común - Base Común.

Al presente la tecnología de circuitos integrados ha avan-



Figuro 29..Modelo del transistor de π hibrida

zando al punto en que ya son económicas las configuraciones múltiples de transistores interconectados con componentes de semiconductores pasivos.

En esta sección se examinan dos configuraciones muy populares, una de ellas un amplificador con Emisor acoplado, el cual, esencialmente es un par con Colector-común, Base-común y puede considerarse como amplificador diferencial. La otra es un amplificador en cascada el cual es un par Emisor común, Base-común.

El circuito básico que se usará en ambas configuraciones se muestra en la Fig. 30, considerando primero la configuración de Emisor-común, Base-común, en la operación de C.D. los voltajes V_S y R_S establecen la corriente I_{D_1} , en el diodo D_1 . Este diodo está colocado cerca del transistor Q_1 de manera que la corriente del Emisor de Q_1 sea el cinco por ciento de la corriente del diodo, tomando así ventaja de un acople de polarización, posible sólo con circuitos integrados. La corriente establecida en el Emisor de Q_1 será compartida de alguna manera, entre Q_2 y Q_3 , dependiendo de la relación entre $V_{cag}^{(*)}$ y V_R como ocurre en cualquier amplificador diferencial. (Ver Fig. 31). Para el caso en que $V_{cag} \gg 114 \text{ mv} + V_R$, Q_3 no conduce y la corriente de colector de Q_2 se transfiere a Q_1 , en esta condición la ganancia de C.A. de Q_3 está en su punto mínimo. Por otro lado, si $V_{cag} \leq V_R - 114 \text{ mv}$ toda la corriente que pasa por Q_1 fluirá por Q_3 , siendo este el punto de operación para máxima ganancia de C.A.

(*) **NOTA:** c.a.g. = Control Automático de Ganancia o de Voltaje.
(c.a.v.) Es el control de la señal de salida para que ésta permanezca a un mismo nivel aún si las señales de entrada varían en intensidad.

La operación de C.A. se lleva a cabo mediante la combinación de Q_1 y Q_3 actuando como un par Emisor-común Base común, ofreciendo ventaja en el comportamiento al reducirlo la retroalimentación interna (Y_{12}) en dos órdenes de magnitud en relación a un solo transistor. Otra ventaja es la habilidad para variar la ganancia del circuito como se mostrará más adelante. Un cambio en el V_{cag} , tiene un efecto menor en el punto de operación de Q_1 , es decir, la impedancia de entrada de Q_1 permanece constante.

12.1 Operación de C.D. del par EC-BC.

De la Fig. 32 y las ecuaciones de nudo para V_8 y V_{10} se tiene:

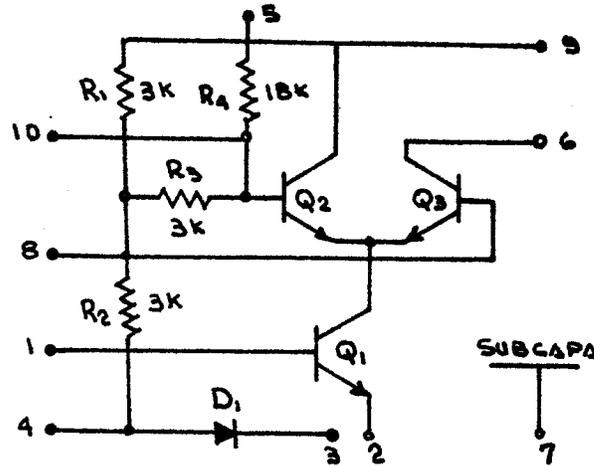
$$\text{Nudo 8, } \frac{V_8 - V_{cc}}{R_1} + \frac{V_8 - V_{10}}{R_3} + \frac{V_8 - V_{D1}}{R_2} + I_{B_3} = 0$$

$$\text{Nudo 10, } \frac{V_{10} - V_{cag}}{R_4} + \frac{V_{10} - V_8}{R_3} + I_{B_2} = 0$$

de donde se pueden obtener V_8 y V_{10} despreciando I_{B_2} e I_{B_3} .

$$V_8 = \frac{\left(V_{cc} + \frac{R_1}{R_2} V_{D1} \right) \left(1 + \frac{R_4}{R_3} \right) + V_{cag} \frac{R_1}{R_3}}{\left(1 + \frac{R_4}{R_3} \right) \left(1 + \frac{R_1}{R_3} + \frac{R_1}{R_2} \right) - \left(\frac{R_1}{R_3} \right) \left(\frac{R_4}{R_3} \right)} \quad (13)$$

$$V_{10} = \frac{\left[V_{cc} + \frac{R_1}{R_2} V_{D1} \right] + V_{cag} \left(1 + \frac{R_1}{R_2} + \frac{R_1}{R_3} \right)}{\left(1 + \frac{R_4}{R_3} \right) \left(1 + \frac{R_1}{R_2} + \frac{R_1}{R_3} \right) - \left(\frac{R_1}{R_3} \right) \left(\frac{R_4}{R_3} \right)} \quad (14)$$



**Circuito basico para ambas configuraciones
Fig. 30.**

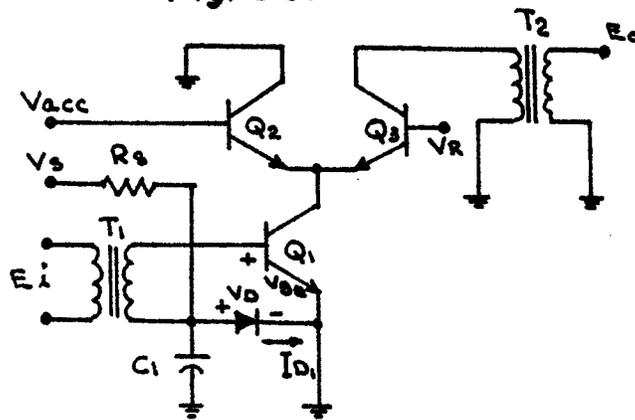


Fig.31. Circuito simplificado para considerar C.D.

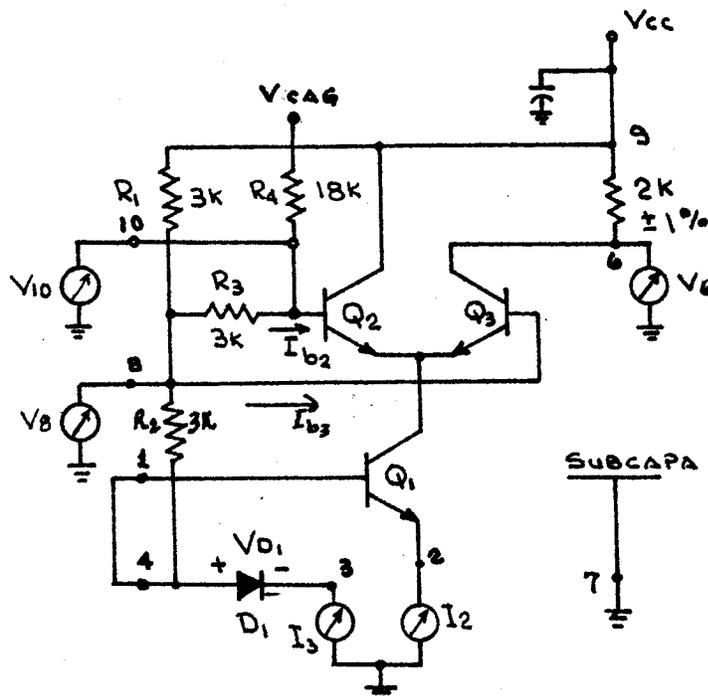


Fig.32. Par colector-emisor colector base

De donde se pueden ver que los voltajes de C.D. dependen de razones de resistencias y no de valores absolutos. La tecnología de circuitos integrados permite lograr una tolerancia con facilidad de un cinco por ciento, siendo así la estabilidad de C.D. buena. La forma en que Q_2 y Q_3 comparten la C.D. que pasa a través de Q_1 se determina por la diferencia $V_0 = V_8 - V_{10}$ la cual viene siendo,

$$V_0 = \frac{\frac{R_4}{R_3} \left[V_{CC} + \frac{R_1}{R_2} V_{D1} \right] - V_{cag} \left(1 + \frac{R_1}{R_2} \right)}{\left(1 + \frac{R_4}{R_3} \right) \left(1 + \frac{R_1}{R_3} + \frac{R_1}{R_2} \right) - \left(\frac{R_1}{R_3} \right) \left(\frac{R_4}{R_3} \right)} \quad (15)$$

de donde

$$\frac{\partial V_0}{\partial V_{cag}} = \frac{- \left(1 + \frac{R_1}{R_2} \right)}{\left(1 + \frac{R_4}{R_3} \right) \left(1 + \frac{R_1}{R_3} + \frac{R_1}{R_2} \right) - \frac{R_1}{R_3} \frac{R_4}{R_3}} \quad (16)$$

lo cual para valores comunes,

$$R_1 = R_2 = R_3 = R = 3 \text{ K} \quad (17)$$

$$R_4 = 18 \text{ K}$$

$$\frac{\partial V_0}{\partial V_{cag}} = - 0.133 \frac{V}{V}$$

de donde si $\Delta V_0 = 114 \text{ mv.}$ tenemos que $\Delta V_{cag} = - 0.86 \text{ volts,}$ a una temperatura ambiente.

Para determinar el efecto de c.a.g. en el punto de operación de Q_1 se usará el circuito de la Fig. 33, de la cual se puede dedu-

cir:

$$I_E \text{ de } Q_1 : \quad (18)$$

$$\frac{V_8 - V_{D_1}}{R_2} = I_{D_1} + I_{B_1}$$

suponiendo un acoplo para la unión del diodo D_1 y la unión Base - Emisor de Q_1 vemos que:

$$I_{D_1} = I_{E_1} = (h_{FE} + 1) I_{B_1} \text{ sustituyendo en (18)}$$

(19)

$$\frac{V_8 - V_{D_1}}{R_2} = \left(\frac{h_{FE} + 2}{h_{FE} + 1} \right) I_{E_1}$$

para $h_{FE} \approx 1$

$$I_{E_1} = \frac{V_8 - V_{D_1}}{R_2} \text{ sustituyendo } V_8 \text{ de (13) en (19) queda:}$$

$$I_{E_1} = \frac{\left[V_{cc} + \frac{R_1}{R_2} V_{D_1} \right] \left(1 + \frac{R_4}{R_3} \right) + V_{cag} \left(\frac{R_1}{R_3} \right) - \frac{V_{D_1}}{R_2}}{R_2 \left[\left(1 + \frac{R_4}{R_3} \right) \left(1 + \frac{R_1}{R_3} + \frac{R_1}{R_2} \right) - \left(\frac{R_1}{R_3} \right) \left(\frac{R_4}{R_3} \right) \right]} \quad (20)$$

de donde

$$\frac{\partial I_{E_1}}{\partial V_{cag}} = \frac{R_1/R_3}{R_2 \left[\left(1 + \frac{R_4}{R_3} \right) \left(1 + \frac{R_1}{R_3} + \frac{R_1}{R_2} \right) - \left(\frac{R_1}{R_3} \right) \left(\frac{R_4}{R_3} \right) \right]} \quad (21)$$

lo cual para $R_1 = R_2 = R_3 = R = 3 \text{ K } \Omega$

$$R_4 = 18 \text{ K } \Omega$$

se tiene:

$$\frac{\partial I_{E_1}}{\partial V_{cag}} = 22 \mu \text{ a/v} \quad (22)$$

para un voltaje $V_{CC} = 6$ volts, $I_{E_1} \sim 0.88$ ma. con lo cual para un $\Delta V_{cag} = 0.86$ volts, $\Delta I_{E_1} = 19 \mu \text{ A}$ a esto es, un incremento del 2.16%. Para mayores voltajes de alimentación, el efecto de V_{cag} es aún menor en I_{E_1} , 1% para $V_{CC} = 12$ volts.

En la Fig. 34 se muestran datos, medidos a 60 MHz donde se pueden ver las variaciones de la impedancia de entrada, la cual depende de:

$$r_e = \frac{KT}{q I_E} \quad \text{e } I_E \text{ varía muy poco.}$$

La estabilidad por temperatura se muestra en la Fig. 35 en la cual aparece I_{D_1}/I_{E_1} versus temperatura y el cambio de I_{E_1} , para V_{CC} de 6 volts versus temperatura.

La variación de I_{E_1} produce una variación de la ganancia de potencia ± 1.5 db. sobre el rango de temperatura de -55°C a $+125^\circ\text{C}$.

12.2 Operación de C.D. del par CC-BC.

Para esta operación se considera (6) un amplificador diferencial CC-BC sintonizado a una frecuencia específica. La Fig. 36 representa Q_1 , la cual se puede usar para cálculos de C.D. obsérvese como un voltaje de C.D. aplicado como c.a.g. (Control automático de ganancia) ocasiona las corrientes $I_2 = I_3$, las cuales se pueden relacionar por las ecuaciones:

$$I_2 = a_{11} e^{q\phi_1/KT} \quad (23)$$

$$I_3 = a_{11} e^{q\phi_2/KT} \quad (24)$$

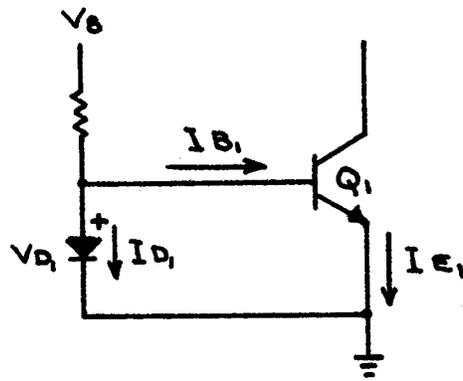


Fig. 33.- Circuito para Q_1

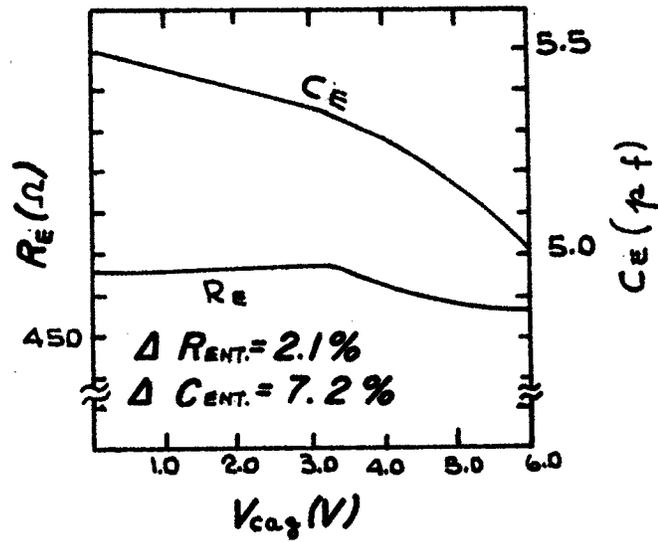


Fig. 34.- Caracteristicas a 60 MHz

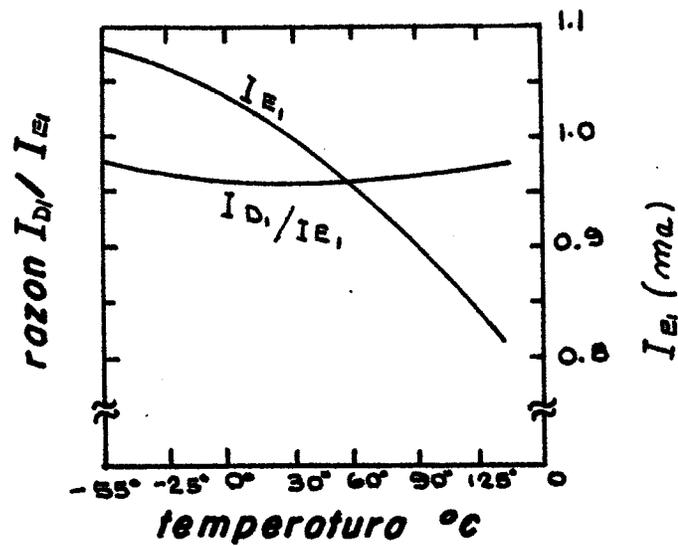


Fig. 35.- I_{D1}/I_{D2}

suponiendo I_2 e I_3 aproximadamente iguales a las corrientes de Emisor se tiene:

$$I_2 + I_3 = I_{Q_1}$$

$$V_8 - V_{10} = \phi_2 - \phi_1 \text{ de donde}$$

$$I_3 = \frac{I_{Q_1}}{1 + e^{q(V_{10} - V_8)/KT}}$$

Ahora, si se supone que V_{10} es constante y además que $V_{10} - V_8 = V_a$ tal que $I_3 = 0.1 I_{Q_1}$, y se supone también que $V_{10} - V_8 = V_b$ tal que $I_3 = 0.9 I_{Q_1}$, entonces la diferencia entre ambos valores nos da la anchura ΔV_g .

$$0.1 I_{Q_1} (1 + e^{q V_a/KT}) = I_{Q_1}$$

$$0.9 I_{Q_1} (1 + e^{q V_b/KT}) = I_{Q_1} \text{ de donde se obtiene:}$$

$$V_a = \frac{KT}{q} \ln p$$

$$V_b = \frac{KT}{q} \ln \frac{1}{p} \text{ luego,}$$

$$\Delta V_8 = V_a - V_b = \frac{KT}{q} \ln p + \frac{KT}{q} \ln p \text{ o sea:}$$

$$\Delta V_8 = 4.4 \frac{KT}{q} = 114 \text{ mv.} \quad \text{Para } T = 25^\circ\text{C}$$

De lo cual se deduce que ΔV_8 es función de la temperatura solamente siendo a -55°C , 83.6 mv. y a 100°C , 114 mv. Esta es una característica sobresaliente común a todos los amplificadores diferenciales, además la característica nos proporciona la clave

para determinar la capacidad máxima de señales.

12.3 Parámetros y Comportamiento de C.A. del circuito CE-CB.

Existen dos métodos básicos por medio de los cuales los circuitos integrados, pueden caracterizarse. Uno de estos métodos consiste en la medición o cálculo de los parámetros internos del transistor formando un modelo apropiado para cada uno y combinándolo con otras componentes internas y modelos de transistores para formar un modelo del todo, que aproximará al circuito verdadero. Para circuitos integrados con la capacitancia de la Subcapa y la capacitancia parásita de la resistencia, este método de análisis resulta difícil y los resultados de certeza dependen en la certeza del modelo, este método resulta más eficaz para relacionar la aplicación de un circuito específico a los parámetros de artefactos. No es tan bueno como la obtenida cuando se usan parámetros de dos puertos.

El método de dos puertos caracteriza la malla lineal activa como caja negra, no siendo limitada por aproximaciones, sino por la eficiencia en la medición de los parámetros. En mediciones nominales se obtienen correlaciones del 5% con frecuencias sobre puestas al efectuarse mediciones con diferentes medidores de precisión. Por lo cual en la siguiente descripción se usan parámetros Y.

En la siguiente descripción se considera el circuito Emisor-común y Base-común en cascada. (Ver Fig. 37).

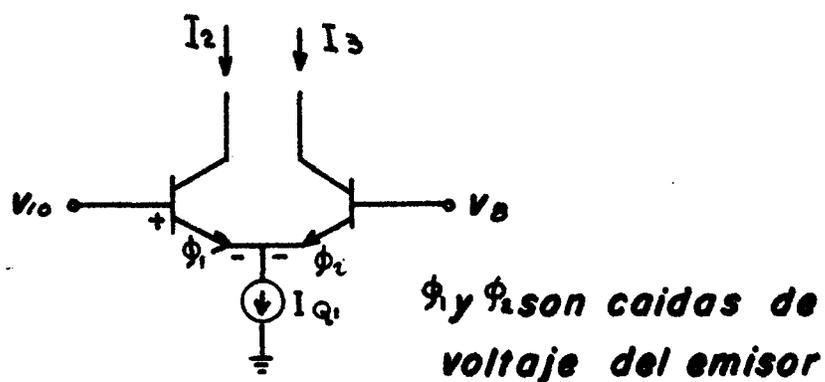


Fig. 36

Circuito de CD para la Fig. 30

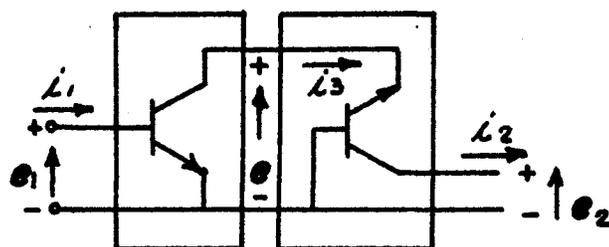
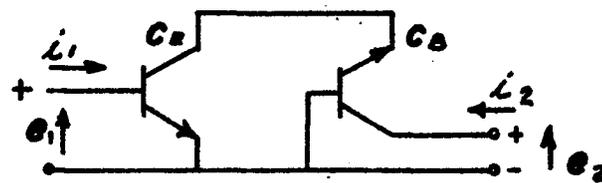


Fig. 37

Circuitos de colector emisor colector base para obtener los parámetros Y.

Para derivar los parámetros Y se considera la matriz de transmisión de un paso de Emisor-común Base-común para el que la matriz de transmisión total viene a ser:

$$\begin{bmatrix} e_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A_1 & A_2 + B_1 & C_2 & A_1 B_2 + B_1 D_2 \\ A_2 & C_1 + C_2 & D_1 & B_2 C_1 + D_1 D_2 \end{bmatrix} \begin{bmatrix} e_2 \\ i_2 \end{bmatrix} \quad (25)$$

Donde $A_1, A_2, \dots, B_1, B_2, \dots$ pueden obtenerse considerando la matriz Y como sigue:

$$\begin{bmatrix} i_1 \\ -i_3 \end{bmatrix} = \begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix} \begin{bmatrix} e_1 \\ e_3 \end{bmatrix}$$

de donde se puede obtener:

$$\begin{bmatrix} e_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A_1 & B_1 \\ C_1 & D_1 \end{bmatrix} \begin{bmatrix} e_3 \\ i_3 \end{bmatrix} = \frac{11}{y_{21}} \begin{bmatrix} -y_{22} & -1 \\ y_{12}y_{21} - y_{11}y_{22} & -y_{11} \end{bmatrix} \begin{bmatrix} e_3 \\ i_3 \end{bmatrix}$$

de donde se obtienen los valores de A_1, B_1, \dots , similarmente se pueden obtener los términos A_2, B_2, \dots , con lo cual se consigue finalmente:

$$\begin{aligned} A_1 &= \frac{-y_{oe}}{y_{fe}} & B_1 &= \frac{-1}{y_{fe}} \\ A_2 &= \frac{-y_{ob}}{y_{fb}} & B_2 &= \frac{-1}{y_{fb}} \\ C_1 &= \frac{-\Delta y}{y_{fe}} & D_1 &= \frac{-y_{ie}}{y_{fe}} \\ C_2 &= \frac{-\Delta y}{y_{fb}} & D_2 &= \frac{-y_{ib}}{y_{ob}} \end{aligned}$$

donde $\Delta y = y_i y_o - y_f y_r$ en las ecuaciones se toma y_{fe}

$$y_{fe} = y_{21} \text{ etc.} \quad y_{fb} = y_{21} \text{ etc.}$$

de aquí se puede obtener sustituyendo los parámetros y , en la matriz total de transmisión, la matriz total de parámetro Y .

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} e_1 \\ e_2 \end{bmatrix} \quad \text{partiendo de}$$

$$\begin{bmatrix} e_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} e_2 \\ i_2 \end{bmatrix} = \begin{bmatrix} A_1 & A_2 + B_1 & C_2 & A_1 B_2 + B_1 D_2 \\ A_2 & C_1 + C_2 & D_1 & B_2 C_1 + D_1 D_2 \end{bmatrix} \begin{bmatrix} e_2 \\ i_2 \end{bmatrix}$$

finalmente se llega a la expresión:

$$\begin{bmatrix} i_1 \\ -i_2 \end{bmatrix} = \begin{bmatrix} D/B & -\frac{\Delta T}{B} \\ -1/B & A/B \end{bmatrix} \begin{bmatrix} e_1 \\ e_2 \end{bmatrix} \quad (26)$$

de donde por comparación:

$$Y_{11} = \frac{D}{B} \quad Y_{12} = -\frac{\Delta T}{B}$$

$$Y_{21} = \frac{-1}{B} \quad Y_{22} = \frac{A}{B}$$

$$\Delta T = AD - BC.$$

13. Aplicación de los Circuitos Integrados.

Entre los circuitos lineales comunes se tienen:

1. Amplificador de audífono.
2. Amplificador de potencia media (medio Watt aproximadamente).
3. Fuentes de voltaje de alimentación precisas.
4. Amplificador de valor absoluto.
5. Control de temperatura.
6. Oscilador.
7. Preamplificador de Electro-cardiógrafo.
8. Modulador de anchura de pulso.
9. Amplificador de alta ganancia de C.A.

Para comunicaciones los transmisores y combinaciones transmisor-receptor cubren desde el rango de audio hasta frecuencias muy altas. Los circuitos integrados existen comercialmente o están en un estado de desarrollo en las siguientes funciones:

10. Amplificadores desde C.D. hasta 200 MHZ, la mayoría con control automático de ganancia y sistemas para dar forma a las características de frecuencia por medio de componentes externos.
11. Amplificadores de FI de pasabanda.
12. Osciladores de onda senoidal.
13. Amplificadores de audio con potencia de salida hasta de 1 Watt.
14. Moduladores y Detectores.
15. Convertidores de frecuencia.

BIBLIOGRAFIA Y REFERENCIAS:

- 1.- BERRY, R.W. and D.J. SLOAN. Tantalum Printed Capacitors; Proc. IRE; Vol. 47: pp. 1070-1075; June 1959.
- 2.- BLACK J.R. and G.R. MEDLAND. Compatible Techniques for Integrated Circuits; Electrochemical Society; Pittsburgh, Pa. April 1963.
- 3.- EASTMAN KODAK COMPANY. Kodak Photosensitive Resist for Industry. Rochester, N.Y.
- 4.- EBERS, J.J. and J.L. MOSS. Large Signal Behavior of Junction Transistors Proc. IRE; Vol. 42 pp. 1761-1772; Dec. 1954.
- 5.- ELECTRONIC INDUSTRIES ASSOCIATION. Microsystem Electron Bull 1; Recommended Terminology in Microsystem Electronics. New York, Dec. 1962.
- 6.- JERRY EIMBINDER. Linear Integrated Circuits, Theory and Applications; John Willey & Sons; 1958.
- 7.- WARNER and FORDEMVALTS. Motorola, Integrated Circuits design; Principles and Fabrication; McGraw Hill, Book Co.

SIMBOLOS Y CONSTANTES FISICAS:

\AA Unidad Angstrom = 10^{-8} cm

A_E Area del Emisor.

BV_{EBO} Voltaje de Ruptura de la Unión Emisor (Electrodo de Colector abierto).

BV_{CBO} Voltaje de Ruptura de la Unión Colector (Electrodo de Emisor abierto).

BV_{CEO} Voltaje de Ruptura de Colector a Emisor (Electrodo de Base abierta).

BV_{CS} Voltaje de Ruptura de la Unión Colector-Subcapa.

C.A. Corriente Alterna.

C.D. Corriente Directa.

CC-BC Par Colector Común Base Común.

$C_{b,c}$ Capacitancia de la Base a Colector.

C_{CS} Capacitancia de Reducción de Subcapa-Colector.

C_C Capacitancia del Colector.

C_{TE} Capacitancia Total de la Región de Transición de la Unión Colector.

$C_T(0)$ Capacitancia por Unidad de Area de la Región de Transición para una Juntura en Equilibrio.

c.a.g. Control Automático de Ganancia.

f_T Frecuencia a la cual β es Unitaria con el Electrodo Emisor a tierra.

GHZ	Gega-Hertz (10^9 Hertz)
I_{CBO}	Corriente Inversa de Colector a Base con el Electrodo de Emisor Abierto.
I_{EBO}	Corriente Inversa de Emisor a Base con el Electrodo de Colector Abierto.
I_C	Corriente de Colector.
I_B	Corriente de Base.
I_E	Corriente de Emisor.
I_g	Generación de Corriente.
l_C	Longitud del Colector.
l_E	Longitud del Emisor.
K	Constante de Boltzman = 1.38×10^{-16} erg/°K
MHZ	Mega-Hertz (10^6 Hertz)
N'_B	Concentración Neta de Impurezas en la Base, cerca de la Unión Emisor.
n_+	Concentración Alta de Impureza Tipo <u>n</u> .
q	Carga del Electrón = 1.6×10^{-19} Coulombs.
R_{CS}	Resistencia Térmica del Interior de la Cubierta a la Superficie.
R_s	Resistencia de la Hoja.
$r_{bb'}$	Resistencia en Serie con la Base.
r_{SC}	Resistencia de Bulbo del Colector.
T	Temperatura en Grados Kelvin.

- V_{CE} Voltaje de Colector a Emisor.
- V_S Fuente de Voltaje.
- V_{cag} Voltaje del Control Automático de Ganancia.
- V_{CC} Fuente de Voltaje del Colector.
- $V_{CE(SAT)}$ Voltaje de Saturación con Emisor a Tierra (Voltaje de Saturación de Colector).
- X Espesor de una Capa.
- X_C Espesor del Colector.
- X_B Espesor de la Base.
- X Distancia para Transición desde cerca de una Completa Reducción hasta cerca de una Neutralidad Completa.
- X_m Espesor Total de la Capa de Reducción.
- α Ganancia de Corriente para la Operación con Base Común.
- α_i Inversa de $\alpha = 1/\alpha$.
- β Ganancia de Corriente de Cortocircuito, de Emisor Común (h_{FE})
- ϵ_0 Permitividad del Espacio Libre = 8.85×10^{-14} farad/cm.
- ρ_C Resistividad del Colector.
- $\bar{\rho}$ Resistividad Promedio.
- ρ Resistividad.
- ψ_0 Barrera de Potencial Electroestático para una Unión (Originada por un Voltaje).
- ϕ Nivel de Fermi en Volts.
- ΔV_g Anchura de Transición.

τ_B Constante de tiempo de tránsito de la Base.

τ_C Constante de tiempo del Colector.

τ_E Constante de tiempo del Emisor.

τ_T Constante de tiempo Total, es decir, la de Colector más el efecto de la constante de carga de la capacitancia de la Subcapa.

