

INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE MONTERREY

CAMPUS MONTERREY

**PROGRAMA DE GRADUADOS EN TECNOLOGÍAS DE INFORMACIÓN Y
ELECTRÓNICA**



**DISEÑO DE UN AMPLIFICADOR OPERACIONAL CMOS PARA LA
ADQUISICIÓN DE SEÑALES DE EEG**

TESIS

**PRESENTADA COMO REQUISITO PARCIAL PARA OBTENER EL GRADO
ACADÉMICO DE:**

**MAESTRO EN CIENCIAS EN INGENIERÍA ELECTRÓNICA CON ESPECIALIDAD EN
SISTEMAS ELECTRÓNICOS**

POR:

CARLOS JOSÉ DÍAZ TORRES

MONTERREY, N.L.

AGOSTO 2007

**Instituto Tecnológico y de Estudios Superiores de
Monterrey
Campus Monterrey**

**Programa de Graduados en Tecnologías de Información y
Electrónica**

Los miembros del comité de tesis recomendamos que la presente Tesis del Ing. Carlos José Díaz Torres sea aceptada para obtener el grado de **Maestría en Ciencias en Ingeniería Electrónica con especialidad en Sistemas Electrónicos**.

Comité de Tesis

Dr. Sergio Omar Martínez Chapa
Asesor Principal

Dr. Graciano Dieck Assad
Sinodal

Dr. Alfonso Ávila Ortega
Sinodal

Dr. Graciano Dieck Assad
Director del Programa de Graduados en Tecnologías de Información y Electrónica
Agosto de 2007

DISEÑO DE UN AMPLIFICADOR OPERACIONAL CMOS PARA LA ADQUISICIÓN DE SEÑALES DE EEG

POR:

CARLOS JOSÉ DÍAZ TORRES

TESIS

Presentada al Programa de Graduados en Tecnologías de Información y Electrónica.

**Este trabajo es requisito parcial para obtener el grado de Maestro en Ciencias en
Ingeniería Electrónica con Especialidad en Sistemas Electrónicos**

**INSTITUTO TECNOLÓGICO Y DE ESTUDIOS
SUPERIORES DE MONTERREY**

AGOSTO 2007

Dedicatoria.

A Dios por darme fuerzas para siempre salir adelante, bendice a todos; hay que buscar siempre la cercanía a Dios, al bien.

A mis padres: Irma Concepción y Carlos José; y a mis hermanos: Marvin Alfonso y Omar Andrés, por su apoyo y cariño, gracias por su paciencia. Ojala mis estudios pronto rindan frutos para poder contribuir a un mejor futuro para la familia.

A mi novia Esmeralda Montserrat, gracias por esperarme, te quiero mucho. También muchas gracias a tu familia, que desde que te conocí, me han apoyado en todo.

A mis demás familiares, a mis primos, primas, sobrinos, sobrinas, tíos, tías y ahijados. En especial a mi abuelita Irma, muchas gracias por todo.

A todos mis amigos y amigas, gracias por su apoyo, los estimo mucho.

A los profesores que he tenido, por los conocimientos que me han brindado, en especial a mi asesor el Dr. Sergio Omar Martínez, es el mejor profesor que he tenido y muchas gracias por su paciencia y su fe en mi capacidad, como mi asesor de Tesis, para el desarrollo de la misma.

Agradecimientos.

El trabajo de esta tesis se fundamenta en la clase de Micro electrónica analógica CMOS, impartida por mi asesor y jefe el Dr. Sergio Omar Martínez, y se complementa con las otras clases que cursé con él. No fui muy buen alumno, pero no porque el haya sido mal profesor, a la postre, creo que de algo, si no es que de mucho me sirvió para el desarrollo de ésta tesis (claro que me sirvió de mucho). Aparte como asesor de tesis le agradezco mucho su disposición y sobre todo su paciencia.

El trabajo de esta tesis también es mérito del M.C. Alfredo Farid Bautista, del Ing. Marco Antonio Guevara Arellano, del Ing. Luis Medina Valencia, del Ing. Luis Saracho, del Dr. Alfonso Ávila Ortega y del Dr. Graciano Dieck Assad, quienes contribuyeron resolviendo dudas que me permitieron concluir el presente trabajo.

Esta tesis fue elaborada usando LaTeX, en específico con la distribución MikTeX usando TeXnicCenter como editor. Se les agradece a todas las personas que hayan intervenido en el diseño de este paquete de edición tan útil, y que permitan su distribución de manera gratuita.

Se le agradece al Ing. Artemio Aguilar Coutiño, ya que la estructura de ésta tesis partió del paquete propuesta-estructura que se puede descargar desde su página [5].

Resumen.

En esta tesis se presenta el flujo de diseño completo de un circuito integrado, un op amp CMOS para la adquisición de señales de Electro-encefalografía. El flujo de diseño empieza con la concepción del diseño, después le siguen los cálculos matemáticos, la captura esquemática, la etapa de simulación, y por último el trazado (layout) y verificación. El diseño del op amp es un proceso reiterativo que requiere de muchos ajustes, para poder hacerlo mas eficiente y rápido se implementó la metodología del proceso de diseño en una rutina de MATLAB. La etapa de simulación se llevó a cabo utilizando como plataforma experimental el paquete ICFlow de Mentor Graphics® y el HIT-Kit 3.7 de Austriamicrosystems. En la tesis se demuestra la relación directamente proporcional que existe entre las dimensiones de los transistores de la arquitectura electrónica seleccionada y la ganancia de lazo abierto de la misma. El diseño final, cumple con las reglas requeridas para su fabricación siguiendo el proceso de fabricación de 0.35μ de Austriamicrosystems.

Índice general

1. Introducción.	1
1.1. Electroencefalografía.	2
1.1.1. Electroodos de EEG y el Sistema 10-20.	3
1.1.2. Amplitud del EEG y Bandas de Frecuencia.	4
1.2. Padecimientos Neurológicos.	5
1.2.1. Epilepsia	5
1.3. Aplicaciones.	6
1.3.1. Monitoreo de Salud y Registro de EEG.	6
1.3.2. Sistema Ambulatorio para la Detección/Inhibición de Ataques Epilépticos.	6
1.4. Delimitación y Alcance.	7
1.5. Contenido de la Tesis.	7
2. Configuración del Amplificador Operacional.	9
2.1. Fundamentos Teóricos de los Amplificadores Operacionales.	9
2.1.1. Amplificadores Diferenciales.	9
2.1.2. Arquitecturas de Amplificadores de Alta Ganancia.	21
2.2. Amplificadores Operacionales CMOS.	22
2.2.1. Diseño de los Amplificadores Operacionales CMOS.	22
2.2.2. Diseño del Op Amp.	29
2.2.3. Compensación.	31
2.3. Modelo del Amplificador.	41
2.3.1. Constantes del Silicio.	42
2.3.2. Parámetros del Proceso.	42
2.3.3. Requerimientos de la Aplicación.	44
3. Diseño del Amplificador Operacional	46
3.1. Diseño del Amplificador Operacional “Unbuffered ” de dos Etapas	46
3.2. Procedimiento seguido para el Diseño del Op Amp de dos etapas	49
3.3. Resultados de la Rutina Implementada en MATLAB para el Diseño del Op Amp de dos Etapas	60
4. Resultados de las Simulaciones del Amplificador Operacional.	62
4.1. Plataforma Experimental.	62
4.1.1. ICFlow de Mentor Graphics ®.	62
4.1.2. HIT-Kit 3.7 de Austriamicrosystems.	63

4.2.	Captura del Esquemático.	63
4.3.	Diagramas de Bode.	65
4.4.	Simulaciones.	65
4.4.1.	Simulaciones para la Selección de la Aproximación a Implementar.	66
4.4.2.	Cálculo del Parámetro de Modulación del Canal Lambda (λ).	73
4.4.3.	Simulaciones Temporales de Lazo Cerrado sin Compensación de Voltaje de Desvío de Entrada.	75
4.4.4.	Compensación del Desvío (Offset), Análisis de DC.	80
4.4.5.	Simulaciones en Lazo Abierto con Compensación de Desvío de Entrada.	84
4.4.6.	Simulaciones de Lazo Cerrado con Compensación de Desvío de Entrada.	90
4.4.7.	Simulaciones Temporales Incluyendo Resistencia de Carga.	96
4.4.8.	Configuración Ideal para la Aplicación como Amplificador de Señales de EEG.	97
5.	Trazado(Layout).	102
5.1.	Layout Dirigido por Esquemático (SDL).	102
5.2.	Verificación del Layout.	106
6.	Conclusiones.	113
6.1.	Trabajo a Futuro.	114

Índice de figuras

1.1.	Diagrama de bloques del sistema de adquisición y transmisión de señales de EEG. SAD-Sistema de Adquisición y Digitalización, T- Etapa de transmisión, R-Etapa de recepción, A-Antena.	1
1.2.	Diagrama de bloques de la etapa de transmisión de un sistema de telemetría[28]. . .	2
1.3.	Diagrama de bloques de la etapa de recepción de un sistema de telemetría[28]. . . .	2
1.4.	Sistema Internacional de colocación de electrodos 10-20, para la adquisición de señales de EEG (Imagen tomada de [17]).	5
2.1.	(a) Símbolo para un amplificador diferencial. (b) Voltajes de entrada de modo diferencial V_{ID} y de modo común V_{IC} . Imágen editada a partir de las notas de la referencia [6].	11
2.2.	Amplificador diferencial CMOS usando transistores NMOS. Imágen tomada de las notas de la referencia [6].	11
2.3.	Sección transversal de M1 y M2 de la Figura 2.2 en una tecnología CMOS p-well. Imágenes tomada de las notas de la referencia [6].	12
2.4.	Transconductancia de señal grande característica de un amplificador diferencial CMOS. Imágen tomada de las notas de la referencia [6].	13
2.5.	Amplificador diferencial CMOS usando una carga de espejo de corriente. Imágen tomada de las notas de la referencia [6].	14
2.6.	Curva de transferencia de voltaje para el amplificador de la Figura 2.5. Imagen editada a partir de las notas de la referencia [6].	15
2.7.	Amplificador diferencial CMOS usando MOSFETs de canal-p de entrada. Imagen tomada de las notas de la referencia [6].	16
2.8.	Modelo de señal pequeña para el amplificador diferencial CMOS. (a)Modelo exacto. (b)Modelo equivalente simplificado. Imagen tomada de las notas de la referencia [6].	18
2.9.	Ilustración de las simplificaciones del amplificador diferencial para señal pequeña, modo diferencial, y análisis de modo común. Imagen editada a partir de las notas de la referencia [6].	19
2.10.	Modelo de señal pequeña para el análisis de modo común de la Figura anterior. Imagen tomada de las notas de la referencia [6].	20
2.11.	Circuito general de lazo simple con retroalimentación negativa. Imagen tomada de las notas de la referencia [6].	21
2.12.	Diagrama de bloques de un op amp genérico de tres etapas.Imagen editada a partir de las notas de la referencia [6].	23
2.13.	Símbolo para un amplificador operacional. Imagen tomada de las notas de la referencia [6].	23

2.14. Configuración general de un op amp como amplificador de voltaje. Imagen tomada de las notas de la referencia [6].	25
2.15. Un modelo para un op amp no ideal mostrando algunas de sus características lineales no ideales. Imagen editada a partir de las notas de la referencia [6].	25
2.16. Típica respuesta en frecuencia de la magnitud de $A_v(j\omega)$ para un op amp. Imagen editada de las notas de la referencia [6].	26
2.17. Respuesta transiente de un op amp con retroalimentación negativa que ilustra el tiempo de resolución T_s . ϵ es la tolerancia al valor final usado para definir el tiempo de resolución. Imagen editada de las notas de la referencia [6].	27
2.18. Categorización de los Op Amps CMOS. Diagrama reconstruido a partir de las notas de la referencia [6].	28
2.19. Inversor CMOS tipo espejo de corriente. Imagen tomada de las notas de la referencia [6].	29
2.20. Op amp CMOS clásico de dos etapas separado en etapas voltaje-corriente y corriente-voltaje. Imagen editada de las notas de la referencia [6].	29
2.21. Sistema de retroalimentación negativa de lazo simple. Imagen tomada de las notas de la referencia [6].	32
2.22. Respuesta en frecuencia y fase de un sistema de segundo orden. Imagen editada de las notas de la referencia [6].	33
2.23. Respuesta de un sistema de segundo orden con varios márgenes de fase. Imagen tomada de las notas de la referencia [6].	34
2.24. Circuito equivalente de segundo orden en señal pequeña para el op amp de dos etapas. Imagen tomada de las notas de la referencia [6].	34
2.25. Respuesta en frecuencia de lazo abierto para un lazo de retro-alimentación negativa usando un op amp sin compensación y un factor de retroalimentación de $F(s)=1$. Imagen editada de las notas de la referencia [6].	35
2.26. Capacitancia de miller aplicada al op amp de dos etapas. Imagen tomada de las notas de la referencia [6].	36
2.27. (a) Gráfica de la localización de las raíces de la ganancia de lazo abierto $[F(s)=1]$ resultantes de la compensación de Miller conforme C_c varía desde 0 hasta el valor final usado. (b) Gráficas asintóticas de la magnitud y fase de la ganancia de lazo abierto $[F(s)=1]$ antes y después de la compensación. Imagen editada de las notas de la referencia [6].	37
2.28. Un opamp de dos etapas que muestra las capacitancias del circuito y varias capacitancias parásitas. Imagen tomada de un documento basado en la referencia [24].	38
2.29. Ilustración de la implementación del polo dominante a través del efecto de Miller en C_c . M6 se considera como un NMOS para esta ilustración. Imagen tomada de las notas de la referencia [6].	39
2.30. Ilustración de como se crea el polo de salida en un op amp de dos etapas. M6 es de tipo NMOS para esta ilustración. Imagen tomada de las notas de la referencia [6].	39
2.31. Ilustración de como se crea el cero RHP. M6 es de tipo NMOS para esta ilustración. Imagen tomada de las notas de la referencia [6].	40
2.32. (a) Influencia del polo espejo p_3 , en la compensación de Miller de un op amp de dos etapas. (b) Localización de las raíces de lazo abierto y lazo cerrado. Imagen editada de las notas de la referencia [6].	41

3.1.	Configuración general de un op amp como amplificador de voltaje. Imagen tomada de un documento basado en la referencia [24].	47
3.2.	Configuración general de un op amp como amplificador de voltaje. Se indica la influencia de los elementos en los requerimientos del amplificador. Imagen tomada de un documento basado en la referencia [24].	49
3.3.	Diagrama de flujo de la rutina implementada en MATLAB, Parte a.	57
3.4.	Diagrama de flujo de la rutina implementada en MATLAB, Parte b.	58
3.5.	Diagrama de flujo de la rutina implementada en MATLAB, Parte c.	59
4.1.	Esquemático del diseño obtenido para el opamp de dos etapas. $K=6$	64
4.2.	Configuración para el análisis en frecuencia de la ganancia de lazo abierto.	66
4.3.	Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=1$	67
4.4.	Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=3$	69
4.5.	Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=4$	70
4.6.	Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=5$	71
4.7.	Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=6$	72
4.8.	Configuración empleada para al cálculo de λ	74
4.9.	Configuración seguidor de voltaje.	75
4.10.	Gráfica de la salida del op amp para la configuración seguidor de voltaje. La señal de entrada es una señal senoidal de $20\mu V_{pp}$ a 100 Hz. Se puede observar en la salida un offset de aproximadamente $19\mu V$	76
4.11.	Configuración típica del amplificador no inversor.	77
4.12.	Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu V$ pico, $20\mu V$ pp. Factor de amplificación $G=10$	78
4.13.	Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu V$ pico, $20\mu V$ pp. Factor de amplificación $G=100$	78
4.14.	Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu V$ pico, $20\mu V$ pp. Factor de amplificación $G=1000$	79
4.15.	Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu V$ pico, $20\mu V$ pp. Factor de amplificación $G=10000$	79
4.16.	Configuración para obtener el cambio en la salida de voltaje (output swing). Primera aproximación sin ajuste de offset.	80
4.17.	Cambio en la salida de voltaje (output swing). Primera aproximación sin ajuste de offset.	81
4.18.	Configuración para obtener el cambio en la salida de voltaje (output swing). Segunda aproximación con ajuste de desvío.	82

4.19. Cambio en la salida de voltaje (output swing). Última aproximación con ajuste final de desvío.	82
4.20. Variación del punto de operación del dispositivo en razón de la temperatura. El barrido se efectuó de los 0 a los 100°C	83
4.21. Simulación de la Ganancia y Ancho de Banda, en lazo abierto, con compensación de desvío.	85
4.22. Simulación de la Ganancia y Ancho de Banda, en lazo abierto, con compensación de desvío. Se muestran superpuestas las gráficas para los dispositivos con el modelo típico y con el modelo Montecarlo.	86
4.23. Resultado de la simulación temporal en lazo abierto .La señal de entrada es de 50 Hz, de 10 μ V pico, 20 μ V pp.	87
4.24. Resultado de la simulación temporal en lazo abierto .La señal de entrada es de 50 Hz, de 100 μ V pico, 200 μ V pp.	88
4.25. Resultado de la simulación temporal en lazo abierto. Las señales de entrada son de 10,50, 100, 300 y 1000 Hz, todas con amplitud de 10 μ V pico, 20 μ V pp.	89
4.26. Simulación del ruido de entrada y salida del amplificador.	89
4.27. Resultado de la simulación temporal con ruido en lazo abierto. La señal de entrada es de 100 Hz con amplitud de 10 μ V pico, 20 μ V pp.	90
4.28. Gráfica de la salida del op amp para la configuración seguidor de voltaje. La señal de entrada es una señal senoidal de 20 μ Vpp a 100 Hz. Se puede observar en la salida un desvío de aproximadamente 19 μ V.	91
4.29. Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=10.	92
4.30. Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=100.	92
4.31. Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=1000.	93
4.32. Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=10000.	93
4.33. Configuración típica del amplificador inversor.	94
4.34. Resultado de la simulación para la configuración típica del amplificador inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=10.	94
4.35. Resultado de la simulación para la configuración típica del amplificador inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=100.	95
4.36. Resultado de la simulación para la configuración típica del amplificador inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=1000.	95
4.37. Resultado de la simulación para la primera aproximación del amplificador de señales de EEG. La señal de entrada es de 100 Hz, de 100 μ V pico, 20 μ V pp. Factor de amplificación G=15K, resistencia de carga de 10M Ω , VDD=2.5 y VSS=-2.5.	98

4.38.	Resultado de la simulación para la segunda aproximación del amplificador de señales de EEG. La señal de entrada es de 100 Hz, de 100 μ V pico, 20 μ V pp. Factor de amplificación G=15K, resistencia de carga de 10M Ω , VDD=2.5 y VSS=-1.7.	99
4.39.	Configuración del amplificador de señales de EEG. La señal de entrada es de 100 Hz, de 100 μ V pico, 200 μ V pp. Factor de amplificación G=15K, resistencia de carga de 10M Ω , VDD=2.5 y VSS=-1.7.	99
4.40.	Resultado de la simulación para la tercera aproximación del amplificador de señales de EEG. La señal de entrada es de 100 Hz, de 100 μ V pico, 200 μ V pp. Factor de amplificación G=15K, resistencia de carga de 10M Ω , VDD=2.5 y VSS=-1.7.	100
5.1.	Figura que muestra el layout de los elementos colocados con las líneas de guía que representan la conectividad cuya fuente es el esquemático colocado al lado derecho.	104
5.2.	Primer layout terminado de la celda op amp.	105
5.3.	Layout definitivo de la celda op amp.	107
5.4.	Acercamiento al layout definitivo de la celda op amp. Se aprecian los transistores M1, M2,M3,M4, M5, M6 y M8 además de la resistencia Rs y el borde superior derecho del capacitor Cc.	108
5.5.	Acercamiento al layout definitivo de la celda op amp. Se aprecian los puertos de entrada V+ y V-.	109
5.6.	Acercamiento al layout definitivo de la celda op amp. Se aprecia el puerto de alimentación VDD.	110
5.7.	Acercamiento al layout definitivo de la celda op amp. Se aprecia el puerto de alimentación VSS.	111
5.8.	Acercamiento al layout definitivo de la celda op amp. Se aprecia el puerto de salida VOUT.	112
1.	Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=1100.	132
2.	Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=1300.	132
3.	Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=1500.	133
4.	Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=2000.	133
5.	Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=5000.	134
6.	Resultado de la simulación para la configuración típica del amplificador inversor.La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Factor de amplificación G=10000.	134

7.	Resultado de la simulación para la configuración típica del amplificador inversor.La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=10000$.Se muestran dos señales de salida, para voltajes de alimentación de $\pm 1.5\text{V}$ y $\pm 2.5\text{V}$	135
8.	Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$ y resistencia de carga de 100Ω	135
9.	Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$ y resistencia de carga de $1\text{M}\Omega$	136
10.	Resultado de la simulación para la configuración típica del amplificador no inversor.La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$ y resistencia de carga de $10\text{M}\Omega$	136
11.	Simulación de la Ganancia y Ancho de Banda para el amplificador no inversor de señales de EEG ideal.	137
12.	Simulación del ruido de entrada y salida para el amplificador no inversor de señales de EEG ideal.	138
13.	Tarjeta de adquisición de señales de EEG de OLIMEX, parte analógica. Imagen tomada de [23].	140
14.	Tarjeta de adquisición de señales de EEG de OLIMEX, parte digital.Imagen tomada de [23].	141

Índice de tablas

2.1. Especificaciones para un Op amp “unbuffered ”típico	31
2.2. Constantes del silicio	42
2.3. Valores de voltaje máximos de los transtores CMOS utilizados. Tabla reproducida parcialmente de los documentos del proceso de austriamicrosystems	43
2.4. Reproducción de una tabla incluida en la hoja de datos de la celda op amp OP05B de Austriamicrosystems [7] con los parámetros relacionados con la velocidad de respuesta de la celda	43
4.1. Tabla que muestra los resultados de la ganancia máxima G_{max} , frecuencia de corte f_c (Ancho de banda), frecuencia de cruce de ganancia f_{cg} ($f(0dB)$) y Margen de fase $M\phi$, para las aproximaciones 3,4,5 y 6.	73
4.2. Pares coordenados (V_{DS}, I_D) de los transistores en dos puntos distintos para el cálculo del parámetro de modulación del canal (λ)	74
4.3. Tabla que muestra el factor de ganancia fijado, el voltaje V_{pp} de la señal de salida y la ganancia efectiva obtenida.	77
4.4. Tabla que muestra el factor de ganancia fijado, y el porcentaje de la amplificación efectiva G_{eff} respecto al factor de amplificación G	80
4.5. Tabla que muestra los resultados de la ganancia máxima G_{max} , frecuencia de corte f_c (Ancho de banda), frecuencia de cruce de ganancia f_{cg} ($f(0dB)$) y Margen de fase $M\phi$, para la aproximación seleccionada(6) de la rutina, de la simulación en AC sin compensación y con compensación de desvío, y del barrido DC.	84
1. Parámetros de modelo para un proceso típico CMOS <i>bulk</i> , adecuado para cálculos a mano usando el modelo simple. Estos valores se basan en un proceso de $0.8 \mu m$ <i>silicon-gate bulk n-well</i>	116
2. Parámetros de modelo para un proceso típico CMOS <i>bulk</i> , adecuado para cálculos a mano usando el modelo simple. Estos valores se basan en el proceso de $0.35 \mu m$ de AMS (austriamicrosystems). * Este valor se tomó de una referencia ajena a los documentos del proceso de AMS [13].	116

Capítulo 1

Introducción.

Ésta tesis surge de una de las líneas de investigación de la cátedra de Bio Mems de la División de Tecnologías de la Información y Electrónica. El objetivo de ésta línea es diseñar un micro dispositivo capaz de efectuar la adquisición, acondicionamiento, procesamiento y transmisión de señales de electro encefalografía (EEG), cuya finalidad principal es que personas que requieran de un monitoreo de EEG puedan disponer de un micro dispositivo portátil y capaz de desempeñar la tarea en forma eficaz y confiable. Ya hay antecedentes en el departamento de implementaciones que adquieran, acondicionen e incluso transmitan la señal de EEG [28], pero desarrollados con dispositivos electrónicos comerciales convencionales. También existen antecedentes comerciales, aparte de los tradicionales electroencefalógrafos, capaces de la adquisición y acondicionamiento de las señales de EEG (Apéndice F). El objetivo es aplicar los conocimientos de microelectrónica analógica CMOS junto con los de instrumentación biomédica, para poder diseñar e implementar un dispositivo capaz de hacer lo mismo en un microchip. En la Figura 1.1 se representa un esquema general del sistema de adquisición y transmisión-recepción, El bloque denominado SAD es el que se encarga de la adquisición, acondicionamiento y procesamiento de la señal, T y R, son los bloques que se encargan de la transmisión y recepción respectivamente, para finalmente desplegar las señales adquiridas en un monitor de computadora vía Web. Y en las Figuras 1.2 y 1.3 se muestran los diagramas de bloques para la etapa de transmisión y recepción (tomado de [28]).

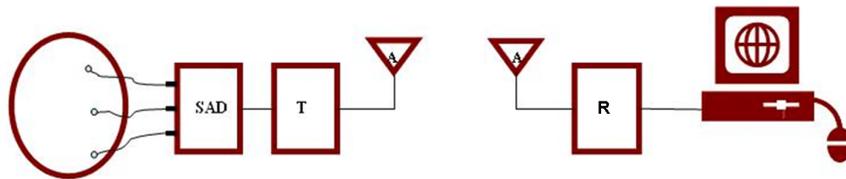


Figura 1.1: Diagrama de bloques del sistema de adquisición y transmisión de señales de EEG. SAD-Sistema de Adquisición y Digitalización, T- Etapa de transmisión, R-Etapa de recepción, A-Antena.

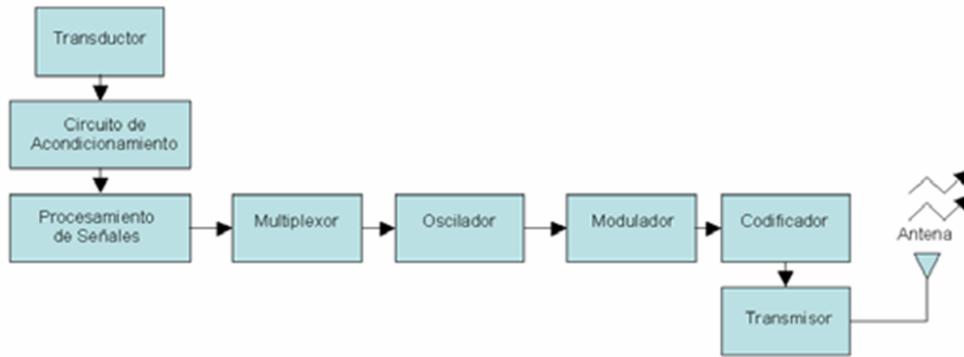


Figura 1.2: Diagrama de bloques de la etapa de transmisión de un sistema de telemetría[28].

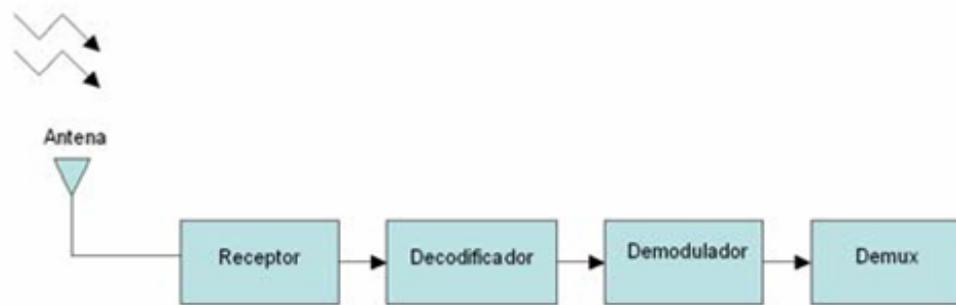


Figura 1.3: Diagrama de bloques de la etapa de recepción de un sistema de telemetría[28].

1.1. Electroencefalografía.

El EEG es un registro (en papel o desplegada en CRT) de la actividad cerebral. La técnica envuelve lo siguiente:

1. Adquisición de biopotenciales -craneales o electrodos transductores en la superficie cerebral.
2. Acondicionamiento de las señales de EEG -amplificación y filtrado de la salida del transductor (0.1 a 100 Hz).
3. Registro de las señales de EEG -señales desplegadas en un grabador gráfico o CRT.
4. Análisis de la señal de EEG -interpretación visual o por computadora del EEG resultante.

El registro obtenido es llamado electroencefalograma. Éste se usa primordialmente para diagnóstico, incluyendo lo siguiente:

1. Ayuda en la detección y localización de lesiones cerebrales.(asimetría/irregularidad en los trazos del EEG).
2. Ayuda en el estudio de la epilepsia (recurrencia, ataques transitorios o función cerebral perturbada con actividad sensorial y motora irregular como convulsiones).

3. Asistencia en el diagnóstico de desórdenes mentales.
4. Asistencia en el estudio de patrones del sueño.
5. Permite la observación y análisis de las respuestas del cerebro ante estímulos sensoriales.

El EEG es una herramienta útil en el diagnóstico de las funciones y enfermedades cerebrales. Muchos fisiólogos y neurólogos ven a las señales de EEG como artefactos interesantes pero confiesan que no tienen certeza sobre los orígenes de la señal. De hecho, hasta hace poco se creía que las formas de onda EEG representaban la suma de varios potenciales de acción de neuronas, mientras encontraban su camino a la superficie del cráneo. Ideas más recientes reflejan una estimulación asociada por diversas neuronas [18].

El origen de la interpretación moderna del EEG está relacionado con el conocimiento de los procesos neuronales electroquímicos básicos. El potencial de acción (AP, de su denominación en inglés: Action Potential) de neuronas ha sido registrado con micro electrodos a un nivel celular. Esencialmente, las fibras sinápticas, los botones terminales, la membrana neuronal y el axón contribuyen a las características distinguibles de la respuesta. La reacción eléctrica de las neuronas incluyen los siguientes potenciales:

1. *Potenciales presinápticos de espiga* (evento positivo rápido de 1-ms resultante de la despolarización presináptica).
2. *Potencial postsináptico excitatorio* (EPSP, de su denominación en inglés Excitatory postsynaptic potencial)(potencial positivo prolongado hasta los 2-ms).
3. *Potenciales de espiga(alto voltaje, descarga positiva repentina de 2-ms de 10 a 30 mV)*.
4. *Posterior a la hiperpolarización* (potencial positivo prolongado).
5. *Potencial inhibitorio postsináptico* (IPSP) (potencial negativo asociado a la inhibición neuronal).

El EEG esta compuesto de ritmos eléctricos y descargas transitorias que se distinguen por su *ubicación, frecuencia, amplitud, forma periodicidad, y propiedades funcionales*. La *sincronización* aparece en el EEG, y es evidente la lentitud en la actividad resultante.

1.1.1. Electrodo de EEG y el Sistema 10-20.

Los electrodos de EEG transforman corrientes iónicas del tejido cerebral en corrientes eléctricas usadas por los pre amplificadores de EEG. Las características eléctricas son determinadas primordialmente por el tipo de metal empleado. El Ag/AgCl se encuentra con frecuencia en los electrodos [18]. Existen cinco tipos esenciales de electrodos:

1. Para el cuero cabelludo.
2. Esféricos
3. Nasofaríngeos
4. Electrocuticógrafos

5. Intracerebrales

Los electrodos de disco o copa para el cuero cabelludo (los más comunes en la clínica), se colocan en la cabeza empleando una crema conductiva (de consistencia similar a los fluidos corporales o electrolitos). El área primero se limpia con alcohol o acetona para remover la grasa de la piel. Es una buena práctica (usando pasta conductiva) disminuir la resistencia de contacto por debajo de los $10k \Omega$ para garantizar el registro correcto de la señal de EEG. Una prueba para medir esta resistencia puede llevarse a cabo con un óhmetro de corriente directa, pero la desventaja es que polariza al electrodo después de unos pocos segundos, por eso resulta mejor utilizar un óhmetro de corriente alterna, que evita la polarización al aplicar una señal de corriente directa entre los electrodos [18]. La amplitud, fase y frecuencia de los electrodos depende de su colocación. La colocación se basa en las áreas craneales frontal, parietal, temporal y occipital. Uno de los esquemas de medición más populares es el sistema de colocación de electrodos para EEG 10-20, establecido por la Federación Internacional de Sociedades de EEG. En esta configuración, la cabeza es mapeada en base a 4 puntos de referencia. Cada sitio del electrodo tiene una letra para identificar el lóbulo, junto con un número u otra letra para identificar la localización del hemisferio. En la Figura 1.4 se muestra la configuración 10-20, las letras usadas significan:

- F- Lóbulo frontal
- F- Lóbulo temporal
- F- Lóbulo central
- F- Lóbulo parietal
- F- Lóbulo occipital
- Z- Electrodo colocado en la línea media

Los números pares (en azul), se refieren al hemisferio derecho y los números nones (en rojo) se refieren al hemisferio izquierdo [17].

1.1.2. Amplitud del EEG y Bandas de Frecuencia.

Las amplitudes de las señales de EEG varían de aproximadamente 1 a $100\mu V_{pp}$ a bajas frecuencias (de 0.5 a 100 Hz) en la superficie del cráneo. En la superficie cerebral, las señales pueden ser 10 veces más fuertes. Las señales de EEG, por ser señales débiles requieren de pre amplificadores de entrada (de tipo diferencial) que sean de alta ganancia y tengan rechazo interno o externo al ruido [18].

Las bandas de frecuencia de EEG normalmente se clasifican en cinco categorías:

- Delta (δ) 0.5-4Hz
- Teta (θ) 4-8 Hz
- Alfa (α) 8-13 Hz
- Beta (β) 13-22 Hz
- Gamma (γ) 22-30 Hz y frecuencias mas altas.

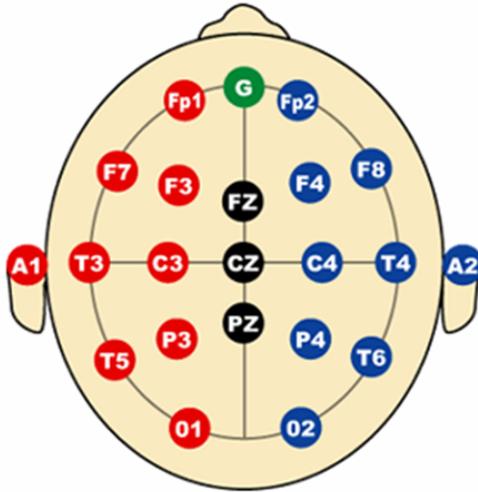


Figura 1.4: Sistema Internacional de colocación de electrodos 10-20, para la adquisición de señales de EEG (Imagen tomada de [17]).

El significado de las diferentes frecuencias, no se conoce por completo. La actividad alfa es menor a los $10\mu\text{Vpp}$ y razonablemente estable (variando por menos de 0.5 Hz). Estas señales suben del cerebro posterior en las personas despiertas con los ojos cerrados. Abrir los ojos y enfocar la atención intensamente reduce enormemente las ondas alfa [18].

La actividad Beta es inferior a los $20\mu\text{Vpp}$ sobre todo el cerebro, pero predomina más en la región central. Estados altos de desvelo y patrones des sincronizados alfa, producen ondas beta. La actividad gamma es menor que los $2\mu\text{Vpp}$ y consiste de ondas de baja amplitud y alta frecuencia que resultan de la atención o de la estimulación sensorial. La actividad teta y delta (menores a los $100\mu\text{Vpp}$) son mas fuertes en la región central y son indicadores de sueño [18].

1.2. Padecimientos Neurológicos.

1.2.1. Epilepsia

La epilepsia afecta a más de 50 millones de personas en el mundo (aproximadamente al 1% de la población). Población de la cuál, aproximadamente dos terceras partes pueden ser controlados mediante medicamentos antiepilépticos y del 7 al 8 % tienen la posibilidad de ser curados mediante cirugía. Por lo que aproximadamente una cuarta parte de las personas que padecen ataques epilépticos no pueden ser controlados por ninguna de las terapias disponibles [10]. Existen muchos tipos de epilepsia, y aunque generalmente es relacionada con convulsiones, no siempre se manifiesta de esta manera; por ejemplo existen tipos de epilepsia que lo único que provocan son periodos de ausencia o de pérdida del conocimiento, los cuales no tienen repercusiones tan graves cuando ocurren en el hogar, pero cuando estos ocurren afuera, estos representan un grave riesgo para la vida del paciente. Los ataques convulsivos por sí mismos no provocan daño alguno en la salud; el riesgo es el daño físico que se puede provocar el paciente al tener el ataque; puede golpearse fuertemente al caer inconsciente, o incluso algún movimiento parcial (de un brazo por ejemplo) que puede ser completamente inofensivo y pasar inadvertido si ocurre cuando el enfermo se encuentra

desarrollando la mayor de sus actividades cotidianas, puede convertirse en un riesgo de muerte si por ejemplo se esta manejando un automóvil. En la búsqueda de la seguridad y la mejora de la calidad de vida de los epilépticos, numerosas investigaciones se han orientado en el sentido de saber si estos ataques de alguna manera pueden ser pronosticados [10], [14]. El desarrollo de un sistema capaz de avisar cuando se va a presentar un ataque, provocaría un gran avance, en la reducción de la mortalidad, y una mejora en la calidad de vida de quienes padecen el mal. Por casi 40 años, los neurofisiólogos pensaban que los ataques epilépticos comenzaban abruptamente, sólo pocos segundos antes de los ataques clínicos, pero investigaciones recientes, han mostrado evidencia de que los ataques se desarrollan desde minutos a horas antes de su manifestación clínica.

1.3. Aplicaciones.

1.3.1. Monitoreo de Salud y Registro de EEG.

La aplicación básica del micro dispositivo, que fue la que originalmente dio motivo al origen de la línea de investigación, es el monitoreo remoto del estado de salud del portador. La idea es que las señales de salida del dispositivo se transmitan por RF a algún dispositivo cercano al usuario con conexión a internet, como una Laptop o un PDA, para que la familia, el médico especialista de cabecera o cualquier interesado, pueda en cualquier momento verificar el estado de salud del portador, ya sea por el padecimiento en si mismo, por la reacción ante algún tratamiento farmacológico o después de alguna operación. Con algunas modificaciones en las características de adquisición y acondicionamiento de la señal, se adapta para hacer lo mismo con señales de electrocardiografía (ECG) o para cualquier tipo de biopotencial. Este tipo de dispositivos son muy ventajosos para lograr un mejor diagnóstico de los padecimientos neurológicos, ya que se pueden observar los patrones de EEG ante los estímulos de la vida cotidiana del paciente. Por ejemplo resulta muy útil para el diagnóstico de la epilepsia, ya que existen muchos tipos. Convencionalmente para diagnosticar la epilepsia se cita al paciente a una sala donde se encuentra el electroencefalógrafo y se estimula al paciente de diversas formas (foto estímulos, estímulos somato sensoriales, etc.) para observar como reacciona el paciente y revisar el electroencefalograma resultante. Los dispositivos portátiles para medición de EEG, no son algo nuevo, sin embargo los dispositivos comerciales que existían eran enteramente analógicos, solían ser grandes y pesados, en forma de mochila que se cargaba en la espalda. La digitalización de las señales de EEG se puede considerar como el primer paso para obtener un dispositivo portátil. El hecho de que el registro y visualización de las señales pueda realizarse en una computadora permite su portabilidad, y si limitamos los requerimientos a que el dispositivo sólo registre, pueden utilizarse dispositivos de registro digital, ya disponibles comercialmente [31]. Sin embargo estos dispositivos aun no son lo suficientemente pequeños como para permitir un desenvolvimiento normal para quien los usa. Se debe puntualizar que para esta aplicación, a diferencia de las siguientes no se requiere de un procesamiento de la señal, puesto que lo único que interesa es ver la señal, para determinar el estado del paciente.

1.3.2. Sistema Ambulatorio para la Detección/Inhibición de Ataques Epilépticos.

Aproximadamente un 1% de la población mundial padece epilepsia, y de esta población aproximadamente una cuarta parte, no cuenta con ninguna terapia disponible para su tratamiento. La creación de un sistema capaz de predecir cuando está por desencadenarse un ataque, mejoraría mu-

cho la calidad de vida de los epilépticos. Desde la década de los 70's, han existido intentos por parte de diversos grupos de investigadores de lograr el mismo objetivo, mediante el uso de técnicas de análisis lineal y no lineal; sin que hasta la fecha se haya obtenido un algoritmo que pueda realmente ser aplicado como parte de un sistema de alerta. Todos los trabajos anteriores de este rubro, hasta ahora revisados, han utilizado para sus análisis muestras obtenidas por pacientes que se encuentran localizados en una clínica. La portabilidad del sistema permite su aplicación teórica como detector de ataques epilépticos, esto mediante un análisis de señales detallado, existen diversos grupos de investigación cuya línea de investigación es el análisis de estas señales, y como resultado hay varios algoritmos propuestos. Sin embargo, estos algoritmos hacen uso de software avanzado, que requieren de arquitecturas de hardware complejas para soportarlo. Agregando etapas de análisis y procesamiento de las muestras para obtener parámetros característicos útiles para la detección del estado preictal (previo al ataque convulsivo) del paciente y que al hacer esta distinción, el dispositivo sea capaz de emitir una señal de alerta que avise al usuario, con márgenes de certeza y tiempo aceptables, cuando está por sufrir un ataque epiléptico. Antes de llegar a la implementación del dispositivo capaz de ejecutar cierto algoritmo, el hecho de poder registrar señales de EEG durante la vida cotidiana del sujeto y analizar estas señales sería de gran utilidad para la obtención de un algoritmo con una aplicación realmente factible

1.4. Delimitación y Alcance.

En esta tesis se abordará la etapa de entrada del proyecto, la parte de adquisición y amplificación de la señal. Esta etapa se construye haciendo uso de configuraciones de instrumentación electrónica típicas, como las de seguidor de voltaje, amplificador de instrumentación, filtros paso bajo, filtros paso alto, entre otras.

Sin embargo debe de recordarse que el objetivo es lograr implementar el dispositivo en un circuito integrado, es decir, se debe realizar el diseño del layout para procesarlo y que posteriormente pueda ser mandado fabricar. Todas las configuraciones anteriormente mencionadas, hacen uso de un bloque básico ampliamente conocido en el diseño electrónico por sus múltiples aplicaciones, el amplificador operacional u op amp, término proveniente de su traducción al inglés *operational amplifier*. Por lo que si se pretende hacer el layout de una arquitectura basados en op amps, primero se debe contar con una celda op amp que cuente con su respectivo trazado (layout) y dado que no se cuenta con ello, el objetivo de esta tesis se centra en el diseño, simulación e implementación del trazado de una celda op amp.

1.5. Contenido de la Tesis.

En los capítulos consecuentes, se explica el flujo completo de diseño, desde la concepción hasta la implementación del layout de un amplificador operacional de propósito específico para la adquisición de señales de EEG. La primera parte del capítulo 2 contempla los fundamentos teóricos necesarios para el entendimiento de la arquitectura elegida para el amplificador, explica los amplificadores diferenciales y arquitecturas de amplificadores de alta ganancia. La segunda parte del capítulo 2 trata sobre el diseño de los amplificadores operacionales CMOS, siendo el típico amplificador operacional de dos etapas sin buffer de salida, la arquitectura elegida para la implementación del diseño. Además se explican los conceptos compensación, muy importantes para la estabilidad del op amp; siendo la compensación de Miller, la única que se explica en detalle, ya que es la que se

lleva a cabo en el procedimiento de diseño implementado en la rutina de MATLAB. La última parte del capítulo 2, la del modelo del amplificador, trata sobre los parámetros que se requieren conocer para el desarrollo del diseño, divididos en las secciones de constantes del silicio, parámetros del proceso y requerimientos de la aplicación.

En el capítulo 3, primero se resumen expresiones importantes, así como los requerimientos y parámetros que se emplean posteriormente en el procedimiento del cálculo a mano del diseño del amplificador implementado con MATLAB en una rutina. Se explica en detalle la rutina y se muestran algunos resultados obtenidos a partir de ésta.

En el capítulo 4, después de explicar la plataforma experimental, la captura esquemática y los diagramas de bode; se muestran los resultados de las simulaciones llevadas a cabo. Primero se muestran las simulaciones en AC de diferentes aproximaciones, para observar la ganancia máxima alcanzada y a partir de estas simulaciones seleccionar la aproximación a implementar. Después se detalla sobre el cálculo del parámetro de modulación del canal λ , para el cálculo de la ganancia en la rutina. A continuación se encuentra el voltaje de desvío (offset) de compensación de entrada y por último se muestran los resultados de las simulaciones en frecuencia y tiempo, de lazo abierto y lazo cerrado que incluyen el voltaje de desvío de compensación encontrado.

En el capítulo 5 se muestra la implementación del trazado (layout) del op amp. Se explica la técnica de trazado dirigido por esquemático y la verificación, procedimientos tras los cuales se obtuvo el layout definitivo que se muestra al final del capítulo.

Por último en el capítulo 6 se mencionan las conclusiones, así como el trabajo a futuro que queda por hacer.

Capítulo 2

Configuración del Amplificador Operacional.

Este capítulo se fundamenta en el libro de CMOS Analog Circuit Design de Philip E. Allen y Douglas R. Holberg [24]. Para cumplir con el objetivo de la tesis, en un sentido general se requiere de un dispositivo que sea capaz de amplificar una señal miles de veces, sobre un ancho de banda de 0 a 40 Hz aproximadamente. Para cumplir con el objetivo básicamente se cuenta con dos opciones; diseñar un amplificador capaz de cumplir con las especificaciones en lazo abierto sin necesidad de retroalimentación o enfocarse en el diseño de una celda op amp típica para que pueda utilizarse en configuraciones típicas a nivel op amp (amplificador de instrumentación, filtros analógicos etc.). La segunda opción es la que se llevará a cabo, en razón de que para cumplir con las características tan estrechas de ancho de banda, se requiere de capacitancias internas de muy grandes dimensiones, que no se pueden implementar en el diseño del layout por las limitantes del proceso de fabricación. Más adelante se detalla más sobre esta limitante.

Cabe decir, que este capítulo, que viene siendo el marco teórico de la tesis, solo menciona los conocimientos necesarios para el entendimiento de la configuración empleada en esta tesis. Otras arquitecturas y métodos de compensación se explican en varios libros relacionados con el diseño de circuitos analógicos CMOS [24],[26],[27].

La arquitectura escogida para el diseño del op amp es la del típico op amp de dos etapas, cuya primer etapa es un amplificador diferencial y la segunda un inversor. Estas configuraciones se explicarán primero de manera individual, después se describirá la arquitectura de los amplificadores de alta ganancia, que resultan de la combinación de las configuraciones anteriormente mencionadas (o configuraciones equivalentes). La alta ganancia es lo que permite la aplicación de la retroalimentación negativa, característica principal del op amp ideal.

En la segunda parte de este capítulo se especifican valores de constantes, y parámetros y requerimientos típicos que permitirán abordar el diseño del amplificador en el próximo capítulo.

2.1. Fundamentos Teóricos de los Amplificadores Operacionales.

2.1.1. Amplificadores Diferenciales.

El amplificador diferencial es uno de los circuitos más versátiles en el diseño analógico. Es bastante compatible con la tecnología de circuitos integrados y sirve como etapa de entrada para

la mayoría de los amplificadores operacionales. En la Figura 2.1 se muestra un modelo de un amplificador diferencial. Los voltajes v_1, v_2 y v_{OUT} se denominan voltajes de terminal sencilla. Esto significa que se definen respecto a tierra. El voltaje de entrada de modo diferencial v_{ID} , se define como la diferencia entre v_1 y v_2 . Este voltaje se define entre dos terminales, ninguna de las cuales es tierra. El voltaje de entrada de modo común v_{IC} , se define como el valor promedio de v_1 y v_2 . Estas relaciones quedan expresadas de la siguiente manera[24].

$$v_{ID} = v_1 - v_2 \quad (2.1)$$

y

$$v_{IC} = \frac{v_1 + v_2}{2} \quad (2.2)$$

En la Figura 2.1(b) se ilustran estos dos voltajes. Note que v_1 y v_2 puede expresarse como

$$v_1 = v_{IC} + \frac{v_{ID}}{2} \quad (2.3)$$

y

$$v_2 = v_{IC} - \frac{v_{ID}}{2} \quad (2.4)$$

La salida del amplificador diferencial puede expresarse en términos de su entrada de voltaje en modo diferencial y en modo común como

$$v_{OUT} = A_{VD}v_{ID} \pm A_{VC}v_{IC} = A_{VD}(v_1 - v_2) \pm A_{VC} \left(\frac{v_1 + v_2}{2} \right) \quad (2.5)$$

Donde A_{VD} es la ganancia de voltaje de modo diferencial y A_{VC} es la ganancia de voltaje de modo común. El signo \pm que precede a la ganancia de voltaje de modo común implica que la polaridad de esta ganancia de voltaje no se conoce de antemano. El objetivo del amplificador diferencial es amplificar solo la diferencia entre dos potenciales distintos ignorando el valor de modo común. De esta manera, un amplificador diferencial puede caracterizarse por su razón de rechazo al modo común (*CMRR*, del inglés *common-mode rejection ratio*), definida como la razón de la magnitud de la ganancia diferencial respecto a la ganancia de modo común. Un amplificador diferencial ideal deberá de tener un valor igual a cero para A_{VC} y por consiguiente un CMRR infinito. Además, el rango de entrada de modo común (*ICMR* del inglés *input common mode range*) especifica el rango de voltajes de modo común sobre el cual el amplificador continua detectando y amplificando la señal diferencial con la misma ganancia. Otra característica que afecta el desempeño del amplificador diferencial es el voltaje de desvío (*offset*, en inglés). En los amplificadores diferenciales CMOS, el voltaje más importante es el voltaje de desvío. De manera ideal, cuando las terminales de entrada del amplificador diferencial se conectan juntas el voltaje de salida es un punto inactivo deseado. En un amplificador diferencial real, el voltaje de desvío de salida es la diferencia entre la salida de voltaje actual y la salida de voltaje ideal cuando las terminales se conectan juntas. Si a este voltaje de desvío se le divide por la ganancia de voltaje diferencial del amplificador diferencial, se le llama voltaje de desvío de entrada (V_{OS}). Típicamente, el desvío de entrada de un amplificador diferencial CMOS es de 5-20mV[24].

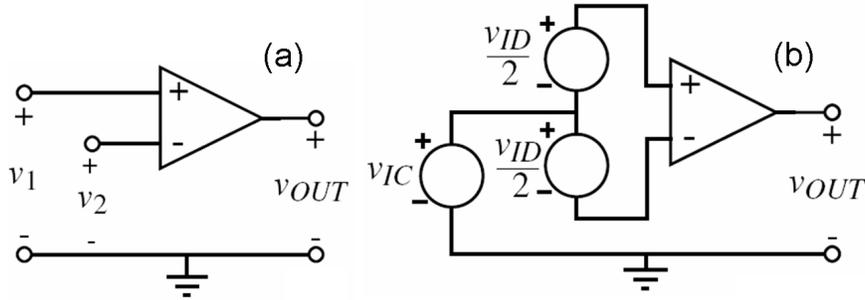


Figura 2.1: (a) Símbolo para un amplificador diferencial. (b) Voltajes de entrada de modo diferencial V_{ID} y de modo común V_{IC} . Imágen editada a partir de las notas de la referencia [6].

Análisis de Señal Grande.

La Figura 2.2 muestra un amplificador diferencial CMOS que utiliza MOSFETS de canal n M1 y M2 para conformar el amplificador diferencial. M1 y M2 están polarizados con un espejo de corriente I_{SS} conectado a las fuentes de M1 y M2. A esta configuración de M1 y M2 se le denomina comúnmente, par acoplado a la fuente. M3 y M4 son un ejemplo de como el espejo de corriente I_{SS} puede ser implementado[24].

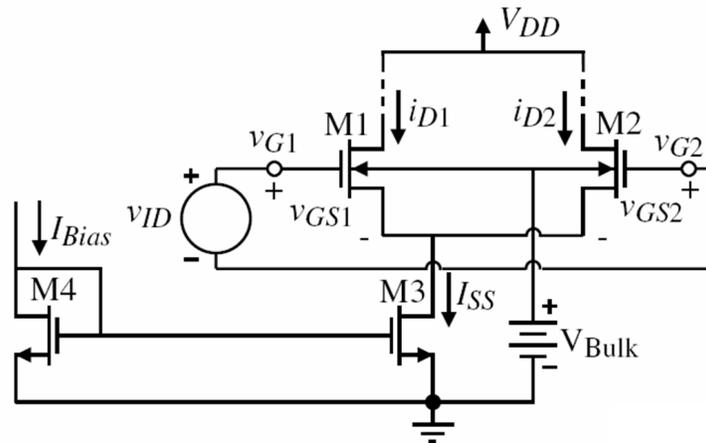


Figura 2.2: Amplificador diferencial CMOS usando transistores NMOS. Imágen tomada de las notas de la referencia [6].

Dado que las fuentes de M1 y M2 no están conectadas a tierra, la pregunta de donde conectar el bulk surge. La respuesta depende de la tecnología. Si asumimos que la tecnología CMOS es *p-well*, entonces los transistores de canal n se fabrican en un *p-well*(pozo p) como se muestra en la Figura 2.3. Existen dos opciones obvias respecto a donde conectar los *bulks* de M1 y M2. La primera opción es conectar los bulks a las fuentes de M1 y M2, dejando el p-well que contiene M1 y M2 como flotando. La segunda sería conectar los bulks a tierra. La diferencia sería que si se conectan a las fuentes, el voltaje umbral no se incrementaría por la influencia de la unión de polarización inversa bulk-fuente. Sin embargo, la capacitancia en el punto donde se acoplan las fuentes respecto a tierra

se conforma de la unión p-n completa de polarización inversa entre el p-well y el sustrato n. Si el *p-well* es el que se conecta al potencial más bajo disponible (tierra), entonces los voltajes umbrales se incrementarán y variarán con el voltaje de entrada de modo-común pero la capacitancia en el punto donde se acoplan los fuentes respecto a tierra se reduce a las dos uniones p-n de polarización inversa entre los fuentes de M1 y M2 y el *p-well*. La elección depende de la aplicación. También note que si el par acoplado de fuentes son de transistores canal p en tecnología *p-well*, no existen alternativas[24].

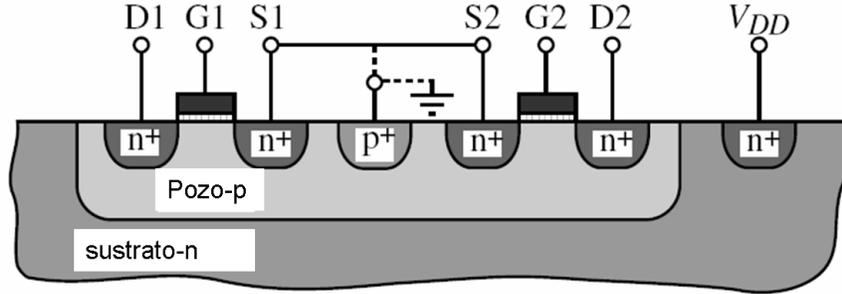


Figura 2.3: Sección transversal de M1 y M2 de la Figura 2.2 en una tecnología CMOS p-well. Imágenes tomada de las notas de la referencia [6].

El análisis de señal grande comienza asumiendo que M1 y M2 están perfectamente acoplados. Lo que significa que no es necesario definir las cargas de M1 y M2 para entender el comportamiento de señal grande. Las características de señal grande pueden descubrirse asumiendo que M1 y M2 siempre están en saturación. Esta condición es razonable en la mayoría de los casos e ilustra el comportamiento incluso cuando esta suposición no es válida. Las relaciones pertinentes que describen el comportamiento de señal grande se definen de la siguiente manera

$$v_{ID} = v_{GS1} - v_{GS2} = \left(\frac{2i_{D1}}{\beta} \right)^{1/2} - \left(\frac{2i_{D2}}{\beta} \right)^{1/2} \quad (2.6)$$

y

$$I_{SS} = I_{D1} + I_{D2} \quad (2.7)$$

Al sustituir la ecuación 2.7 en la Ecuación 2.6, se obtiene una ecuación cuadrática que permite obtener las soluciones para I_{D1} e I_{D2}

$$I_{D1} = \frac{I_{SS}}{2} + \frac{I_{SS}}{2} \left(\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2} \right)^{1/2} \quad (2.8)$$

y

$$I_{D2} = \frac{I_{SS}}{2} - \frac{I_{SS}}{2} \left(\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2} \right)^{1/2} \quad (2.9)$$

Estas relaciones solo son útiles para $V_{ID} < 2(I_{SS}/\beta)^{1/2}$. La Figura 2.4 muestra una gráfica de la corriente normalizada de M1 contra el voltaje de entrada diferencial normalizado. Las partes punteadas de las curvas no tienen ningún significado y son ignoradas[24].

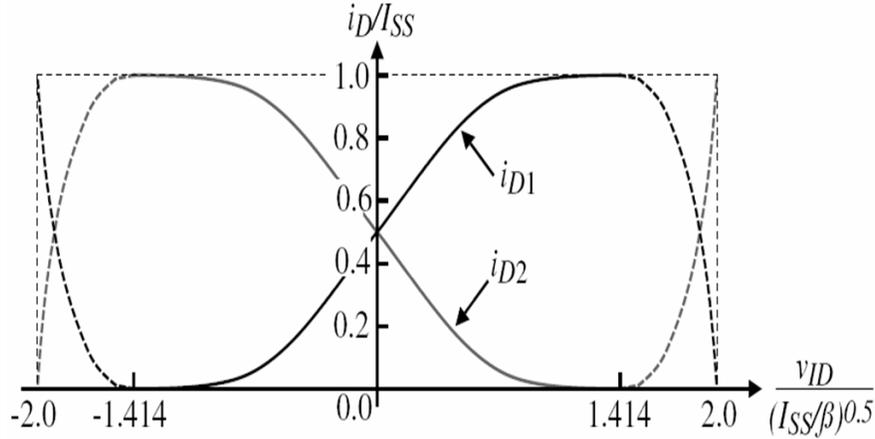


Figura 2.4: Transconductancia de señal grande característica de un amplificador diferencial CMOS. Imágen tomada de las notas de la referencia [6].

El análisis previo da como resultado i_{D1} o i_{D2} en términos del voltaje de entrada diferencial, v_{ID} . Es de interés determinar la pendiente de esta curva, ya que conducirá a una definición de transconductancia para el amplificador diferencial. La transconductancia del amplificador diferencial se obtiene diferenciando la ecuación 2.8 respecto a v_{ID} y fijando $v_{ID} = 0$ de la siguiente manera:

$$g_m = \frac{\partial i_{D1}}{\partial v_{ID}}(v_{ID} = 0) = (\beta I_{SS}/4)^{1/2} = \left(\frac{K'_1 I_{SS} W_1}{4L_1} \right)^{1/2} \quad (2.10)$$

Es importante notar como mientras I_{SS} se incrementa la transconductancia también lo hace. De esta manera se explica la propiedad más importante, que es que el desempeño en señal-pequeña se puede controlar por un parámetro de DC[24].

El siguiente paso en el análisis de señal grande del amplificador diferencial CMOS es examinar la curva de transferencia de voltaje. Esto requiere insertar una carga entre los drenadores de M1 y M2 y la fuente de alimentación V_{DD} Figura 2.2. Se tienen muchas opciones, incluyendo resistencias, diodos MOS, o fuentes de corriente. En esta tesis se utilizó el ampliamente usado espejo de corriente de canal p. Esta elección resulta en el circuito de la Figura 2.5. En condiciones inactivas (sin aplicar señal diferencial, $v_{ID} = 0V$), las dos corrientes, en M1 y M2 son iguales y sumadas dan como resultado I_{SS} , que es la corriente en el espejo de corriente, M5. La corriente de M1 determina la corriente en M3, idealmente esta corriente se reflejará en M4. Si $v_{GS1} = v_{GS2}$ y M1 y M2 se acoplan, entonces las corrientes en M1 y M2 son iguales. Así, la corriente que M4 proporciona a M2 debe de ser igual a la corriente que M2 requiere, provocando una corriente $i_{OUT}=0$, por lo que la carga es despreciable. En el análisis se asume que todos los transistores están en saturación[24].

Si estas señales no son iguales como en el análisis anterior, se asume que dado que la resistencia de carga externa es infinita, entonces la corriente fluye en las resistencias internas de M2 y M4

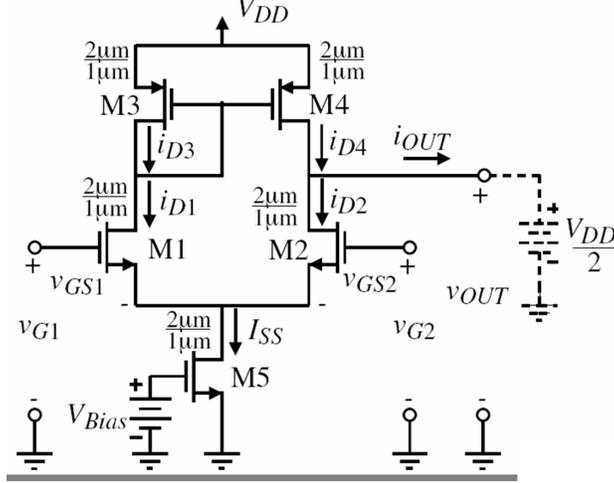


Figura 2.5: Amplificador diferencial CMOS usando una carga de espejo de corriente. Imágen tomada de las notas de la referencia [6].

(debido al efecto de modulación del canal). Si $v_{GS1} > v_{GS2}$, entonces i_{D1} se incrementa respecto a i_{D2} entonces $I_{SS} = i_{D1} + i_{D2}$. Este incremento en i_{D1} implica un incremento en i_{D3} e i_{D4} . Sin embargo, i_{D2} decrece cuando v_{GS1} es mayor que v_{GS2} . De esta manera, el único camino para establecer el equilibrio del circuito es que i_{OUT} se vuelva positivo y que v_{OUT} decrezca. Esta configuración provee de un camino simple en donde la señal de salida diferencial del amplificador diferencial puede convertirse en una señal de terminación sencilla, esto es, una señal referenciada a tierra AC[24].

Asumiendo que las corrientes en el espejo de corriente son idénticas, entonces i_{OUT} puede encontrarse restando las corrientes i_{D2} de i_{D1} del amplificador diferencial de la Figura 2.5. Dado que i_{OUT} es una corriente de salida diferencial, se distinguirá esta transconductancia de la de la ecuación 2.10 usando la notación g_{md} . La transconductancia diferencial de salida y de entrada es el doble de g_m y se expresa de la siguiente manera

$$g_{md} = \frac{\partial i_{OUT}}{\partial v_{ID}}(v_{ID} = 0) = \left(\frac{K'_1 I_{SS} W_1}{L_1} \right)^{1/2} \quad (2.11)$$

Que es exactamente igual a la transconductancia del MOSFET en modo común de fuentes si $I_{DD} = I_{SS}/2$

La función de transferencia de señal grande para el amplificador diferencial CMOS de la Figura 2.5 con la batería de la salida (en líneas punteadas) removida, se muestra en la Figura 2.6. Las entradas se aplicaron de acuerdo a las definiciones de la Figura 2.1(b). La entrada de modo común se fijó a 2V y la entrada diferencial se barrió de -1 a 1V. Se puede notar que el amplificador diferencial puede ser inversor o no inversor dependiendo de como se aplique la señal de entrada. Si $v_{IN} = v_{GS1} - v_{GS2}$ como es en el caso de la Figura 2.5, entonces la ganancia de voltaje es no inversora[24].

Las regiones de operación para los transistores de la Figura 2.5 se muestran en la Figura 2.6. Se puede notar que la mayor ganancia de pequeña señal ocurre cuando M2 y M4 están en saturación. M2 está en saturación cuando

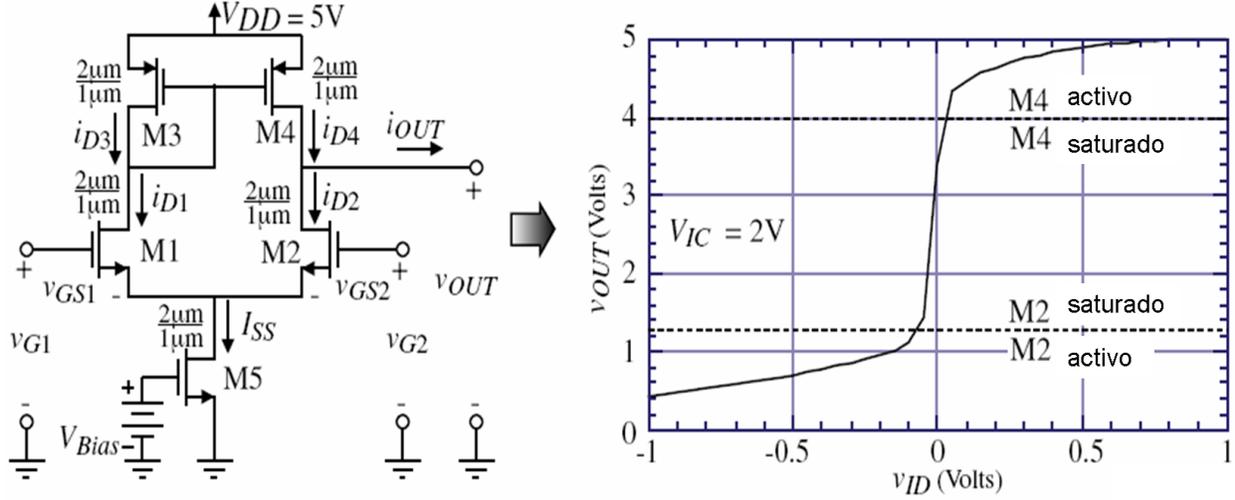


Figura 2.6: Curva de transferencia de voltaje para el amplificador de la Figura 2.5. Imagen editada a partir de las notas de la referencia [6].

$$v_{DS2} \geq v_{GS2} - V_{TN} \rightarrow v_{OUT} - V_{S1} \geq V_{IC} - 0,5v_{ID} - V_{S1} - V_{TN} \rightarrow v_{OUT} \geq V_{IC} - V_{TN} \quad (2.12)$$

Donde se ha asumido que la región de transición para M2 está cercana a $v_{ID} = 0V$. M4 está en saturación cuando

$$v_{DS4} \geq v_{SG4} - |V_{TP}| \rightarrow V_{DD} - v_{OUT} \geq v_{SG4} - |V_{TP}| \rightarrow v_{OUT} \leq V_{DD} - v_{SG4} + |V_{TP}| \quad (2.13)$$

Para las regiones de operación para M2 y M4 en la Figura 2.6 se asumen los valores de W/L de la Figura 2.5 y una $I_{SS} = 100\mu A$ [24].

La Figura 2.7 muestra un amplificador diferencial CMOS que usa dispositivos MOSFET de canal p, M1 y M2 como par diferencial. La operación del circuito es idéntica al de la Figura 2.5. Si la tecnología CMOS es n-well, entonces los bulks de los dispositivos MOSFET de canal p de entrada pueden conectarse indistintamente a V_{DD} o a sus fuentes, asumiendo que M1 y M2 se fabrican en su propio n-well que puede flotar. Las mismas consideraciones respecto a la capacitancia se mantienen en el nodo de fuentes acoplados como se discute anteriormente para el amplificador diferencial que usa MOSFETs de canal n como transistores de entrada[24].

Otra característica importante de un amplificador diferencial es el rango de entrada en modo común (*ICMR*, del inglés *input common-mode range*). La forma como el ICMR se encuentra es fijando v_{ID} a cero y variando v_{IC} hasta que uno de los transistores en el amplificador diferencial no esté más en saturación. Se puede visualizar este análisis como conectar las entradas juntas y variar el voltaje de entrada de modo común. Para el amplificador diferencial de la Figura 2.5, el voltaje de entrada en modo común mas alto, $v_{IC(max)}$, se encuentra de la siguiente manera. Hay dos trayectorias de v_{IC} a v_{DD} que se deben examinar. La primera es de G1 a través de M1 y M3 a v_{DD} . La segunda es de G2 a través de M2 y M4 a v_{DD} . Para la primera trayectoria se tiene lo siguiente

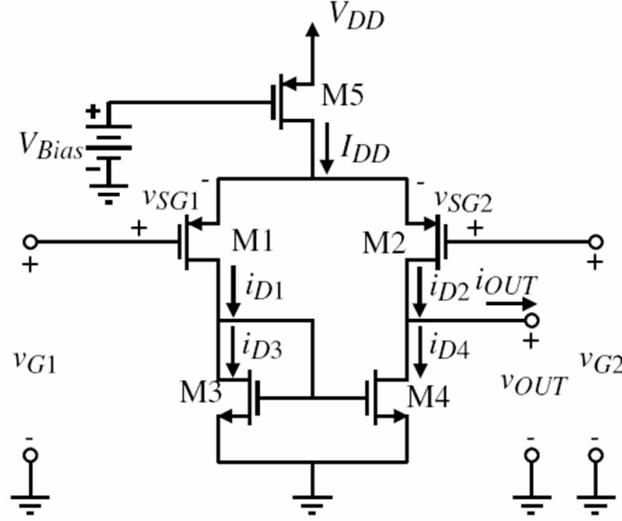


Figura 2.7: Amplificador diferencial CMOS usando MOSFETs de canal-p de entrada. Imagen tomada de las notas de la referencia [6].

$$V_{IC}(max) = V_{G1}(max) = V_{DD} - V_{SG3} - V_{DS1} + V_{GS1} \quad (2.14)$$

La ecuación anterior puede reescribirse de la siguiente manera

$$V_{IC}(max) = V_{DD} - V_{SG3} + V_{TN1} \quad (2.15)$$

La segunda trayectoria queda expresada de la siguiente forma

$$V_{IC}(max)' = V_{DD} - V_{DS4}(sat) - V_{DS2} + V_{GS2} = V_{DD} - V_{DS4}(sat) + V_{TN2} \quad (2.16)$$

Dado que la segunda trayectoria permite un valor mas alto para $V_{IC}(max)$, se seleccionará esta trayectoria para que de forma conservadora se pueda analizar el peor caso. Así, el voltaje de entrada de modo común máximo para la Figura 2.5 es igual al voltaje de alimentación menos la caída a través de M3 más el voltaje umbral de M1. Si se quiere incrementar el límite positivo de V_{IC} , se necesita seleccionar un circuito de carga distinto al espejo de corriente[24]. Se deduce que el voltaje de entrada mínimo en el gate de M1 (o M2) es el siguiente

$$V_{IC}(min)' = V_{SS} + V_{DS5}(sat) + V_{GS1} = V_{SS} + V_{DS5}(sat) + V_{GS2} \quad (2.17)$$

Se asume que V_{GS1} y V_{GS2} serán iguales durante los cambios en el voltaje de entrada de modo común. Las ecuaciones 2.15 y 2.17 son importantes para el diseño de un amplificador diferencial. Por ejemplo, si los voltajes de entrada de modo común mínimos se especifican y las corrientes de polarización de dc se conocen, entonces estas ecuaciones pueden usarse para encontrar el valor de

W/L para los diversos transistores envueltos. El valor de W_3/L_3 determinará el valor de $V_{IC}(max)$ mientras los valores de $W_1/L_1(W_2/L_2)$ y W_3/L_3 determinarán el valor de $V_{IC}(min)$. En el capítulo referente al diseño del amplificador, se utilizarán estas ecuaciones para encontrar los valores de las relaciones de aspecto de algunos de los transistores del amplificador diferencial[24].

Para diseñar un amplificador diferencial que opere en un rango negativo de modo común específico, se debe de considerar el peor caso para V_T (especificado por el proceso) y ajustar I_{SS} y β_3 para alcanzar los requerimientos. El peor caso de V_T que afecta el rango positivo de modo común para la configuración de la Figura 2.5 es una magnitud alta para el voltaje umbral del canal P ($|V_{T03}|$) y un voltaje umbral bajo para el canal n (V_{T01})[24].

Se puede mejorar el desempeño, cuando los sustratos de los dispositivos de entrada se conectan a tierra, esta conexión resulta en retroalimentación negativa a los fuentes de los dispositivos de entrada. Por ejemplo, mientras el nodo de fuentes en común se vuelva positivo, la polarización del sustrato se incrementará, resultando en un incremento de los voltajes umbrales (V_{T1} y V_{T2}). La ecuación 2.15 muestra que el rango positivo de modo común se incrementa si la magnitud de V_{T1} se incrementa[24].

Análisis de Señal Pequeña.

El análisis de señal pequeña para el amplificador diferencial de la Figura 2.5 puede ser complementado con el modelo que se muestra en la Figura 2.8(a). Este modelo puede simplificarse al mostrado en la Figura 2.8(b) y solo es apropiado para el análisis diferencial cuando se asume que ambos transistores están perfectamente acoplados (Aunque puede demostrarse que la corriente del espejo no cumple con esta suposición porque las cargas en el drenador de M1 y M2 no están acopladas. Sin embargo se continuará asumiendo lo mismo a pesar de este hecho). Si esta condición se satisface, entonces el punto donde los fuentes de M1 y M2 se conectan puede considerarse que están a tierra AC. Si se asume que la etapa diferencial está descargada, entonces con la salida en corto circuito a tierra AC, la ganancia diferencial de transconductancia puede expresarse como

$$i'_{OUT} = \frac{g_{m1}g_{m3}r_{p1}}{1 + g_{m3}r_{p1}}v_{gs1} - g_{m2}v_{gs2} \quad (2.18)$$

o

$$i'_{OUT} \cong g_{m1}v_{gs1} - g_{m2}v_{gs2} = g_{md}v_{id} \quad (2.19)$$

donde $g_{m1} \approx g_{m2} = g_{md}$. $r_{p1} = r_{ds1} || r_{ds3}$, e i'_{OUT} es la salida de corriente en un corto circuito.

El voltaje diferencial descargado puede determinarse encontrando la resistencia de salida de pequeña señal del amplificador diferencial. Es fácil ver que r_{OUT} es

$$r_{out} = \frac{1}{g_{ds2} + g_{ds4}} \quad (2.20)$$

Así, la ganancia de voltaje está dada por el producto de g_{md} y r_{out} .

$$A_v = \frac{V_{out}}{V_{id}} = \frac{g_{md}}{g_{ds2} + g_{ds4}} \quad (2.21)$$

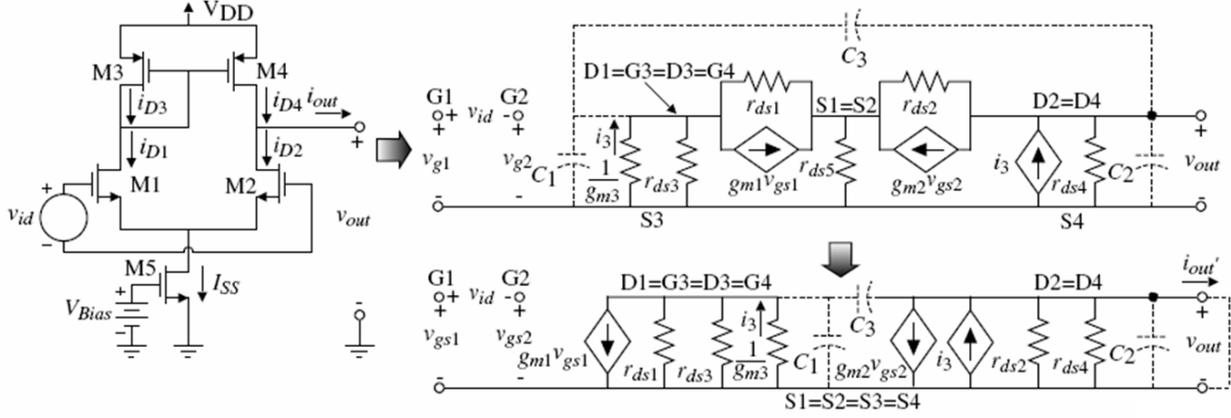


Figura 2.8: Modelo de señal pequeña para el amplificador diferencial CMOS. (a)Modelo exacto. (b)Modelo equivalente simplificado. Imagen tomada de las notas de la referencia [6].

Si se asume que todos los transistores están en saturación y se reemplazan los parámetros de señal pequeña de g_m y r_{ds} en términos de sus equivalentes de señal grande, se obtiene los siguiente

$$A_v = \frac{V_{out}}{V_{id}} = \frac{(K'_1 I_{SS} W_1 / L_1)^{1/2}}{(\lambda_2 + \lambda_4)(I_{SS} / 2)} = \frac{2}{\lambda_2 + \lambda_4} \left(\frac{K'_1 W_1}{I_{SS} L_1} \right)^{1/2} \quad (2.22)$$

Se puede notar la dependencia de la ganancia de señal pequeña del inverso de $I_{SS}^{1/2}$ de manera similar al inversor. Esta relación es válida hasta que I_{SS} se aproxima a valores por abajo del umbral. La ganancia de señal pequeña del amplificador diferencial de señal pequeña de canal n es mayor que la del canal p (para un $W_1 / L_1 = 2\mu / 1\mu$ y $I_{SS} = 10\mu A$, es de 52 para el de canal n contra 35 para el canal p, bajo las mismas condiciones) la diferencia se debe a la diferencia entre las movilidades entre los MOSFETs de canal-n y de canal-p[24].

La ganancia de modo común que se muestra en la Figura 2.5 de manera ideal es igual a cero. Esto es porque la carga del espejo de corriente rechaza cualquier señal de modo común. El hecho de que una señal de modo común pueda existir se debe a los desacoples en el amplificador diferencial. Estos desacoples consisten en ganancia de corriente no unitaria en el espejo de corriente y desbalances geométricos entre M1 y M2. Para demostrar el análisis de señal pequeña de la ganancia de voltaje de modo común del amplificador diferencial, considere el amplificador diferencial que se muestra en la Figura 2.9 , que usa diodos MOS M3 y M4 como la carga[24].

El amplificador diferencial de la Figura 2.9 puede servir para explicar las diferencias entre los análisis de señal pequeña en modo diferencial y en modo común. Si los transistores de entrada (M1 y M2) del amplificador diferencial de la Figura 2.9, entonces para análisis en modo diferencial, el punto de fuentes en común puede aterrizarse a AC y la señal diferencial aplicarse equitativamente, pero opuesta a M1 y M2 como se muestra en el circuito del lado izquierdo de la Figura 2.9. Para el análisis de señal pequeña en modo-común, el espejo de corriente I_{SS} , puede dividirse en dos circuitos en paralelo con una corriente de $0.5I_{SS}$ y la resistencia de salida de $2r_{ds5}$ con el voltaje de entrada de modo común aplicado a ambas compuertas, la de M1 y la de M2. El circuito equivalente se muestra en el diagrama del lado derecho de la Figura 2.9.

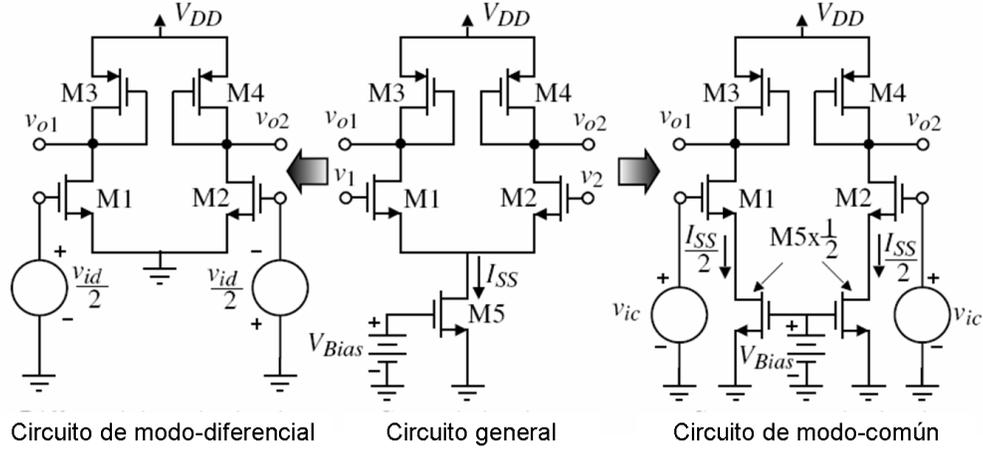


Figura 2.9: Ilustración de las simplificaciones del amplificador diferencial para señal pequeña, modo diferencial, y análisis de modo común. Imagen editada a partir de las notas de la referencia [6].

El análisis de señal pequeña en modo diferencial de la Figura 2.9, es idéntico al análisis de señal pequeña de la Figura 2.3 sólo que la entrada se reduce por un factor de 2. Así, la ganancia de voltaje de señal pequeña en modo diferencial es

$$\frac{v_{o1}}{v_{id}} = -\frac{g_{m1}}{2g_{m3}} \quad (2.23)$$

o

$$\frac{v_{o2}}{v_{id}} = +\frac{g_{m2}}{2g_{m4}} \quad (2.24)$$

La ganancia de voltaje de señal pequeña en modo diferencial de la Figura 2.9 es la mitad de la ganancia de voltaje de señal pequeña del inversor de carga activa[24].

La ganancia de voltaje de señal pequeña en modo común se encuentra del circuito del lado derecho de la Figura 2.9. Reacomodando el circuito se obtiene el modelo de señal pequeña de la Figura 2.10 (ignorando el efecto del sustrato). Note que $2r_{ds5}$ representa la resistencia de salida de señal pequeña de $M5 \times 0.5$ transistor (si la corriente se decrece en un medio, la resistencia de salida de señal pequeña se incrementará en un factor de 2)[24].

El circuito de la Figura 2.10 es mucho mas sencillo de analizar si asumimos que r_{ds1} es grande y puede ignorarse. Bajo esta suposición, se tiene que

$$v_{gs1} = v_{ic} - 2g_{gm1}r_{ds5}v_{gs1} \quad (2.25)$$

Resolviendo para v_{gs1} da como resultado

$$v_{gs1} = \frac{v_{ic}}{1 + 2g_{gm1}r_{ds5}} \quad (2.26)$$

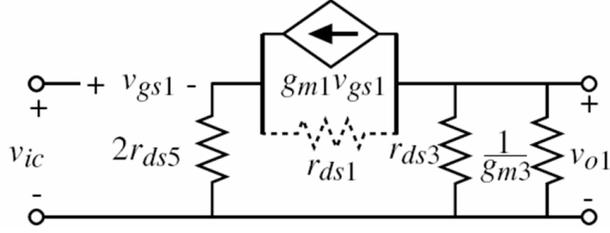


Figura 2.10: Modelo de señal pequeña para el análisis de modo común de la Figura anterior. Imagen tomada de las notas de la referencia [6].

El voltaje de salida de terminación sencilla, v_{ol} , como función de v_{ic} puede escribirse como

$$\frac{v_{ol}}{v_{ic}} = -\frac{g_{m1} [r_{ds3} || (1/g_{m3})]}{1 + 2g_{m1}r_{ds5}} \approx -\frac{(g_{m1}/g_{m3})}{1 + 2g_{m1}r_{ds5}} \approx -\frac{g_{ds5}}{2g_{m3}} \quad (2.27)$$

Idealmente, la ganancia de modo común debería de ser cero. Se puede observar que si r_{ds5} es grande, la ganancia de modo común se reduce[24].

La razón de rechazo al modo común (*CMRR*, del inglés *common-mode rejection ratio*) puede encontrarse por la magnitud de la razón de las ecuaciones 2.23 y 2.27 y es

$$CMRR = \frac{g_{m1}/2g_{m3}}{g_{ds5}/2g_{m3}} = g_{m1}r_{ds5} \quad (2.28)$$

Este es un resultado importante que muestra como incrementar el CMRR. Obviamente, la manera mas fácil de incrementar el CMRR de la Figura 2.9 sería utilizar un inversor de corriente en cascada en lugar de M5. Esto incrementaría el CMRR por un factor de $g_m r_{ds}$ a costa del ICMR decrecido[24].

La respuesta en frecuencia del amplificador diferencial CMOS se debe a las diversas capacitancias parásitas en cada nodo del circuito. Las capacitancias parásitas asociadas con el amplificador diferencial CMOS se muestran como capacitores punteados en la Figura 2.8(b). C_1 consiste de $C_{gd1}, C_{bd1}, C_{bd3}$ y C_{gs4} . C_2 consiste de C_{bd2}, C_{bd4} , C_{gd2} y cualquier capacitancia de carga C_L . C_3 es aproximadamente cero. En la mayoría de las aplicaciones del amplificador diferencial, esta suposición tiende a ser válida. Con C_3 aproximadamente igual a cero, el análisis en modo diferencial de la Figura 2.8(b) es sencillo. La función de transferencia puede escribirse como

$$V_{out}(s) \cong \frac{g_{m1}}{g_{ds2} + g_{ds4}} \left[\left(\frac{g_{m3}}{g_{m3} + sC_1} \right) V_{gs1}(s) - V_{gs2}(s) \right] \left(\frac{\omega_2}{s + \omega_2} \right) \quad (2.29)$$

donde ω_2 esta dado por

$$\omega_2 = \frac{g_{ds2} + g_{ds4}}{C_2} \quad (2.30)$$

si posteriormente se asume que

$$\frac{g_{m3}}{C_1} \gg \frac{g_{ds2} + g_{ds4}}{C_2} \quad (2.31)$$

Entonces la respuesta en frecuencia del amplificador diferencial se reduce a

$$\frac{V_{out}(s)}{V_{id}(s)} \cong \left(\frac{g_{m1}}{g_{ds2} + g_{ds4}} \right) \left(\frac{\omega_2}{s + \omega_2} \right) \quad (2.32)$$

Entonces, el análisis de primer orden de la respuesta en frecuencia del amplificador diferencial consiste un polo sencillo en la salida dado por $-(g_{ds2} + g_{ds4})/C_2$. En el análisis previo, se ignoraron los ceros que ocurren debido a C_{gd1} , C_{gd2} y C_{gd4} . Se reconsiderará la respuesta en frecuencia del amplificador diferencial más adelante en más detalle cuando se estudie el amplificador operacional (op amp)[24].

2.1.2. Arquitecturas de Amplificadores de Alta Ganancia.

En circuitos analógicos es necesario poder definir con precisión funciones de transferencia. En la Figura 2.11 [24] se muestra un diagrama de bloques donde se representa el concepto de retroalimentación[24].

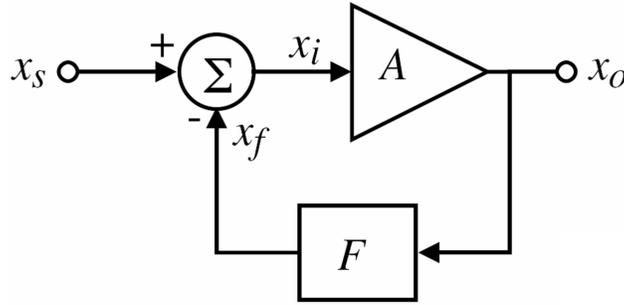


Figura 2.11: Circuito general de lazo simple con retroalimentación negativa. Imagen tomada de las notas de la referencia [6].

En el diagrama, x puede ser voltaje o corriente, A es la alta-ganancia del amplificador, F la red de retroalimentación, y la señal retroalimentada x_f se resta a la señal x_s en el sumador. Si se asume que el flujo de la señal es unidireccional como se muestra y A y F son independientes de la fuente o de la resistencia de carga (no se muestra en la Figura), la ganancia total de amplificador se puede expresar de la siguiente manera

$$A_f = \frac{x_o}{x_s} \approx \frac{A}{1 + AF} \quad (2.33)$$

El principio de alta-ganancia puede verse de la 2.33. Si A es suficientemente grande, entonces aunque la ganancia de la red de retroalimentación puede ser menor a uno, la magnitud de AF es mucho mayor que la unidad. En consecuencia la ecuación 2.33 se simplifica para obtener lo siguiente:

$$A_f = \frac{x_o}{x_s} \approx \frac{1}{F} \quad (2.34)$$

Para definir con precisión A_f sólo se necesita definir F, si A es suficientemente grande. De manera típica F se implementa con componentes pasivos como resistencias o capacitancias. De acuerdo a la Figura 2.11 la alta-ganancia del amplificador se define de la siguiente manera:

$$A = \frac{x_o}{x_i} \quad (2.35)$$

El circuito se diseñará considerando la ganancia requerida para la amplificación de las señales de EEG como la señal de lazo abierto ($A = x_o/x_i$)[24].

2.2. Amplificadores Operacionales CMOS.

El amplificador operacional (op amp) se ha convertido en uno de los bloques analógicos más versátiles e importantes. Los op amps sin buffer de salida (*unbuffered*) pueden describirse de mejor manera como amplificadores operacionales de transconductancia, dado que su resistencia de salida será típicamente muy alta. El término op amp ha sido aceptado para dichos circuitos, por lo que es el término que se utiliza para su referencia. Un op amp con buffer (*buffered*) tiene baja resistencia de salida (amplificadores operacionales de voltaje)[24]. Los amplificadores operacionales son amplificadores (fuentes controladas) que tienen una ganancia alta en sentido directo (hacia adelante), tal que les permite obtener una función de transferencia de lazo cerrado prácticamente independiente de la ganancia de lazo abierto del op amp, cuando se les aplica retroalimentación negativa ver Figura 2.11. Este principio ha sido explotado para el desarrollo de muchos sistemas y circuitos analógicos útiles. El requerimiento primario de un op amp es tener una ganancia de lazo abierto suficientemente grande para poder implementar el concepto de retroalimentación negativa. Uno de los op amps más populares es el op amp de dos etapas, que es la arquitectura que se utilizó en este trabajo. Un concepto importante es la compensación, cuya meta es mantener la estabilidad cuando la retroalimentación negativa se aplica alrededor del op amp. El entendimiento de la compensación, junto con los conceptos presentados en el capítulo anterior es lo que permite deducir las relaciones matemáticas para formular una metodología aproximada de diseño para el op amp de dos etapas[24].

2.2.1. Diseño de los Amplificadores Operacionales CMOS.

En la Figura 2.12 se muestra un diagrama de bloques que representa los aspectos importantes de un op amp. La arquitectura de los op amps CMOS es muy similar a la arquitectura de sus contrapartes bipolares. La etapa de transconductancia que se explica en la sección 2.1.1 forma la entrada del op amp y en ocasiones provee de la conversión de diferencial-terminación sencilla. Normalmente, una buena porción de la ganancia total la provee la etapa de entrada diferencial, que mejora el desempeño respecto al ruido y al desvío. La segunda etapa típicamente es un inversor. Si la etapa de entrada diferencial no realiza la conversión de diferencial-terminación sencilla, entonces se completa en la segunda etapa inversora. Si el opamp debe manejar una carga de resistencia baja, la segunda etapa debe ser seguida por una etapa *buffer* cuyo objetivo es disminuir la resistencia de

salida y mantener un swing grande de señal. Los circuitos de polarización sirven para establecer el punto de operación correcto para cada transistor en su estado inactivo. Para lograr un desempeño de lazo cerrado estable se requiere de compensación[24].

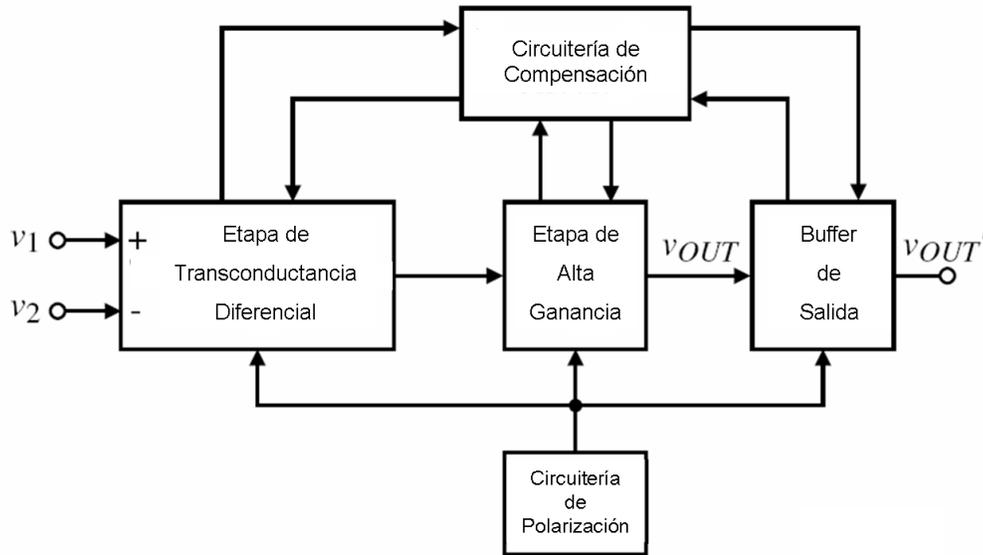


Figura 2.12: Diagrama de bloques de un op amp genérico de tres etapas. Imagen editada a partir de las notas de la referencia [6].

El Opamp Ideal.

De manera ideal un op amp tiene ganancia diferencial de voltaje infinita, resistencia de entrada infinita, y resistencia de salida igual a cero. En realidad un op amp solo aproxima estos valores. Para la mayoría de las aplicaciones cuando se utilizan op amps CMOS *unbuffered*, usualmente una ganancia de lazo abierto de 2000 o más, es suficiente. En la Figura 2.13 se muestra el símbolo empleado para el op amp[24].

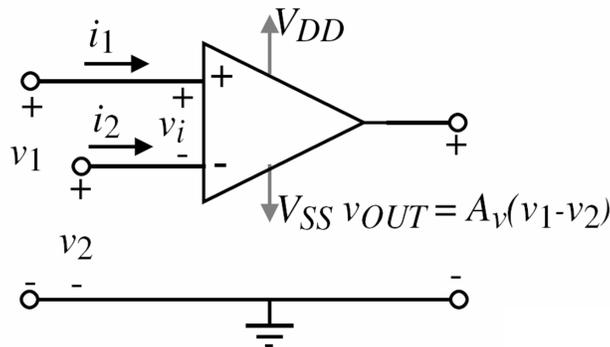


Figura 2.13: Símbolo para un amplificador operacional. Imagen tomada de las notas de la referencia [6].

En el caso no-ideal, el voltaje de salida V_{OUT} puede expresarse como

$$V_{OUT} = A_v(v_1 - v_2) \quad (2.36)$$

donde A_v es la ganancia diferencial de lazo abierto y v_1 y v_2 son los voltajes de entrada aplicados a las entradas inversora y no-inversora respectivamente. El símbolo de la Figura 2.13 también muestra las conexiones de alimentación V_{DD} y V_{SS} . Aunque de manera general estas conexiones no se muestran, siempre se debe recordar que son indispensables para el diseño del op amp[24].

Si la ganancia del op amp es lo suficientemente grande, el puerto de entrada del op amp se convierte en puerto nulo cuando se aplica retroalimentación negativa. Un puerto nulo es un par de terminales de una red donde el voltaje a través de las terminales es cero y el flujo de corriente dentro o fuera de las terminales también es cero. Según la Figura 2.13, se tiene que:

$$v_i = v_1 - v_2 \quad (2.37)$$

y

$$i_i = i_1 = -i_2 \quad (2.38)$$

entonces

$$v_i = i_i = 0 \quad (2.39)$$

Este concepto permite el análisis de circuitos que incluyen op amps, con retroalimentación negativa sea muy simple. Lo que será explicado de manera breve.

La Figura 2.14 muestra la implementación típica de un amplificador de voltaje usando un op amp. Al retornar la salida a través de R_2 a la entrada inversora se proporciona de la trayectoria de retroalimentación negativa. La entrada puede aplicarse a las entradas positiva o negativa. Si solo se aplica v_{inp} ($v_{inn}=0$), al amplificador de voltaje se le llama no inversor. Si solo se aplica v_{inn} ($v_{inp}=0$), al amplificador de voltaje se le llama *inversor*[24].

Caracterización de Op Amps.

En la práctica, el amplificador diferencial solo se aproxima al amplificador de voltaje ideal de ganancia infinita. Algunas de las demás características no ideales se muestran en la Figura 2.15. La impedancia finita de entrada diferencial se modela por R_{id} y C_{id} . La *resistencia de salida* se modela por R_{out} . Las *resistencias de entrada de modo común* están dadas por resistencias de R_{icm} conectadas de cada una de sus entradas a tierra. V_{OS} es el voltaje de desvío (*offset* en inglés, como se había mencionado con anterioridad) de entrada, que se requiere para hacer la salida de voltaje cero si ambas de las entradas del op amp se aterrizan. I_{OS} (que no se muestra) es la *corriente de desvío de entrada*, que se necesita para hacer la salida de voltaje cero si el op amp se maneja por dos fuentes de corriente idénticas. De esta manera, I_{OS} se define como la magnitud de la diferencia entre las dos corrientes de polarización de entrada I_{B1} e I_{B2} . Dado que las corrientes de polarización para un op amp son aproximadamente cero, la corriente de desvío también es cero. La *razón de*

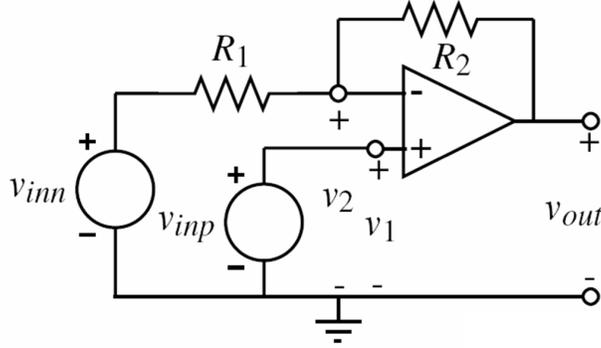


Figura 2.14: Configuración general de un op amp como amplificador de voltaje. Imagen tomada de las notas de la referencia [6].

rechazo al modo común (CMRR) se modela por la fuente de voltaje controlada por voltaje indicada como $v_1/CMRR$. Esta fuente modela de manera aproximada los efectos de la señal de entrada de modo común del op amp. Las dos fuentes designadas como e_n^2 e i_n^2 se usan para modelar el ruido del op amp. Estas son *fuentes de ruido de voltaje y corriente rms* con unidades de volts y amperes cuadráticos-medios. Estas fuentes de ruido no tienen polaridad y siempre se da como hecho que se suman[24].

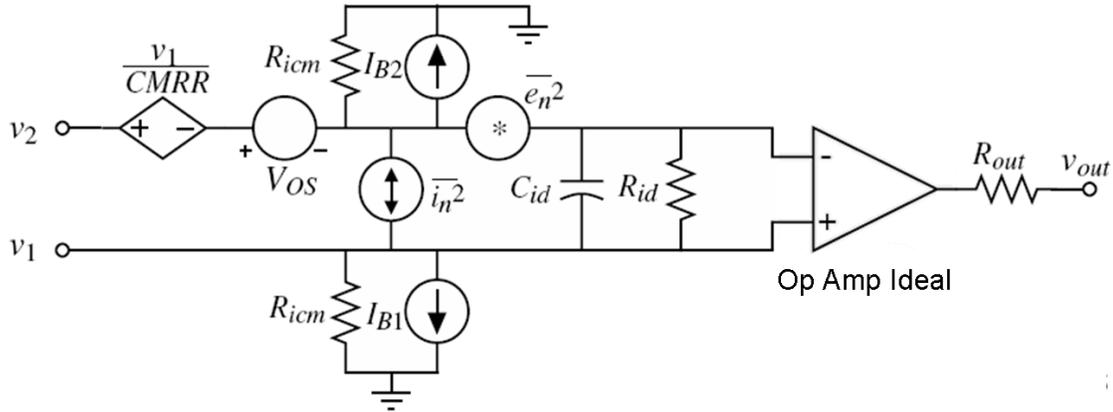


Figura 2.15: Un modelo para un op amp no ideal mostrando algunas de sus características lineales no ideales. Imagen editada a partir de las notas de la referencia [6].

En la Figura 2.15 no se muestran todas las características no-ideales. Otras características pertinentes se definen a continuación. El voltaje de salida de la Figura 2.13 puede definirse de la siguiente manera

$$V_{out}(s) = A_v(s)[V_1(s) - V_2(s)] \pm A_c(s) \left(\frac{V_1(s) + V_2(s)}{2} \right) \quad (2.40)$$

donde el primer término de la derecha es la parte diferencial de $V_{out}(s)$ y el segundo término es la parte de modo común de $V_{out}(s)$. La *respuesta en modo diferencial de frecuencia* esta dada

por $A_v(s)$ donde la respuesta de frecuencia de modo común está dada por $A_c(s)$. Una respuesta diferencial de frecuencia típica de un op amp está dada por:

$$A_v(s) = \frac{A_v(0)}{\left(\frac{s}{p_1} - 1\right) \left(\frac{s}{p_2} - 1\right) \left(\frac{s}{p_3} - 1\right) \dots} \quad (2.41)$$

donde p_1, p_2, \dots son polos de la función de transferencia de la ganancia de lazo abierto del amplificador operacional. De manera general, un polo designado como p_1 puede expresarse como

$$p_1 = -\omega_1 \quad (2.42)$$

donde $-\omega_1$ es la constante de tiempo recíproca o frecuencia de corte del polo p_1 . Si el amplificador operacional tiene ceros, deben ser ignorados en el tiempo presente, A_{v0} o $A_v(0)$ es la ganancia del op amp conforme la frecuencia se aproxima a cero. La Figura 2.16 muestra una respuesta en frecuencia típica de la magnitud de $A_v(s)$. En este caso se puede apreciar que ω_1 es mucho menor que el resto de las frecuencias de corte, provocando que ω_1 sea el que tenga la influencia dominante en la respuesta en frecuencia[24].

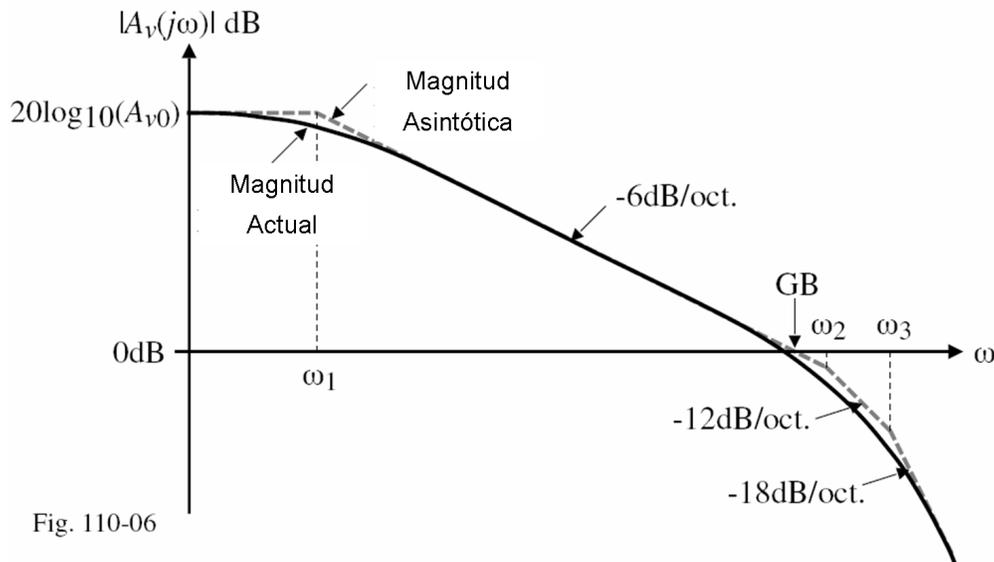


Figura 2.16: Típica respuesta en frecuencia de la magnitud de $A_v(j\omega)$ para un op amp. Imagen editada de las notas de la referencia [6].

A la frecuencia donde la pendiente de -6dB/oct. del polo dominante *intersecta* con el eje a los 0dB se le llama *ancho de banda de ganancia unitaria* (o producto ganancia-ancho de banda), abreviado *GB* (del inglés Gain Bandwith), del op amp. Incluso si los siguientes polos de orden mas alto son menores que *GB*, se seguirá empleando la definición anterior del ancho de banda de ganancia unitaria[24].

Otra de las características no ideales del op amp que no se definen en la Figura 2.15 es la *razón de rechazo a la fuente de alimentación*, *PSRR* (del inglés, power-supply rejection ratio). El PSRR

se define como el producto de la razón de cambio en el voltaje de alimentación respecto al cambio en el voltaje de salida del op amp debido al cambio en el voltaje de alimentación y a la ganancia de lazo abierto del op amp. Así,

$$PSRR = \frac{\Delta V_{DD}}{\Delta V_{OUT}} A_v(s) = \frac{V_o/V_{in}(V_{dd} = 0)}{V_o/V_{dd}(V_{in} = 0)} \quad (2.43)$$

Un op amp ideal debería de tener un PSRR infinito. El ICMR, es el rango de voltaje sobre el cual la señal de entrada de modo común puede variar. Típicamente este rango es de 1-2V menor que V_{DD} y de 1-2V mayor que V_{SS} [24].

La salida del op amp tiene varias limitaciones importantes, una de las cuales es la fuente de corriente máxima de salida y la capacidad de inversión. Hay un rango limitado sobre el cual el voltaje de salida puede oscilar manteniendo las características de alta ganancia. La salida también tiene una tasa límite de voltaje que es la rapidez de respuesta SR , *del inglés slew rate*. El SR generalmente se determina por la corriente máxima disponible para cargar o descargar una capacitancia. Normalmente el SR no está limitado por la salida, pero si por la capacidad de alimentación/inversión de corriente de la primera etapa. La última característica importante en aplicaciones de circuitos analógicos de muestreo de datos es el *tiempo de estabilización (ST, del inglés settling time)*. Que es el tiempo que necesita la salida del op amp para alcanzar un valor final (dentro de un rango de tolerancia predeterminada). No debe de confundirse con el SR, que es un fenómeno de señal grande. Muchas veces la respuesta de salida de un op amp es una combinación de ambas características, las de señal grande y señal pequeña. El ST de señal pequeña puede determinarse completamente por la ubicación de los polos y ceros en el circuito equivalente de señal pequeña, mientras que el SR se determina de las condiciones de señal grande del circuito. La importancia del tiempo de estabilización para los circuitos analógicos de muestreo de datos se demuestra en la Figura 2.17. Es necesario esperar hasta que el amplificador se haya asentado dentro de un rango de unas pocas décimas de porcentaje de su valor final para evitar errores en la precisión del procesamiento de señales analógicas. Un tiempo de estabilización mayor implica que la tasa del procesamiento analógico de señales deberá reducirse[24].

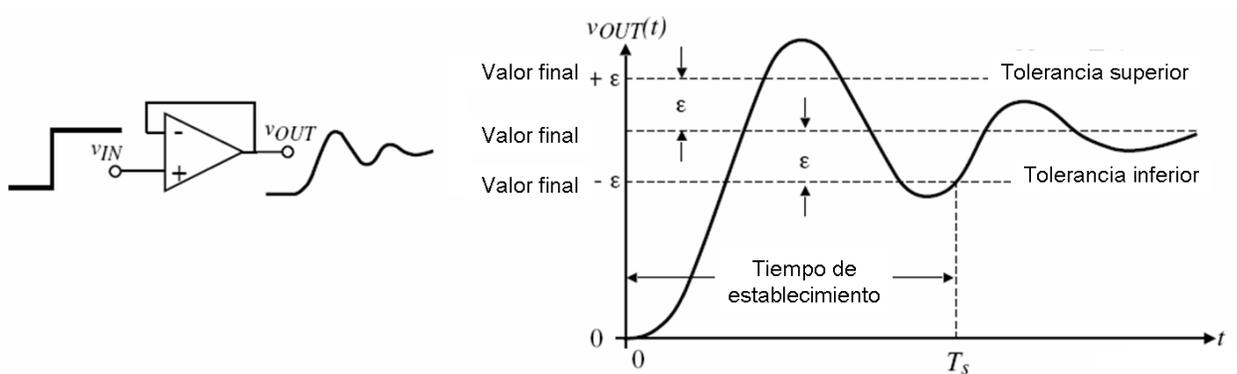


Figura 2.17: Respuesta transiente de un op amp con retroalimentación negativa que ilustra el tiempo de resolución T_s . ϵ es la tolerancia al valor final usado para definir el tiempo de resolución. Imagen editada de las notas de la referencia [6].

Afortunadamente el op amp CMOS no sufre de todas las características no ideales previamente discutidas. Debido a la extremadamente alta resistencia de entrada de los dispositivos MOS, R_{id} y I_{OS} (o I_{B1} e I_{B2}) no son de importancia. Un valor típico de R_{id} está en el rango de $10^{14}\Omega$. Además, R_{icm} es extremadamente grande y puede ser ignorada. Si un op amp implementado en la configuración de la Figura 2.14 con la terminal no inversora a tierra AC, entonces todas las características de modo común no tienen importancia[24].

Clasificación de los Op Amps.

Para poder entender el diseño de los op amps CMOS es valioso examinar su clasificación y categorización. La tabla 2.18 presenta una jerarquía de op amps CMOS que es aplicable a muchos de los op amps CMOS. Se puede observar que el amplificador diferencial es considerado como la etapa de entrada, el amplificador diferencial es la etapa de entrada en la mayoría de los op amps[24].

Como se explicó anteriormente, los amplificadores generalmente consisten de una cascada de etapas de conversión de voltaje a corriente o corriente a voltaje. Una etapa de voltaje a corriente se denomina etapa de transconductancia y una de corriente a voltaje se denomina etapa de carga. En algunos casos es mejor pensar en etapas de corriente a corriente, pero eventualmente la corriente se reconvertirá a voltaje[24].

Basados en la categorización de la tabla 2.18, se puede explicar una de las arquitecturas más importantes de los op amps, la del op amp de dos etapas. Consiste en una cascada de etapas de conversión de $V \rightarrow I$ y $I \rightarrow V$ (2.20).La primer etapa consiste de un amplificador diferencial que convierte la entrada de voltaje diferencial a corrientes diferenciales. Estas corrientes diferenciales se aplican a una carga de espejo de corriente para recuperar el voltaje diferencial. Este es el amplificador de voltaje diferencial ya visto de las Figuras 2.5 o 2.7. La segunda etapa consiste de un MOSFET de fuente común que convierte el voltaje de entrada que viene de la segunda etapa a corriente. Este transistor se carga con una carga de inversor de corriente, que convierte la corriente a voltaje en la salida. La segunda etapa es el inversor de corriente de la Figura 2.19.

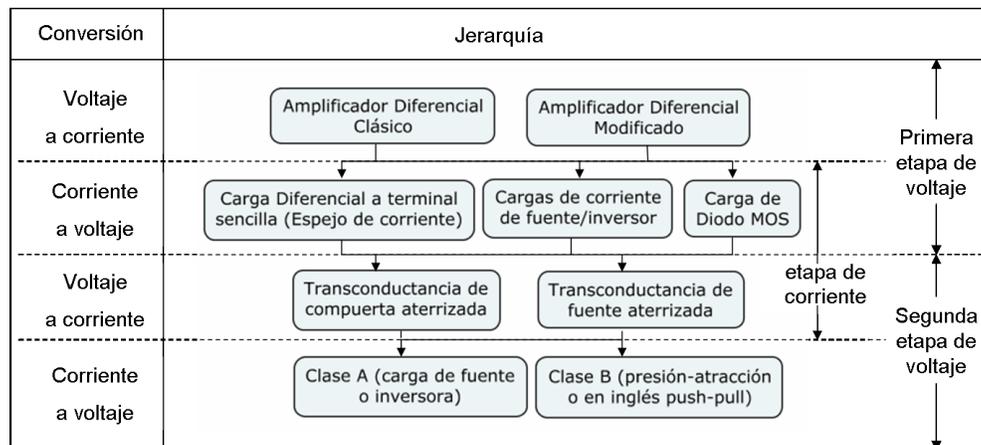


Figura 2.18: Categorización de los Op Amps CMOS. Diagrama reconstruido a partir de las notas de la referencia [6].

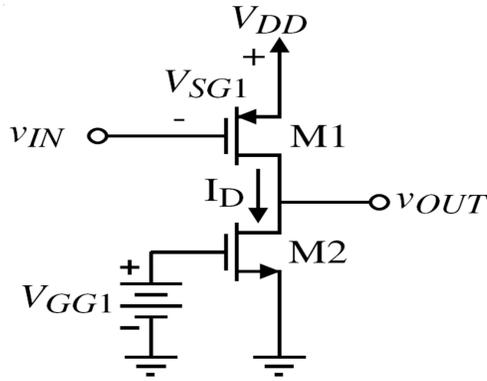


Figura 2.19: Inversor CMOS tipo espejo de corriente. Imagen tomada de las notas de la referencia [6].

Este op amp de dos etapas se usa muy frecuentemente por lo que se le puede denominar como el *op amp de dos etapas típico*; tiene ambas versiones, MOSFET y BJT. La salida es de clase A, no es *push-pull* (de presión-atracción), lo que significa que la capacidad de alimentación o inversión de corriente en la carga, está fija [24].

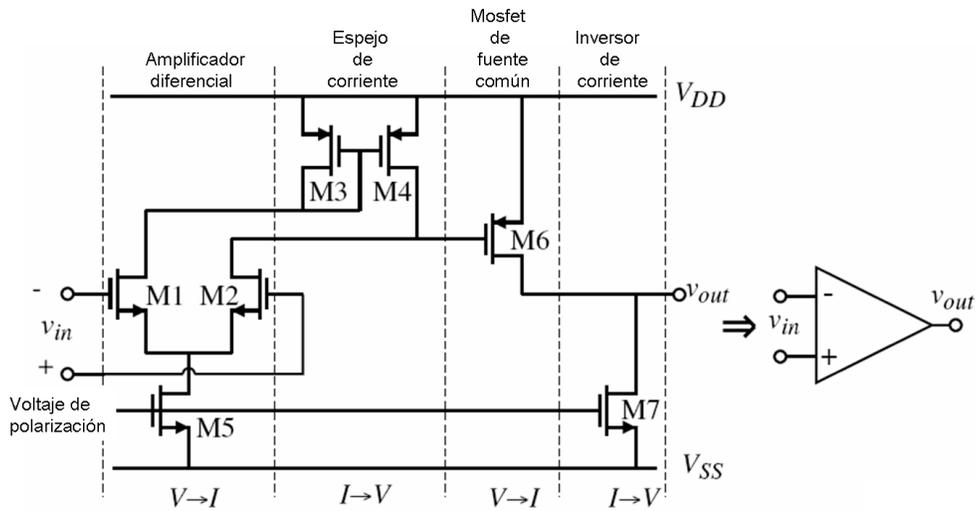


Figura 2.20: Op amp CMOS clásico de dos etapas separado en etapas voltaje-corriente y corriente-voltaje. Imagen editada de las notas de la referencia [6].

2.2.2. Diseño del Op Amp.

El diseño de un op amp puede dividirse en dos distintas actividades relacionadas con su diseño que en su mayor parte son independientes unas de otras. La primera de estas actividades envuelve la elección o la creación básica de la arquitectura del op amp. De esto resulta un diagrama que describe la interconexión de todos los transistores resultantes (el esquemático del diseño). En la mayoría de los casos, esta estructura no se modifica durante la parte restante del diseño, pero algunas veces

ciertas características del diseño elegido deben de modificarse modificando la estructura[24].

Una vez que la estructura ha sido seleccionada, el diseñador debe seleccionar corrientes de dc y comenzar a definir los tamaños de los transistores y diseñar el circuito de compensación. La mayor parte del trabajo que se requiere para completar un diseño se asocia con la segunda actividad del diseño de proceso. Los elementos deben ser correctamente escalados para cumplir con todos los requerimientos de dc y AC impuestos al op amp. Las simulaciones computacionales del circuito, basados en los cálculos a mano, se usan de manera extensa para auxiliar al diseñador en esta fase[24].

Antes de que el diseño pueda comenzar, aún falta por especificar todos los requerimientos y condiciones de frontera que se usarán en el diseño. La siguiente lista describe muchos de los elementos que deben ser considerados[24].

Condiciones de frontera:

1. Especificaciones del proceso (V_T , K' , C_{ox} , etc.).
2. Voltaje de alimentación y rango.
3. Corriente de alimentación y rango.
4. Temperatura de operación y rango.

Requerimientos:

1. Ganancia, A_v .
2. Producto Ganancia-Ancho de Banda, GB.
3. Tiempo de estabilización, S_T .
4. Rapidez de respuesta, SR.
5. Rango de entrada de modo común, ICMR.
6. Razón de rechazo al modo común, CMRR.
7. Razón de rechazo a la fuente de alimentación, PSRR.
8. Variación en el voltaje de salida, OS (del inglés, Output-voltage swing).
9. Resistencia de salida.
10. Voltaje de desvío (Offset).
11. Ruido.
12. Área del layout.

Las especificaciones típicas para un amplificador operacional CMOS “unbuffered ” se listan en la tabla 2.2.2.

El diagrama de bloques de la Figura 2.12, resulta útil para guiar el proceso de diseño del op amp CMOS[24].

Condiciones de Frontera	Requerimiento
Especificaciones del proceso	Ver tabla 2.3.1
Voltaje de alimentación	$\pm 2.5V \pm 10\%$
Corriente de alimentación	100μ
Rango de temperatura	$0-70^{\circ}C$
Especificaciones	
Ganancia	≥ 70 dB
Producto ganancia-ancho de banda	≥ 5 MHz
ST	$\leq 1\mu s$
SR	$\geq 5V/\mu s$
ICMR	$\geq \pm 1.5V$
CMRR	≥ 60 dB
PSRR	≥ 60 dB
OS	$\geq \pm 1.5V$
resistencia de salida	N/A, sólo carga capacitiva
voltaje de desvío	$\leq \pm 10mV$
Ruido	$\leq 100nV/\sqrt{Hz}$ a 1 kHz
Área de layout	$\leq 5000 \times (\text{longitud mínima de canal})^2$

Tabla 2.1: Especificaciones para un Op amp “unbuffered ” típico

2.2.3. Compensación.

Los amplificadores operacionales generalmente se emplean en una configuración con retroalimentación negativa. En ese sentido, la relativamente alta, inexacta ganancia “hacia adelante ” puede aplicarse con retroalimentación para lograr una función de transferencia muy exacta, que esté únicamente en función de los elementos de retroalimentación. La Figura 2.21 ilustra una configuración general de retroalimentación negativa. $A(s)$ es la ganancia del amplificador y normalmente será la ganancia diferencial de voltaje de lazo abierto del op amp, y $F(s)$ es la función de transferencia para la retroalimentación externa, de la salida del op amp de regreso hacia la entrada (ver la sección). La ganancia de lazo abierto del circuito se define de la siguiente manera:

$$\text{Ganancia de lazo abierto} = L(s) = -A(s)F(s) \quad (2.44)$$

Considere el caso donde la ganancia “hacia adelante ” de V_{in} a V_{out} es cerca de la unidad. Se puede demostrar fácilmente que si la ganancia de lazo abierto a dc $A(0)$ está entre 1000 y 2000, y F es igual a 1, la ganancia en sentido derecho varía de 0.999 a 0.9995. Para una ganancia de lazo abierto muy alta (debido primordialmente a un amplificador de alta ganancia) la función de transferencia “hacia adelante ” V_{out}/V_{in} se controla con precisión por la red de retro-alimentación. Este es el principio que se aplica al usar amplificadores operacionales[24].

Dinámica de Señal Pequeña para el Op Amp de Dos Etapas.

Es de importancia primaria que la señal retroalimentada a la entrada del op amp sea de cierta amplitud y fase tal que no siga regenerándose por sí misma a través del lazo. Si esto ocurriera, traería como resultado que la salida del amplificador se ancle a alguno de los voltajes de alimentación

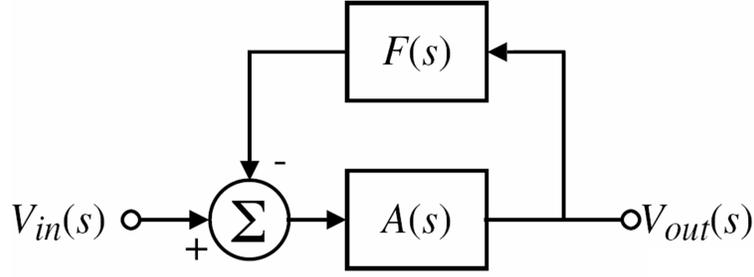


Figura 2.21: Sistema de retroalimentación negativa de lazo simple. Imagen tomada de las notas de la referencia [6].

(regeneración a dc), o que oscile (regeneración a alguna frecuencia diferente de dc). El requerimiento para evitar esta situación se puede plantear de manera resumida por la siguiente ecuación:

$$|A(j\omega_{0o})F(j\omega_{0o})| = |L(j\omega_{0o})| < 1 \quad (2.45)$$

donde ω_{0o} se define de la siguiente manera

$$\text{Arg} [-A(j\omega_{0o})F(j\omega_{0o})] = \text{Arg} [L(j\omega_{0o})] = 0^\circ \quad (2.46)$$

Otra manera conveniente de expresar este requerimiento es la siguiente

$$\text{Arg} [-A(j\omega_{0dB})F(j\omega_{0dB})] = \text{Arg} [L(j\omega_{0dB})] > 0^\circ \quad (2.47)$$

donde ω_{0dB} se define de la siguiente manera

$$|A(j\omega_{0dB})F(j\omega_{0dB})| = |L(j\omega_{0dB})| = 1 \quad (2.48)$$

Si estas condiciones se cumplen, se dice que el sistema de retroalimentación es estable (la oscilación continua no puede presentarse)[24].

La relación de la ecuación 2.47 se ilustra de mejor manera con el uso de diagramas de bode. La Figura 2.22 muestra la respuesta de $|A(j\omega)F(j\omega)|$ y $\text{Arg} [-A(j\omega)F(j\omega)]$ como una función de la frecuencia. este requerimiento para estabilidad es que la frecuencia donde la curva $|A(j\omega)F(j\omega)|$ cruza los 0 dB (frecuencia de cruce de fase fcf) sea menor a la frecuencia donde la gráfica $\text{Arg} [-A(j\omega)F(j\omega)]$ alcanza los 0° (o -180°) (frecuencia de cruce de ganancia fcg). Una medición de la estabilidad está dada por el valor de fcf, cuando $|A(j\omega)F(j\omega)|$ es igual a uno, 0dB. Esta medida se llama margen de fase y se describe por la siguiente relación[24].

$$\text{Margen de Fase} = \Phi_M = \text{Arg} [-A(j\omega_{0dB})F(j\omega_{0dB})] = \text{Arg} [L(j\omega_{0dB})] \quad (2.49)$$

La importancia de una buena estabilidad obtenida a partir de un adecuado margen de fase, se entiende de mejor manera considerando la respuesta del sistema de lazo cerrado en el dominio del tiempo. La Figura 2.23 muestra la respuesta temporal para un sistema de lazo cerrado de segundo orden con varios márgenes de fase.

Se puede apreciar que los márgenes de fase mayores resultan en una oscilación amortiguada menor de la señal de salida. La presencia de mucho rizo sería indeseable, por lo que es importante

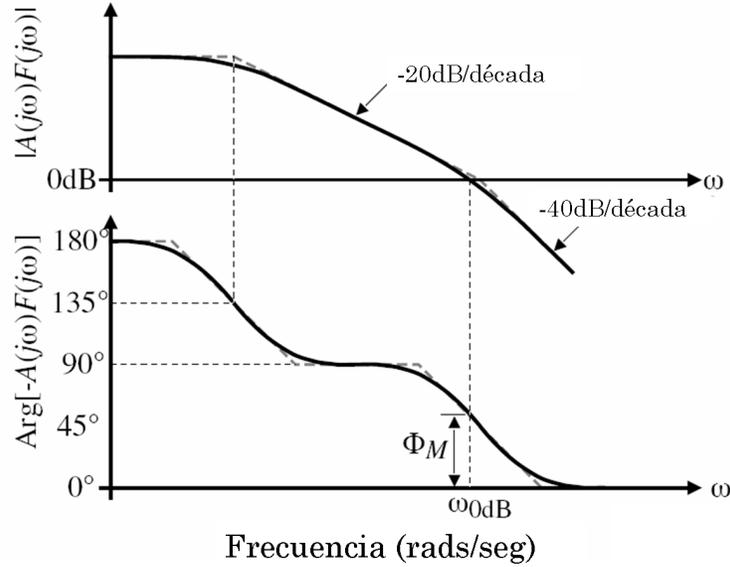


Figura 2.22: Respuesta en frecuencia y fase de un sistema de segundo orden. Imagen editada de las notas de la referencia [6].

tener un margen de fase adecuado que mantenga el rizo a un nivel aceptable. Es deseable tener un margen de fase de cuando menos 45° , siendo preferible de 60° en la mayoría de las situaciones[24].

Ahora considere el modelo de señal pequeña de segundo orden para el op amp sin compensación mostrado en la Figura 2.24.

Para generalizar los resultados, los componentes asociados con la primera etapa tienen el subíndice I y los asociados con la segunda etapa tienen el subíndice II . La ubicación de los dos polos está dada por las siguientes ecuaciones:

$$p'_1 = \frac{-1}{R_I C_I} \quad (2.50)$$

y

$$p'_2 = \frac{-1}{R_{II} C_{II}} \quad (2.51)$$

donde R_I, C_I y R_{II}, C_{II} son las resistencias y capacitores a tierra vistas desde las salidas de la primera y segunda etapa respectivamente. En un caso típico, estos polos se localizan muy lejos del origen del plano de las frecuencias complejas y son relativamente cercanos entre ellos. La Figura 2.25 ilustra la respuesta en frecuencia de lazo abierto para un lazo de retroalimentación negativa usando el op amp modelado por la Figura 2.47 y un factor de retro-alimentación de $F(s)=1$. Note que $F(s)=1$ es el peor caso para consideraciones de estabilidad. En la Figura 2.48, el margen de fase es significativamente menor a los 45° , lo que significa que el op amp debe de ser compensado después en una configuración de lazo cerrado[24].

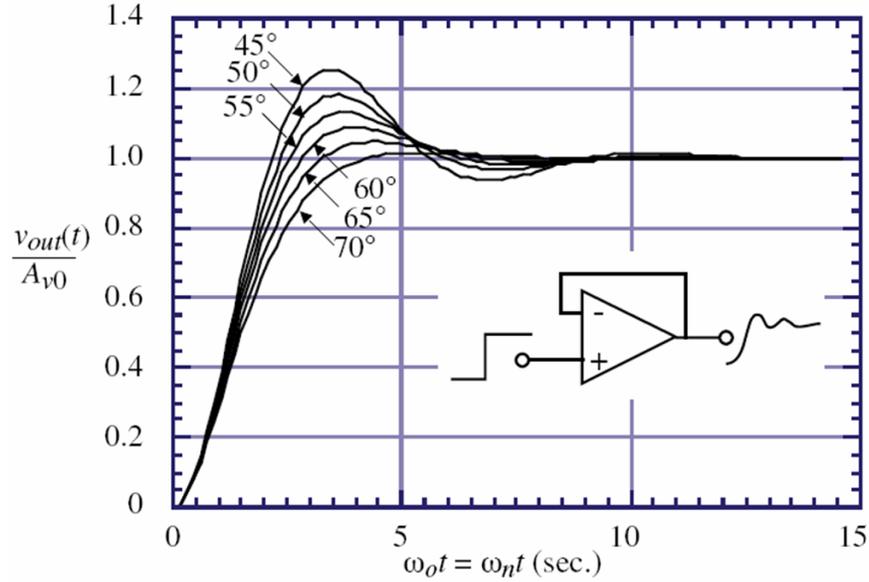


Figura 2.23: Respuesta de un sistema de segundo orden con varios márgenes de fase. Imagen tomada de las notas de la referencia [6].



Figura 2.24: Circuito equivalente de segundo orden en señal pequeña para el op amp de dos etapas. Imagen tomada de las notas de la referencia [6].

Compensación de Miller del Op Amp de Dos Etapas.

Esta técnica se aplica conectando un capacitor de la salida a la entrada de la segunda etapa de transconductancia g_{mII} . El modelo resultante de señal pequeña se ilustra en la Figura 2.26. Dos cosas resultan de añadir el capacitor de compensación C_c [24].

1. La capacitancia efectiva que soporta a R_I se incrementa sumándosele aproximadamente $g_{mII}(R_{II})(C_c)$. Esto mueve en una magnitud significativa (asumiendo que la segunda etapa de ganancia es grande), a p_1 (la nueva ubicación de p'_1) mas cerca del origen del plano de la frecuencia compleja.
2. p_2 (la nueva ubicación de p'_2) se mueve mas lejos del origen del plano de la frecuencia compleja, debido a que la red de retro-alimentación negativa reduce la resistencia de salida de la segunda etapa.

A continuación se ilustra lo anterior de manera mas rigurosa, la función de transferencia total que resulta de la adición de C_c es

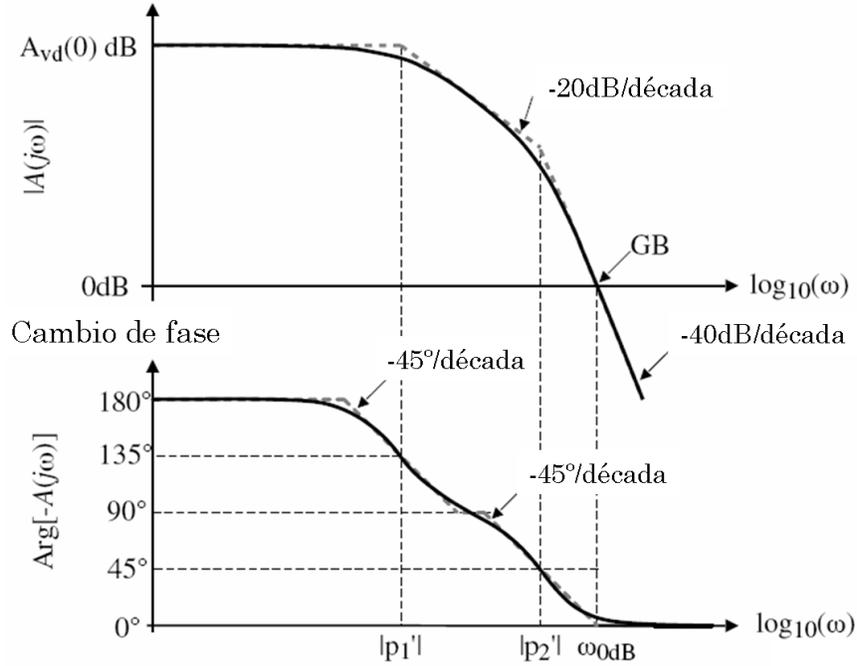


Figura 2.25: Respuesta en frecuencia de lazo abierto para un lazo de retro-alimentación negativa usando un op amp sin compensación y un factor de retroalimentación de $F(s)=1$. Imagen editada de las notas de la referencia [6].

$$\frac{V_o(s)}{V_{in}(s)} = \frac{(g_{mI})(g_{mII})(R_I)(R_{II})(1 - sC_c/g_{mII})}{1 + s[R_I(C_I + C_c) + R_{II}(C_{II} + C_c) + g_{mII}R_I R_{II}C_c] + s^2 R_I R_{II}[C_I C_{II} + C_c C_I + C_c C_{II}]} \quad (2.52)$$

Usando una aproximación para dos polos espaciados extensamente [24] se obtienen los siguientes polos compensados:

$$p_1 \cong \frac{-1}{g_{mII} R_I R_{II} C_c} \quad (2.53)$$

y

$$p_2 \cong \frac{-g_{mII} C_c}{C_I C_{II} + C_{II} C_c + C_I C_c} \quad (2.54)$$

Si $C_{II} \gg C_I$ y $C_c > C_I$ entonces la ecuación 2.54 puede aproximarse por

$$p_2 \cong \frac{-g_{mII}}{C_{II}} \quad (2.55)$$

es interesante notar que un cero se presenta en el eje real positivo del plano de frecuencia compleja y se debe a la trayectoria de retro-alimentación debida a C_c . El cero de la mitad del plano derecho se localiza en

$$z_1 = \frac{g_{mII}}{C_c} \quad (2.56)$$

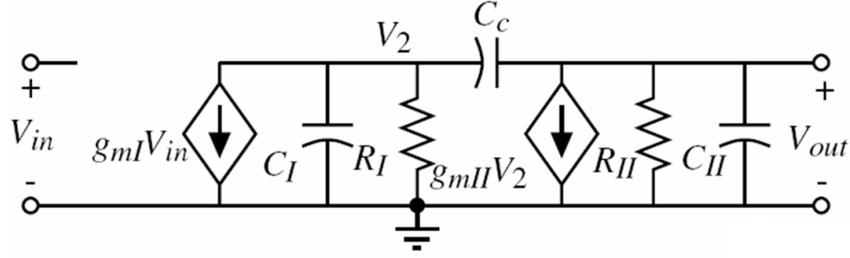


Figura 2.26: Capacitancia de miller aplicada al op amp de dos etapas. Imagen tomada de las notas de la referencia [6].

La Figura 2.27(a) ilustra el movimiento de los polos de sus posiciones descompensadas a sus posiciones compensadas en el plano de frecuencia complejo. La Figura 2.27(b) muestra los resultados de la compensación, ilustrados por las gráficas asintóticas de magnitud y fase. Note que el segundo polo no comienza a afectar la magnitud hasta después que $|A(j\omega)F(j\omega)|$ es menor que la unidad. El cero ubicado en el lado derecho del plano complejo, RHP (del inglés “right half-plane”) incrementa el cambio de fase [actúa como un polo ubicado en el lado izquierdo del plano complejo, LHP (del inglés “left half-plane”)] pero incrementa la magnitud (actúa como un cero LHP). Consecuentemente el cero RHP provoca las dos peores cosas en relación a las consideraciones de estabilidad. Si el cero z_1 o el polo p_2 se mueven en dirección al origen del plano de frecuencia compleja, el margen de fase se degradará. El reto en compensar un amplificador para aplicaciones de lazo cerrado es mover todos los polos y ceros, excepto el polo dominante p_1 , lo suficientemente lejos del origen del plano de frecuencia compleja (por arriba de la frecuencia del ancho de banda de ganancia unitaria) para que resulte en un cambio de fase similar al de la Figura 2.27(b).

Hasta ahora solo se ha considerado un sistema de segundo orden (2 polos). En la práctica, hay mas de dos polos en la función de transferencia de un op amp CMOS. Sin embargo, el análisis se concentrará en los dos polos más dominantes (los más pequeños) y el cero RHP. La Figura 2.28 ilustra un típico op amp CMOS que muestra las capacitancias del circuito y varias capacitancias parásitas. Las ubicaciones aproximadas de los polos y ceros resultantes de esas capacitancias se dan de la siguiente forma:

$$p_1 = \frac{-G_1 G_H}{g_{mII} C_c} = \frac{-(g_{ds2} + g_{ds4})(g_{ds6} + g_{ds7})}{g_{m6} C_c} \quad (2.57)$$

$$p_2 = \frac{-g_{mII}}{C_{II}} = \frac{-g_{m6}}{C_2} \quad (2.58)$$

y

$$z_1 = \frac{g_{mII}}{C_c} = \frac{g_{m6}}{C_c} \quad (2.59)$$

El ancho de banda de ganancia unitaria GB, partiendo de su definición en la sección se deriva de manera fácil y se muestra que es aproximadamente:

$$GB = \frac{g_{mI}}{C_c} = \frac{g_{m2}}{C_c} \quad (2.60)$$

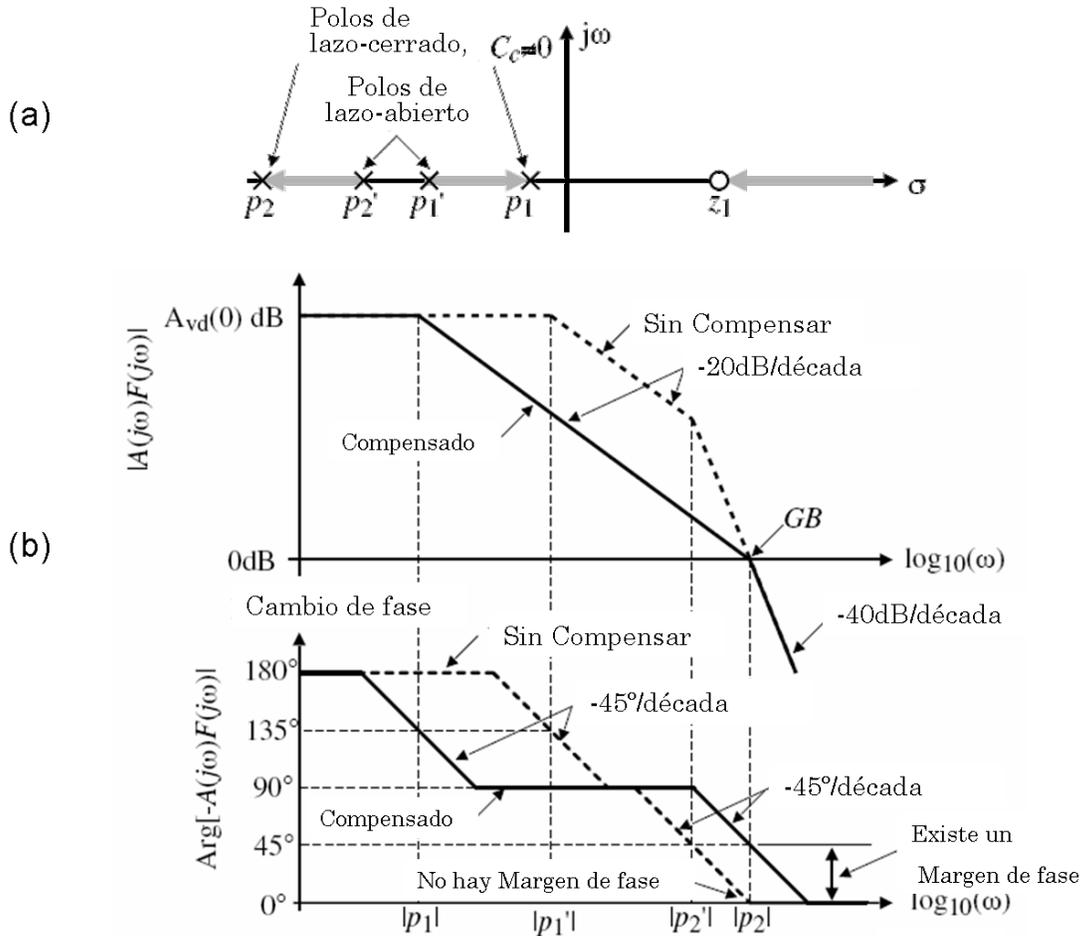


Figura 2.27: (a)Gráfica de la localización de las raíces de la ganancia de lazo abierto $[F(s)=1]$ resultantes de la compensación de Miller conforme C_c varía desde 0 hasta el valor final usado. (b)Gráficas asintóticas de la magnitud y fase de la ganancia de lazo abierto $[F(s)=1]$ antes y después de la compensación. Imagen editada de las notas de la referencia [6].

Las tres raíces de arriba son muy importantes para el desempeño dinámico del op amp de dos etapas. El polo dominante del medio plano izquierdo, p_1 , es llamado polo de *Miller* y lleva a cabo la compensación deseada. Intuitivamente se crea por el efecto Miller en la capacitancia C_c , como se ilustra en la Figura 2.29, donde se asume que M_6 es un transistor NMOS. El capacitor C_c se multiplica aproximadamente por la ganancia de la segunda etapa, $g_{II}R_{II}$, para proporcionar un capacitor en paralelo con R_I de $g_{II}R_{II}C_c$. Multiplicando esta capacitancia por R_I e invirtiéndola da como resultado la ecuación 2.57.

La segunda raíz de importancia es p_2 . La magnitud de esta raíz debe ser cuando menos igual a GB y se debe a la capacitancia en la salida del op amp. Se le llama con frecuencia *polo de salida*. Generalmente, C_{II} es igual a la capacitancia de carga, C_L , que hace al polo de salida fuertemente dependiente de la capacitancia de carga. La Figura muestra de manera intuitiva como se desarrolla esta raíz[24].

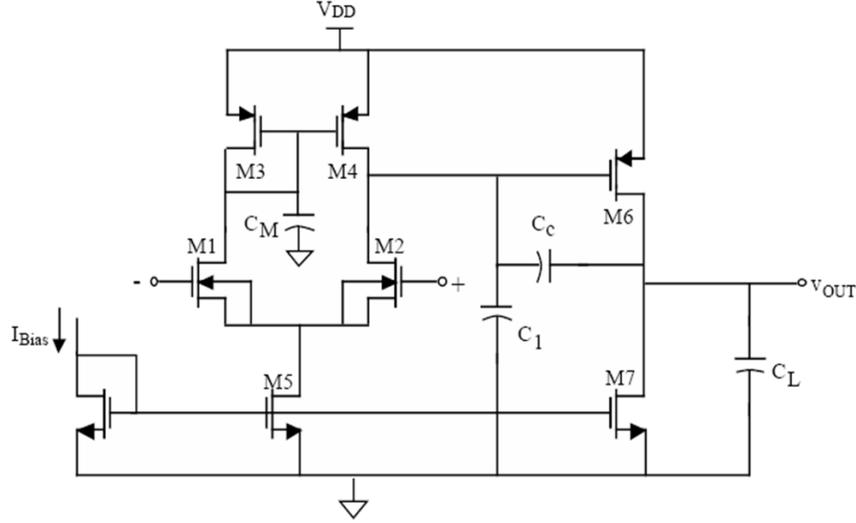


Figura 2.28: Un opamp de dos etapas que muestra las capacitancias del circuito y varias capacitancias parásitas. Imagen tomada de un documento basado en la referencia [24].

Dado que $|p_2|$ es de orden cercano o mayor que GB , la reactancia de C_c es aproximadamente $1/(GB \cdot C_c)$ y es muy pequeña. Para todos los propósitos prácticos el drenador de M6 se conecta a su gate, formando un diodo MOS. La resistencia de señal pequeña de un diodo MOS es de $1/g_m$. Multiplicando $1/g_{mII}$ por C_{II} (o C_L) e invirtiéndola nos da la ecuación 2.58.

La tercera raíz es el cero RHP. Esta es una raíz muy indeseable porque levanta hacia arriba la magnitud de la ganancia de lazo, causando a su vez que el cambio de fase del lazo se vuelva más negativo. Ambos resultados, empeoran la estabilidad del op amp. En op amps BJT, el cero RHP no es de seria importancia, por los grandes valores de transconductancia. Sin embargo, en los op amps CMOS, el cero RHP no puede ser ignorado. Este cero surge del hecho que hay dos trayectorias de la señal, de la entrada a la salida como se ilustra en la Figura 2.31. Una ruta parte de la compuerta de M6 a través del capacitor de compensación, C_c , en dirección a la salida (V'' a V_{out}). La otra ruta es a través del transistor M6 a la salida (V' a V_{out}). A alguna frecuencia compleja, las señales a través de estas dos rutas serán iguales y opuestas, por lo que se cancelaran creando el cero. El cero RHP se desarrolla usando superposición en estas dos trayectorias como se demuestra a continuación:

$$V_{out}(s) = \left(\frac{-g_{m6} R_{II} (1/sC_c)}{R_{II} + 1/sC_c} \right) V' + \left(\frac{R_{II}}{R_{II} + 1/sC_c} \right) V'' = \frac{-R_{II} (g_{m6}/sC_c - 1)}{R_{II} + 1/sC_c} V \quad (2.61)$$

donde $V=V'=V''$.

Como se mencionó antes, el objetivo principal de la tarea de compensación es lograr un margen de fase mayor que 45° , puede demostrarse que si el cero se coloca cuando menos 10 veces GB , entonces para lograr un margen de fase de 45° , el segundo polo (p_2) debe colocarse a cuando menos 1.22 veces GB . Para obtener un margen de fase de 60° , p_2 debe de colocarse aproximadamente a 2.2 veces GB , esto se explica en detalle a continuación[24].

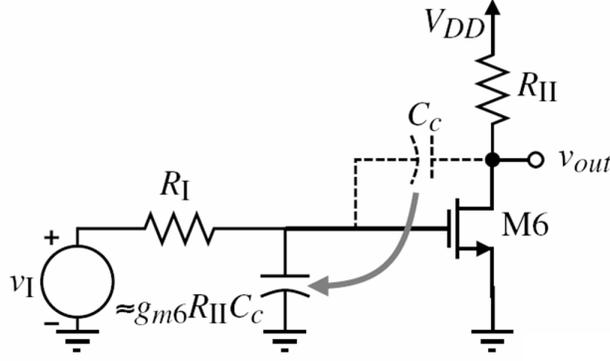


Figura 2.29: Ilustración de la implementación del polo dominante a través del efecto de Miller en C_c . M6 se considera como un NMOS para esta ilustración. Imagen tomada de las notas de la referencia [6].

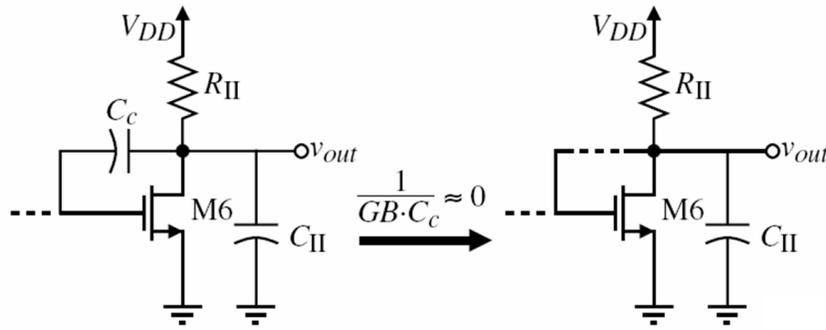


Figura 2.30: Ilustración de como se crea el polo de salida en un op amp de dos etapas. M6 es de tipo NMOS para esta ilustración. Imagen tomada de las notas de la referencia [6].

$$\Phi_M = \pm 180^\circ - \text{Arg}[A(j\omega)F(j\omega)] = \pm 180^\circ - \tan^{-1}\left(\frac{\omega}{|p_1|}\right) - \tan^{-1}\left(\frac{\omega}{|p_2|}\right) - \tan^{-1}\left(\frac{\omega}{z_1}\right) = 60^\circ \quad (2.62)$$

Se sustituye ω por GB que es el ancho de banda de ganancia unitaria para obtener

$$120^\circ = \tan^{-1}\left(\frac{GB}{|p_1|}\right) + \tan^{-1}\left(\frac{GB}{|p_2|}\right) + \tan^{-1}\left(\frac{GB}{z_1}\right) = \tan^{-1}[A_v(0)] + \tan^{-1}\left(\frac{GB}{|p_2|}\right) + \tan^{-1}(0,1) \quad (2.63)$$

Asumiendo que $A_v(0)$ es grande, entonces la ecuación de arriba puede reducirse a:

$$24,3^\circ \approx \tan^{-1}\left(\frac{GB}{|p_2|}\right) \quad |p_2| \geq 2,2GB \quad (2.64)$$

De esta manera, asumiendo que se requiere de un margen de fase de 60° , las siguientes relaciones aplican:

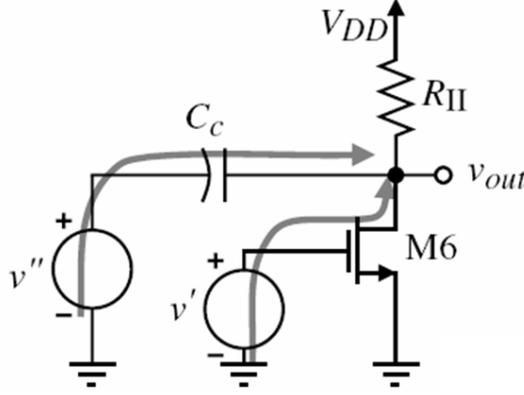


Figura 2.31: Ilustración de como se crea el cero RHP. M6 es de tipo NMOS para esta ilustración. Imagen tomada de las notas de la referencia [6].

$$\frac{g_{m6}}{C_c} > 10 \left(\frac{g_{m2}}{C_c} \right) \quad (2.65)$$

Después,

$$g_{m6} > 10g_{m2} \quad (2.66)$$

Luego,

$$\left(\frac{g_{m6}}{C_2} \right) > 2,2 \left(\frac{g_{m2}}{C_c} \right) \quad (2.67)$$

Al combinar las ecuaciones 2.66 y 2.67 resulta el siguiente requerimiento:

$$C_c > \frac{2,2C_2}{10} = 0,22C_2 \quad (2.68)$$

Hasta este punto, se ha despreciado la influencia del capacitor, C_3 , asociado con la carga de espejo de corriente de la etapa de entrada de la Figura 2.28. Un modelo de señal pequeña para la etapa de entrada de la Figura 2.28 que incluye a C_3 se muestra en la Figura 2.32(a). La función de transferencia del voltaje de entrada respecto al de salida, puede escribirse de la siguiente manera:

$$\begin{aligned} \frac{V_{o1}(s)}{V_{in}(s)} &= \frac{-g_{m1}}{2(g_{ds2}+g_{ds4})} \left[\frac{g_{m3}+g_{ds1}+g_{ds3}}{g_{m3}+g_{ds1}+g_{ds3}+sC_3} + 1 \right] \\ &\approx \frac{-g_{m1}}{2(g_{ds2}+g_{ds4})} \left[\frac{sC_3+2g_{m3}}{sC_3+g_{m3}} \right] \end{aligned} \quad (2.69)$$

Se puede ver que existe un polo y un cero dados de la siguiente forma:

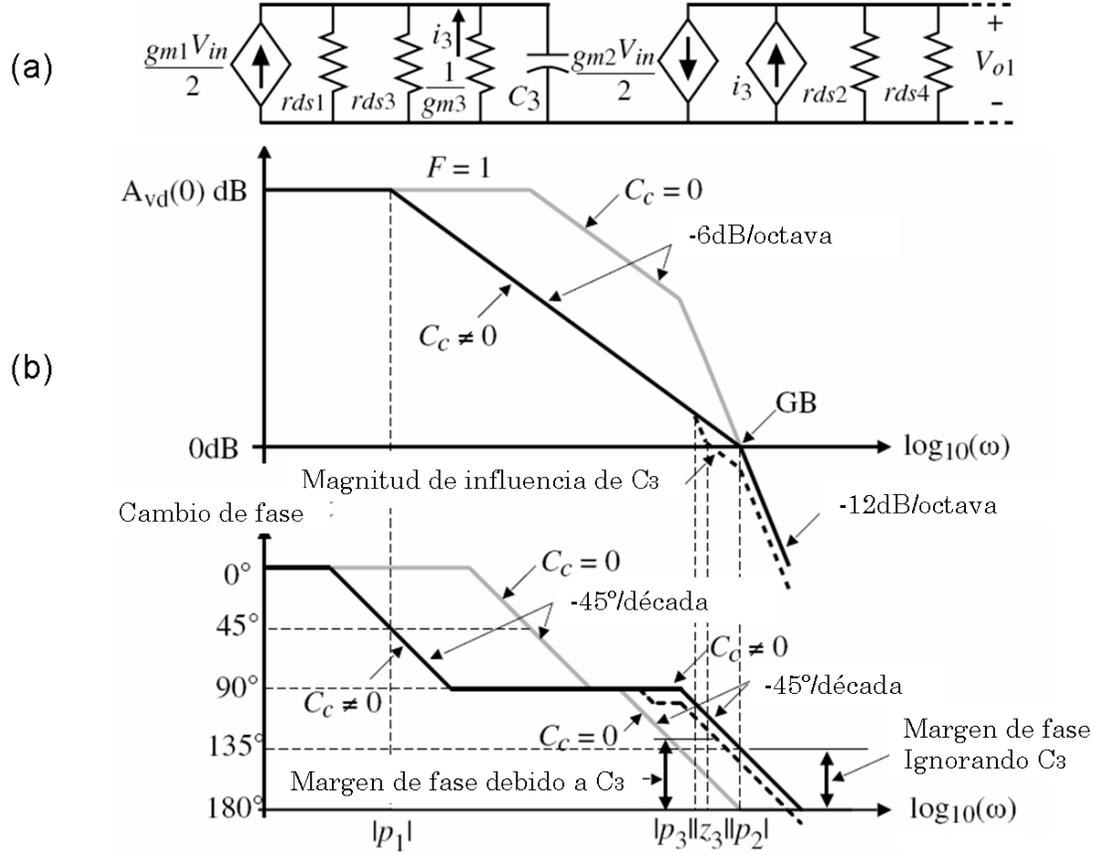


Figura 2.32: (a) Influencia del polo espejo p_3 , en la compensaci3n de Miller de un op amp de dos etapas. (b) Localizaci3n de las raices de lazo abierto y lazo cerrado. Imagen editada de las notas de la referencia [6].

$$p_3 = \frac{g_{m3}}{C_3} z_3 = \frac{-2g_{m3}}{C_3} \quad (2.70)$$

Afortunadamente, la presencia del cero tiende a negar el efecto del polo. Generalmente, el polo y cero debidos a C_3 son mayores que GB y tienen muy poca influencia en la estabilidad del op amp de dos etapas. La Figura 2.32(b) ilustra el caso cuando estas raices son menores que GB y apenas tienen un peque1o efecto en la estabilidad. De hecho, incrementan ligeramente el margen de fase en raz3n de que GB est1 decrecido[24].

2.3. Modelo del Amplificador.

Las condiciones de frontera para un proceso de $0.8\mu\text{m}$ no son las mismas que para un proceso de $0.35\mu\text{m}$, que es el proceso con el cual se implementar1a el trabajo de esta tesis, estas diferencias se presentan por las mejoras de los procesos de fabricaci3n, pero las constantes intr1nsecas del silicio son invariantes. Para contar con toda la informaci3n requerida para comenzar el dise1o del op amp,

Símbolo	Descripción	Valor	Unidades
V_G	<i>bandgap</i> del silicio (27°C)	1.205	V
k	constante de <i>Boltzmann</i>	1.381×10^{-23}	J/K
n_i	concentración intrínseca de portadores(27°C)	1.45×10^{10}	cm^{-3}
ϵ_0	Permitividad del espacio libre	8.854×10^{-14}	F/cm
ϵ_{si}	Permitividad del silicio	$11.7\epsilon_0$	F/cm
ϵ_{ox}	Permitividad del SiO ₂	$3.9\epsilon_0$	F/cm

Tabla 2.2: Constantes del silicio

el modelo para el desarrollo del diseño a mano del op amp CMOS se puede referenciar a tres tipos de parámetros:

- Las constantes intrínsecas invariantes de los materiales de fabricación (constantes del silicio).
- Los parámetros dependientes de la tecnología del desarrollo del proceso de fabricación (0.8 μ m, 0.35 μ m, etc.)
- Los requerimientos particulares para la aplicación del dispositivo.

Aunque los primeros dos puntos pueden agruparse como las condiciones de frontera, como se menciona en la sección 2.2.2, se decidió separarlos en tres puntos para un mejor entendimiento.

La tabla 2.2.2 muestra las especificaciones para el diseño de un amplificador operacional sin compensación típico [24]. En las secciones siguientes se explicará como se obtiene éste tipo de tablas con el objetivo de designar una tabla similar para poder hacer los cálculos para el amplificador propuesto en ésta tesis.

2.3.1. Constantes del Silicio.

Para poder realizar el análisis necesitamos saber de algunos datos, la primera (tabla 2.3.1) es una tabla que describe las constantes básicas del silicio [24].

2.3.2. Parámetros del Proceso.

En el apéndice A la tabla 1 describe los parámetros de modelo de un proceso CMOS *bulk* típico para hacer cálculos a mano usando el modelo simple. Estos valores están basados en un proceso 0.8 μ m *compuerta de silicio bulk CMOS n-well* [24]. La tabla se incluye como referencia, ya que se requiere de los mismos parámetros, pero como la tecnología que se empleará es distinta (0.35 μ m) se requiere conocer los parámetros propios de la tecnología y/o calcularlos.

Para poder comenzar a hacer cálculos a mano deben de conocerse todos los parámetros de la tecnología, el objetivo es reconstruir la tabla 1, que incluye los datos referentes a la tecnología de 0.8 μ m, para reconstruir la misma pero para el proceso de 0.35 μ m. Como resultado se obtuvo la tabla 2 también incluida en el apéndice A. La mayoría de los datos se recopilaron de los documentos proporcionados para el HIT-Kit, y los que aun resultaron desconocidos a continuación se explica de donde se obtuvieron.

El valor para el potencial de superficie en inversión fuerte $2|\phi_F|$ se obtuvo de una página de la Universidad de Lund [13].

Mas adelante se requerirá el valor de C_{ox} cuyo valor no se pudo obtener de manera directa de alguna tabla pero se puede calcular fácil conociendo las dimensiones de t_{ox} mediante la siguiente ecuación

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \epsilon_0 = 3,9\epsilon_0 \quad (2.71)$$

Se sustituye el valor para ϵ_0 de la tabla 2.3.1 y el de t_{ox} de la tabla 2

$$C_{ox} = \frac{3,8 \times 8,854 \times 10^{-14}}{7,6 \times 10^{-9}} = 4,427 \times 10^{-5} f = 4,427 \mu f \quad (2.72)$$

Los transistores que se emplearán para el diseño son los transistores NMOS y PMOS de 3.3 Volts con los rangos máximos que se muestran en la tabla 2.3

Dispositivo	VGS max	VDS max	VGB max	VDB max	VSB max	VBpsub max
NMOS	3.6	3.6	3.6	3.6	3.6	-
PMOS	3.6	3.6	3.6	3.6	3.6	5.5

Tabla 2.3: Valores de voltaje máximos de los transtores CMOS utilizados. Tabla reproducida parcialmente de los documentos del proceso de austriamicrosystems

Como referencia para el ST y el SR, se tomó la hoja de datos de una celda analógica de austria microsystems que se diseñó con la misma tecnología y el mismo tipo de transistores[7]. La tabla 2.3.2 es una reproducción de la tabla de la hoja de datos de la celda op amp OP05B de Austria Microsystems, con los datos relacionados con la velocidad de respuesta del amplificador.

De la tabla se puede observar que el valor de SR máximo es de $8.74 V/\mu s$, y el de ST es de $1.48 \mu s$, de la tabla 2.2.2 se observa que los valores recomendados para estos mismos parámetros son de $\leq 1\mu s$ para el ST y de $\geq 5V/\mu s$ para el SR, valores que se asemejan a los de la celda OP05B, basados en los datos mencionados, al comparar los datos se puede observar que la celda OP05B cumple con el requerimiento para el SR pero no con el del ST, ya que sobrepasa el límite por un poco. Para el cálculo del procedimiento para la implementación del op amp, se dejarán los mismos valores objetivo de la tabla 2.2.2.

Los parámetros del control de proceso pueden ser de aprobación/falla, de información y de caracterización, sin embargo en los documentos donde se describe el proceso se recomienda ampli-

Símbolo	Parámetro	Condiciones	Min	Tip	Max	Unidades
SRP	SR subida		1.14	3.30	8.06	$V/\mu s$
SRN	SR caída		1.24	3.54	8.74	$V/\mu s$
STP	ST subida		0.25	0.54	1.48	μs
STN	ST caída		0.20	0.49	1.16	μs
Twakeup	tiempo de levantamiento		0.34	0.76	1.64	μs

Tabla 2.4: Reproducción de una tabla incluida en la hoja de datos de la celda op amp OP05B de Austriamicrosystems [7] con los parámetros relacionados con la velocidad de respuesta de la celda

amente que el diseño dependa únicamente en los parámetros de aprobación/falla. También se hace hincapié de no usar los parámetros del control de proceso para propósitos de simulación.

2.3.3. Requerimientos de la Aplicación.

De forma general a los dispositivos electrónicos cuya función es amplificar señales representativas de la actividad eléctrica de cualquier órgano de un ser vivo se les llama bio amplificadores. El diseño de bio amplificadores para el registro de señales de EEG es complejo debido a que los voltajes de desvío de DC resultantes de la polarización de DC del electrodo inmerso en el tejido: voltajes de entrada de DC por arriba de los $100\mu V$ no deben provocar que el bio amplificador se sature. Adicionalmente, para realizar una entrada de ruido equivalente baja, la integración monolítica y dimensiones pequeñas para el bio amplificador, no deben hacerse exigencias rigurosas de resistencias, y no se deben incluir capacitores mayores a los 100 nF [29].

Se considera que las señales de EEG son señales débiles, con amplitudes del orden de $100\mu V$, el ancho de banda típico puede variar de 0.3 a los 100 Hz, y el ruido de referencia de entrada debe ser menor de unos pocos μV_{pp} . El voltaje de DC de media-celda puede ser a lo mucho de $\pm 300mV$. Las señales de EEG son vulnerables a la interferencia de modo común de los 50/60 Hz de la fuente de alimentación principal. Para condiciones típicas donde el paciente esta aislado de la tierra eléctrica la señal de modo común acoplada al cuerpo humano puede calcularse aproximadamente a ser a lo más de $1mV_{pp}$. [20]

Con amplitudes típicas menores a los $100\mu V$, basados en el trabajo de K. A. Ng y P. K. Chan [20] para las señales de EEG, el amplificador deberá proveer de una ganancia de AC de 10,000 V/V para poder registrar una señal máxima de 1V. Sin embargo para aplicaciones de BCI existen señales débiles que pueden alcanzar hasta los $500\mu V$ [29]. Para poder hacer una comparación con el requerimiento para la ganancia de la tabla 2.2.2, debemos transformar el valor de V/V a decibels con la siguiente expresión [32]:

$$H_{dB} = 20 \log |H(jw)| \quad (2.73)$$

Al sustituir se obtiene lo siguiente:

$$A_{dB} = 20 \log |10,000| = 80dB$$

El resultado es 10dB mayor en comparación con el requerimiento de la ganancia para un amplificador “unbuffered” típico (2.2.2).

El OS objetivo es de $\pm 2V_p$ con un voltaje de alimentación de $\pm 2,5V_p$. El mayor nivel de interferencia de modo común a lo mucho es de $1mV_{pp}$ en la salida de los electodos, el CMRR de entrada debe de ser mayor a los 80dB para cumplir con las especificaciones estándar para EEG. [20]

De manera ideal para prevenir la saturación de corriente directa, el amplificador debe de presentar el menor desvío posible. Además también de manera ideal las entradas deben de ser de impedancia de entrada alta y balanceada ($> 1G\Omega$) para disminuir el efecto de interferencia de carga de los electodos en las mediciones, y para rechazar la señal de potencial de modo común que surge del desacople de impedancias. [20]

Cálculo del Parámetro de Modulación de la Longitud del Canal (λ).

En los circuitos mientras el voltaje en el drenador se incrementa, la longitud del canal se reduce resultando lo que provoca un incremento en la corriente; a éste fenómeno se le llama modulación de la longitud del canal (λ).

En ninguna de las tablas referenciadas en ésta tesis, se encontró el valor del parámetro de modulación del canal lambda. Aunque el parámetro tiene valores característicos muy pequeños que suelen despreciarse en los cálculos a mano, es muy importante conocerlo para la verificación de la amplificación de la configuración propuesta.

El valor de lambda se puede calcular mediante las gráficas de la corriente de saturación I_D contra el voltaje de drenador a fuente V_{DS} . La ecuación general para el cálculo de la corriente de saturación, considerando λ es la siguiente:

$$I_{D(SAT)} = KV_{eff}^2(1 + \lambda V_{DS}) \quad (2.74)$$

$$\text{Donde : } V_{eff} = V_{GS} - V_T \quad (2.75)$$

$$K = (W/L)K'/2 \quad (2.76)$$

De la ecuación 2.74:

$$I_{D(SAT1)} = K(V_{GS1} - V_T)^2(1 + \lambda V_{DS1}) \quad (2.77)$$

$$I_{D(SAT2)} = K(V_{GS2} - V_T)^2(1 + \lambda V_{DS2}) \quad (2.78)$$

Se asume que V_{GS} permanece constante o sea que $V_{GS1}=V_{GS2}$.

Al dividir $I_{D(SAT2)}$ entre $I_{D(SAT1)}$ se obtiene lo siguiente:

$$\frac{I_{D(SAT2)}}{I_{D(SAT1)}} = \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \quad (2.79)$$

Por último después de hacer las operaciones algebraicas necesarias para despejar λ , se obtiene la siguiente expresión:

$$\lambda = \frac{I_{D(SAT1)} - I_{D(SAT2)}}{I_{D(SAT2)}V_{DS1} - I_{D(SAT1)}V_{DS2}} \quad (2.80)$$

Para conocer λ a partir de la ecuación anterior, se requiere del conocimiento de dos pares coordenados ($I_{DSAT1,2}, V_{DS1,2}$). En la sección 4.4.2, del capítulo de simulaciones, se detallará sobre el cálculo de lambda haciendo uso de simulación.

Capítulo 3

Diseño del Amplificador Operacional

En este capítulo se presenta el análisis matemático para el diseño del op amp que se implementó. Las ecuaciones del cálculo a mano, se capturaron en una rutina de MATLAB. La razón de hacer esto no fue tanto en si por la complejidad de los cálculos, de hecho en principio se estaban haciendo directamente a mano, sin embargo en el desarrollo del procedimiento, se vio conveniente implementar una rutina, ya que por los requerimientos que deben de cumplirse, la necesidad de hacer ajustes es muy frecuente, y el ajuste de una variable puede repercutir en otra que no se deseaba ajustar.

Se explicará el procedimiento a la par de la rutina implementada. Este procedimiento se basa en el Procedimiento de diseño para un Amplificador Operacional “Unbuffered ” de dos Etapas 6.1, “Unbuffered ”, se refiere a que no cuenta con una etapa de salida que el permita soportar cargas resistivas pequeñas (un buffer).

3.1. Diseño del Amplificador Operacional “Unbuffered ” de dos Etapas

Antes de detallar el procedimiento de diseño, se resumirán algunas relaciones importantes, asumiendo que $g_{m1} = g_{m2} = g_{mI}$, $g_{m6} = g_{mII}$, $g_{ds2} + g_{ds4} = G_I$, y $g_{ds6} + g_{ds7} = G_{II}$. Estas relaciones se basan en el circuito que se muestra en la Figura 3.1.

Slew rate

$$SR = \frac{I_5}{C_c} \quad (3.1)$$

Primera etapa de ganancia A_{v1}

$$A_{v1} = \frac{-g_{m1}}{g_{ds2} + g_{ds4}} = \frac{-2g_{m1}}{I_5(\lambda_2 + \lambda_4)} \quad (3.2)$$

Segunda etapa de ganancia A_{v2}

$$A_{v1} = \frac{-g_{m6}}{g_{ds6} + g_{ds7}} = \frac{-g_{m6}}{I_6(\lambda_6 + \lambda_7)} \quad (3.3)$$

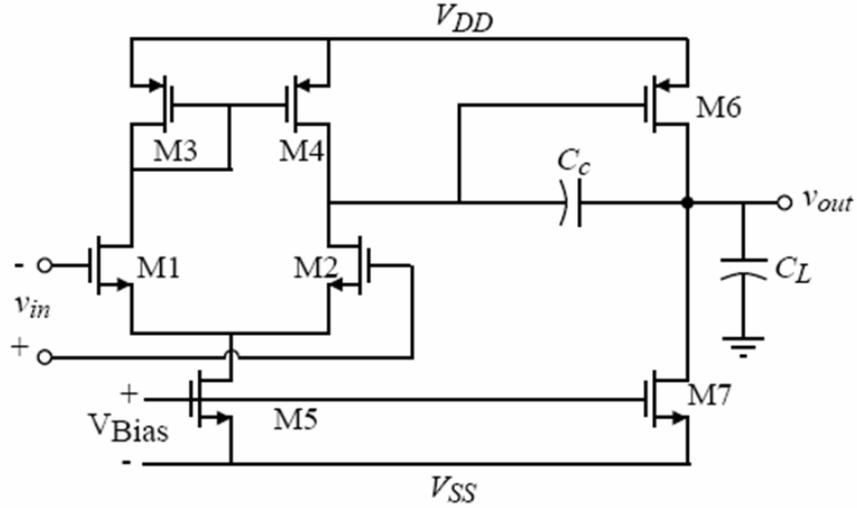


Figura 3.1: Configuración general de un op amp como amplificador de voltaje. Imagen tomada de un documento basado en la referencia [24].

Ancho de banda GB

$$GB = \frac{gm_1}{C_c} \quad (3.4)$$

Polo de salida p_2

$$p_2 = \frac{-gm_6}{C_L} \quad (3.5)$$

Cero RHP z_1

$$z_1 = \frac{gm_6}{C_c} \quad (3.6)$$

CMR positivo $V_{in(max)}$

$$V_{in(max)} = V_{DD} - \sqrt{\frac{I_5}{\beta_3}} - |V_{T03}(max)| + V_{T1}(min) \quad (3.7)$$

CMR negativo $V_{in(min)}$

$$V_{in(min)} = V_{SS} + \sqrt{\frac{I_5}{\beta_1}} + V_{T1}(max) + V_{DS5}(sat) \quad (3.8)$$

Voltaje de saturación V_{DS}

$$V_{DS}(sat) = \sqrt{\frac{2I_{DS}}{\beta}} \quad (3.9)$$

Se asume que todos los transistores están en saturación para las relaciones de anteriores.

El procedimiento de diseño del circuito se basa en el procedimiento previamente descrito. Existen propuestas de procedimientos mejorados, basados en el de la sección anterior, dos se proponen en los trabajos de [15] y [19]; sin embargo la rutina implementada en MATLAB se basa fundamentalmente en el de la sección anterior y no contempla cálculos para la optimización respecto al ruido o consumo de potencia.

En resumen los requerimientos para el amplificador, son los siguientes:

- Ganancia de lazo abierto lo suficientemente grande, para poder operar retroalimentado y que pueda amplificar señales de $200 \mu V_{pp}$ a $2 V_{pp}$. $A_v = 10,000 V/V = 80dB$ (podría ser de $2000V/V$ como mínimo para que pueda operar con retroalimentación).
- Margen de fase $M\phi$ preferiblemente mayor o igual a los 60° , aunque es suficiente si supera los 45° .
- Capacitancias internas menores a los $100nF$ (sección 2.3.3).

Los requerimientos de la lista anterior son resultados que se esperan del diseño del amplificador, pero no participan en el cálculo a mano (El valor para el margen de fase participa de manera indirecta, forma parte de la definición del procedimiento, es decir el procedimiento siempre asume el mismo margen de fase), vienen siendo acotaciones, que se verifican hasta la simulación (a excepción de las capacitancias internas, refiriéndose al layout, el diseñador las define).

Los requerimientos que toman parte en la definición del cálculo a mano del amplificador de dos etapas para el amplificador, considerando las tablas y especificaciones a las que se hace referencia en el capítulo anterior, son los siguientes:

- La capacitancia de carga C_L , se define por la carga que soportará la celda diseñada, dado que la configuración general del sistema para la detección de señales de EEG, aun está en etapa de diseño, para este trabajo se fijará un valor de $C_L = 10pF$, este valor se tomó del ejemplo de diseño para el op amp de dos etapas de [25].
- $V_{DD} = 1.5V$
- $V_{SS} = -1.5V$
- $GB = 5MHz$
- $SR \geq 5V/\mu s$
- Rango del Voltaje de salida, $V_{out} = \pm 1V$
- $ICMR = \pm 0.5V$

En el procedimiento, las constantes del silicio y parámetros específicos del proceso de fabricación, que se requieren para completar los cálculos son K_N , K_P , V_{T0N} , V_{T0P} , ϵ_0 , T_{ox} , μ_{0N} y μ_{0P} . Los valores de estas variables se obtuvieron de las tablas 2.3.1 y ??.

Cabe hacer la observación de que se considera que $V_{T1} = V_{T01}$, en realidad el valor de V_t está dado por la ecuación siguiente:

$$V_T = V_{T0} + \gamma \left(\sqrt{2|\phi_F| + v_{SB}} - \sqrt{2|\phi_F|} \right) \quad (3.10)$$

Sin embargo no se considera, ya que en el diseño posterior del esquemático del amplificador, se conectará la fuente con el bulk para poder tener un v_{SB} o $v_{BS}=0$ (a excepción de los transistores M1 y M2, lo que se explica en la sección 4.2), dando como resultado que $V_T = V_{T0}$, para todos los transistores.

El objetivo del procedimiento es encontrar las relaciones de aspecto (S), de los transistores de la arquitectura, así como el valor del capacitor de compensación C_c y la resistencia R_s necesaria para definir la corriente I_5 . A partir e las relaciones de aspecto encontradas, se puede fijar un valor ya sea para el L o el W, y a partir del que se fijó encontrar el otro. Se decidió fijar al L con una longitud L mínima de 1μ , todos los transistores.

Cabe hacer la observación de que existen diferentes valores de V_T , para canal corto y largo, por lo que para tener una mejor aproximación este valor se puede reajustar dependiendo de las relaciones de aspecto resultantes.

El procedimiento requiere de muchos reajustes, debido a los requisitos con los que debe cumplir. Para poder obtener un diseño de manera rápida, se capturaron las ecuaciones en una rutina de MATLAB que se incluye en el apéndice.

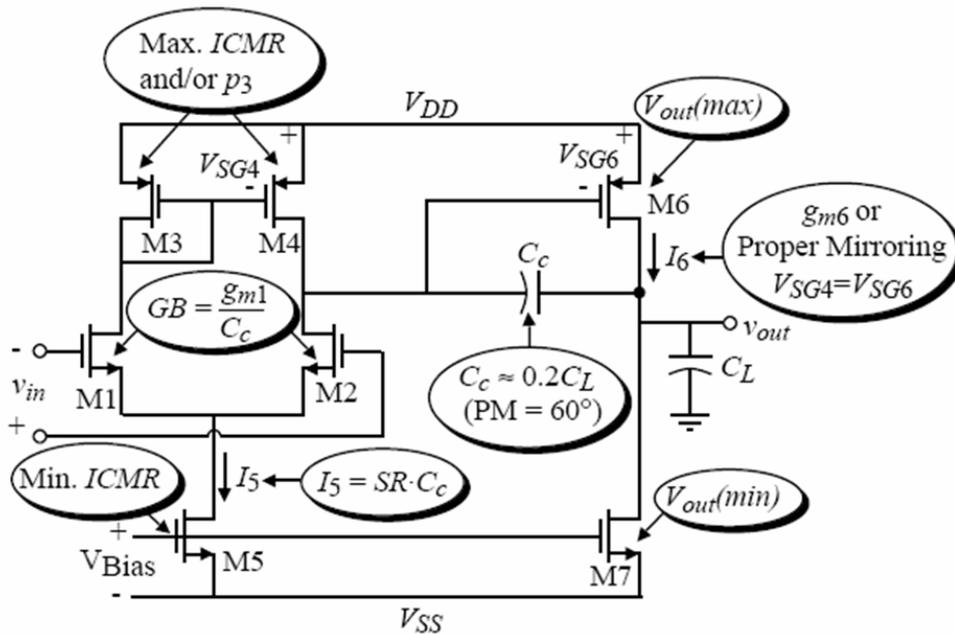


Figura 3.2: Configuración general de un op amp como amplificador de voltaje. Se indica la influencia de los elementos en los requerimientos del amplificador. Imagen tomada de un documento basado en la referencia [24].

3.2. Procedimiento seguido para el Diseño del Op Amp de dos etapas

A continuación se detalla el procedimiento de diseño llevado a cabo.

1. Se elige la longitud mínima de los transistores, debe de ser mayor a la longitud mínima permitida por la tecnología que es de 0.35μ . Mientras mas lejos se esté de la longitud mínima permitida, el parámetro de modulación de canal λ disminuye. La longitud elegida para todos los transistores fué de $1 \mu\text{m}$
2. En base al requerimiento del margen de fase, se calcula el capacitor de compensación C_c . Se pretende obtener el margen de fase ideal de 60° , como se vio en la sección 2.2.3, solo renombrando C_2 en la ecuación 2.68 por C_L . Da como resultado la siguiente expresión para calcular el valor mínimo para el capacitor de compensación de Miller C_c

$$\begin{aligned} C_{c_{min}} &> 0.22C_L \\ C_c &= C_{c_{min}} \cdot K C_c \end{aligned} \quad (3.11)$$

Se calcula el valor mínimo y la rutina permite escalarlo por una de las constantes de escalamiento de entrada ($K C_c$), esto se hizo para facilitar el aumento del capacitor C_c , de él dependen muchos aspectos relevantes del circuito, como se observará en los siguientes incisos.

3. Se calcula la corriente I_5 , en base a los requerimientos para el SR y a partir de ella se definen las corrientes I_2 , I_3 e I_4 .

$$\begin{aligned} I_5 &= S_R \cdot C_c \\ I_1 &= I_2 = \frac{I_5}{2} \\ I_3 &= -I_1, I_4 = -I_2 \end{aligned} \quad (3.12)$$

De esta expresión puede apreciarse la importancia del capacitor de compensación C_c del que dependen todas las corrientes de la etapa de entrada del amplificador.

4. Se determinan la relaciones de aspecto S_3 y S_4 usando el requerimiento del rango positivo de entrada de modo común. La ecuación se deriva de la ecuación 3.7, el valor para V_{T0} se puede ajustar para canal largo o corto, dependiendo de las dimensiones del transistor resultantes, para tener mas precisión.

$$\begin{aligned} S_3 &= \frac{I_5}{K_P \cdot (V_{DD} - V_{inmax} - |V_{T0} P_{max}| + V_{T0} N_{min})} \\ S_4 &= S_3 \end{aligned} \quad (3.13)$$

La primera condición con la que debe cumplir el procedimiento es que S_3 sea mayor a uno, si esto no ocurre debe incrementarse a un valor que minimice el producto de W y L . Esto minimiza el área de la región de la compuerta, que en consecuencia reduce su capacitancia. Esta capacitancia contribuye al polo espejo que provoca la degradación del margen de fase. Si esta condición no se cumple la rutina imprimirá en pantalla lo siguiente:

NO SE CUMPLE LA CONDICIÓN 1: S3 debe incrementarse a un valor mayor a uno, para evitar la degradación del margen de fase

OPCIONES:

1. La opción más recomendable es aumentar C_c ya sea aumentando el factor de escalamiento $K C_c$ sin modificar CL , o aumentando CL . El incremento de C_c provocará el aumento de todas las corrientes.
2. Modificar el requerimiento de GB (aumentarlo).

De las opciones presentadas, es más recomendable tomar la primera ya que la segunda significaría hacer un cambio en los requerimientos originales, lo cuál, en el entendido que un diseño se hace para cumplir con los requerimientos de cierta aplicación, no tendría sentido (Aunque cabe decir que el GB no es un requerimiento tan crítico como la ganancia para esta aplicación, dado que las frecuencias de las señales de EEG, son del orden de decenas de Hz.)

Si la condición se cumple se imprimirá en pantalla:

SE CUMPLE LA CONDICIÓN 1: S_3 es positivo.

5. Se verifica que el polo y el cero debidos a C_{gs3} y C_{gs4} respectivamente no serán dominantes, esto ocurrirá si ambos son 10 veces mayores a GB. Antes deben encontrarse los valores de las transconductancias $g_{m3} = g_{m4}$

$$g_{m4} = g_{m3} = \sqrt{2K'_p S_3 |I_3|} \quad (3.14)$$

Ahora,

$$c_{gs4} = c_{gs3} = 0,667L_3W_3C_{ox} \quad (3.15)$$

por último

$$\begin{aligned} z_4 &= |p_3| = g_{m3}/C_{gs3} \\ z_4 Hz &= |p_3| Hz = |p_3|/2\pi \end{aligned} \quad (3.16)$$

En este punto se evalúa la segunda condición de la rutina si no se cumple que $z_4 = |p_3| > 10GB$, la rutina simplemente desplegará:

NO SE CUMPLE LA CONDICIÓN 2: p_3 es menor a 10GB

SE CUMPLE LA CONDICIÓN 2: Cumple con la condición de $p_3 > 10GB$

6. Se diseña $S_1 = S_2$ para lograr el GB deseado. Los requerimientos para las transconductancias de los transistores de entrada pueden determinarse a partir del conocimiento de C_c y GB. La transconductancia g_{m1} puede calcularse usando la expresión siguiente:

$$g_{m1} = GB \cdot C_c \quad (3.17)$$

La relación de aspecto $(W/L)_1$ se obtiene de la siguiente forma

$$S_1 = S_2 = \frac{g_{m1}^2}{K'_N I_5} \quad (3.18)$$

Se calculan g_{m2} y β_1 para utilizarse en los incisos siguientes:

$$g_{m2} = \sqrt{2S_2 K'_N I_2} \quad (3.19)$$

Realmente el resultado será que $g_{m2} = g_{m1}$, porque al revisar las ecuaciones anteriores puede apreciarse que así esta forzándose para que suceda, sin embargo, se vio conveniente de todos modos planear el cálculo de g_{m2} por separado para apreciar la congruencia del método.

$$\beta_1 = K_N S_1 \quad (3.20)$$

7. Se calcula el voltaje de saturación del transistor M5. A partir de la ecuación del ICMR (Ecuación 3.8), se deriva la siguiente expresión:

$$V_{DS5} = V_{in(min)} - V_{SS} - \sqrt{\frac{I_5}{\beta_1}} - V_{TN(max)} \geq 10mV \quad (3.21)$$

Aquí se evalúa la tercera condición de la rutina, si el valor de V_{DS5} es inferior a los 100mV, es posible que resulte una relación de aspecto para el transistor M5 bastante grande, lo que no sería aceptable. Si el valor para V_{DS5} es menor a cero, entonces la especificación del ICMR puede que sea muy exigente. Para resolver esto, I_5 puede reducirse o $(W/L)_1$ incrementarse. Los efectos de estos cambios deben de tomarse en cuenta para los pasos de diseño anteriores. Se debe iterar hasta que se logre el resultado deseado.

Para ambas condiciones, $V_{DS5} < 100mV$ y $V_{DS5} < 0$, la rutina imprimirá en pantalla lo mismo a excepción del primer enunciado, que para el caso de $V_{DS5} < 100mV$, diría “VDS5 es menor a los 100mV”, el mensaje que aparece cuando $V_{DS5} < 0$ es el siguiente:

NO SE CUMPLE LA CONDICIÓN 3 :

VDS5 es negativo. Si S5 es muy grande, probablemente esto sea la causa.
 Puede ser que los requerimientos para el ICMR sean muy exigentes.
 Las opciones son: reducir I5(CL), incrementar S1, aumentar el
 requerimiento de GB, o ajustar el ICMR (disminuir |Vinmin|)

Para esta aplicación en particular por las amplitudes tan pequeñas de las señales de EEG, la mejor opción es el ajuste del ICMR.

Si $V_{DS5} \geq 100mV$ se imprimirá en pantalla:

SE CUMPLE LA CONDICIÓN 3: VDS5 es mayor o igual a los 100mV.

8. Ya conocido V_{DS5} , se calcula el valor para S_5

$$S_5 = \frac{2I_5}{K'_N(V_{DS5})^2} \quad (3.22)$$

Hasta este punto, el diseño de la primera etapa está completo. De aquí en adelante se diseña la etapa de salida

9. Para un margen de fase de 60° , se asume que la ubicación del polo de salida se colocará a 2.2 veces GB. Basados en esta asunción y en la relación para $|p_2|$ en la ecuación 3.5, la transconductancia g_{m6} puede determinarse mediante la relación $g_{m6} = 2,2g_{m2}(C_L/C_c)$. Generalmente para un margen de fase razonable, el valor de g_{m6} es diez veces mas grande que la transconductancia de la etapa de entrada g_{m1} .

$$g_{m6min} = 10g_{m1} \quad (3.23)$$

$$g_{m6} = 2,2g_{m2}(C_L/C_c) \quad (3.24)$$

Aquí se evalúa la cuarta condición si $g_{m6} < g_{m6min}$ la rutina imprimirá en pantalla lo siguiente:

NO SE CUMPLE LA CONDICIÓN 4 : gm6<10gm1

De lo contrario:

SE CUMPLE LA CONDICIÓN 4: gm6<=10gm1

10. A partir de g_{m6} se pueden conocerse las ubicaciones del polo $|p_2|$ y el cero z_1

$$\begin{aligned} |p_2| &= g_{m6}/C_L \\ |p_2|Hz &= |p_2|/2\pi \end{aligned} \quad (3.25)$$

$$\begin{aligned} z_1 &= g_{m6}/C_c \\ z_1Hz &= z_1/2\pi \end{aligned} \quad (3.26)$$

A partir de g_{m6} , se asume que $V_{SG4} = V_{SG6}$, y se obtiene la siguiente expresión para calcular la relación de aspecto del transistor M6

$$S_6 = S_4 \frac{g_{m6}}{g_{m4}} \quad (3.27)$$

11. I_6 puede calcularse partiendo del concepto de “espejeo correcto ”de la primera etapa de la carga del espejo de corriente de la Figura 3.1 (M3 y M4).Para un espejeo preciso, se desea que V_{SD3} sea igual a V_{SD4} . Esto ocurrirá si V_{SG4} es igual a V_{SG6} . Partiendo de la fórmula $g_m = K'S(V_{GS} - V_T)$, podemos escribir que si $V_{SG4} = V_{SG6}$, entonces:

$$I_{6a} = I_1 \left(\frac{S_6}{S_4} \right) \quad (3.28)$$

La otra opción es a partir del conocimiento de g_{m6} y S_6 , se resuelve para I_6 , obteniendo la siguiente expresión

$$I_{6b} = \frac{g_{m6}^2}{2K_6'^2 S_6} \quad (3.29)$$

En la rutina se calculan ambos valores, en este punto se hace la evaluación del cumplimiento de la cuarta y última condición que debe cumplirse para que el procedimiento sea válido: I_{6a} debe ser menor que I_{6b} . Si esto no ocurre, la relación de aspecto $(W/L)_6$ debe incrementarse hasta cumplir con la condición. De haber requerimientos de disipación de potencia, también podría verificarse en base al valor de la corriente I_6 , que es la que determina principalmente el consumo de potencia.

Si resulta que $I_{6a} > I_{6b}$, la rutina desplegará en pantalla:

NO SE CUMPLE LA CONDICIÓN 5 : S6 debe incrementarse, incremente Cc, varíe CL
o aumente GB, o la relación entre VDD y el ICMR.

Si no es así:

SE CUMPLE LA CONDICIÓN 5: $I_{6a} \leq I_{6b}$.

12. Se determina S_7 a partir de la ecuación de balance de las corrientes entre I_5 e I_6 .

$$S_7 = I_6 / I_5 S_5 \quad (3.30)$$

13. Se verifica que se cumplan los requerimientos del rango de voltaje de salida. En la Figura 3.2 se indica que el V_{minout} es equivalente al $V_{SD7(sat)}$ y el V_{maxout} es igual a $V_{DD} + V_{SG6}$. De la fórmula $g_m = K'S(V_{GS} - V_T)$, ya conocidas las dimensiones de M6 y su transconductancia g_m se despeja el valor de V_{SG} , quedando la siguiente expresión:

$$V_{maxout} = V_{SG6} = g_{m6}/K'_P S_6 + V_{TPl} \quad (3.31)$$

$$\begin{aligned} \beta_7 &= K_N \times S_7 \\ V_{DS7sat} &= \sqrt{2|I_7|/\beta_7} \end{aligned} \quad (3.32)$$

$$\begin{aligned} V_{maxout} &= V_{DD} + V_{GS6} \\ V_{minout} &= V_{DS7sat} \end{aligned} \quad (3.33)$$

Si $V_{minout} > V_{minout}$ requerido, la rutina desplegará en pantalla:

NO SE CUMPLE LA CONDICIÓN 6a: No se cumple con el requerimiento para el Vout min.

De lo contrario:

SE CUMPLE LA CONDICIÓN 6a: Se cumple con el requerimiento para el Vout min.

Si $V_{maxout} > V_{maxout}$ requerido, la rutina desplegará en pantalla:

NO SE CUMPLE LA CONDICIÓN 6b : No se cumple con el requerimiento para el Vout min.

De lo contrario:

SE CUMPLE LA CONDICIÓN 6b: Se cumple con el requerimiento para el Vout min.

14. Se define la relación de aspecto del transistor M8 que hará de espejo, así como la resistencia R_s , basados en la corriente requerida I_5 .

$$S_8 = S_5 \quad (3.34)$$

$$\begin{aligned} V_{DS8sat} &= V_{DS5sat} \\ R_s &= (V_{DD} - V_{DS8sat})/I_5 \end{aligned} \quad (3.35)$$

15. Se calcula la potencia disipada.

$$P_{diss} = (I_5 + I_6)(V_{DD} + |V_{SS}|) \quad (3.36)$$

16. Para no ser tan reiterativos, no se incluyó para cada inciso donde se calcula alguna relación de aspecto, la operación de escalamiento y de definición del W y del L, el L se define como entrada al principio de la rutina, y dado que ya se conoce la respectiva relación de aspecto S se aplica la siguiente ecuación

$$W_n = L_n * S_n \quad (3.37)$$

Y después para escalarlos de manera uniforme:

$$L_N = K(L_n)W_N = K(W_n) \quad (3.38)$$

17. Fin de la primera iteración. Ya contando con una aproximación que cumpla con todas las condiciones del diseño, se procede a simular, con el objetivo de concluir el proceso de diseño de este capítulo se realizan simulaciones en AC en lazo abierto para observar los resultados (4.4.1) y decidir que aproximación será la que se realizará, basados principalmente en los requerimientos de ganancia, siempre y cuando se cumplan con los criterios de estabilidad. Ya seleccionada la aproximación, se prosigue para concluir con una segunda iteración el procedimiento de diseño.

18. El siguiente paso es el cálculo de los parámetros de modulación del canal λ_2 , λ_4 , λ_6 y λ_7 , para evaluar la ganancia del amplificador. Mediante simulación, como se detalla mas adelante, se toman dos pares coordenados de cada transistor $[(V_{DS1}, I_{D1}), (V_{DS2}, I_{D2})]$ a un V_{GS} constante y se evalúan con la expresión 2.80, derivada en el capítulo 2

$$\lambda = \frac{I_{D(SAT1)} - I_{D(SAT2)}}{I_{D(SAT2)}V_{DS1} - I_{D(SAT1)}V_{DS2}} \quad (3.39)$$

Se introducen los 8 pares coordenados de las corrientes (dos por cada transistor) y dos de los voltajes (V_{DS1} y V_{DS2}) que son comunes para todos. Ya con los valores de λ_2 , λ_4 , λ_6 y λ_7 , se evalúa la ecuación de la arquitectura para la ganancia del amplificador

$$A_v = \frac{2g_{m2}g_{m6}}{I_5(\lambda_2 + \lambda_4)(\lambda_6 + \lambda_7)} \quad (3.40)$$

En la Figuras 3.3, 3.4 y 3.5 se muestra el diagrama de flujo de la rutina implementada en MATLAB.

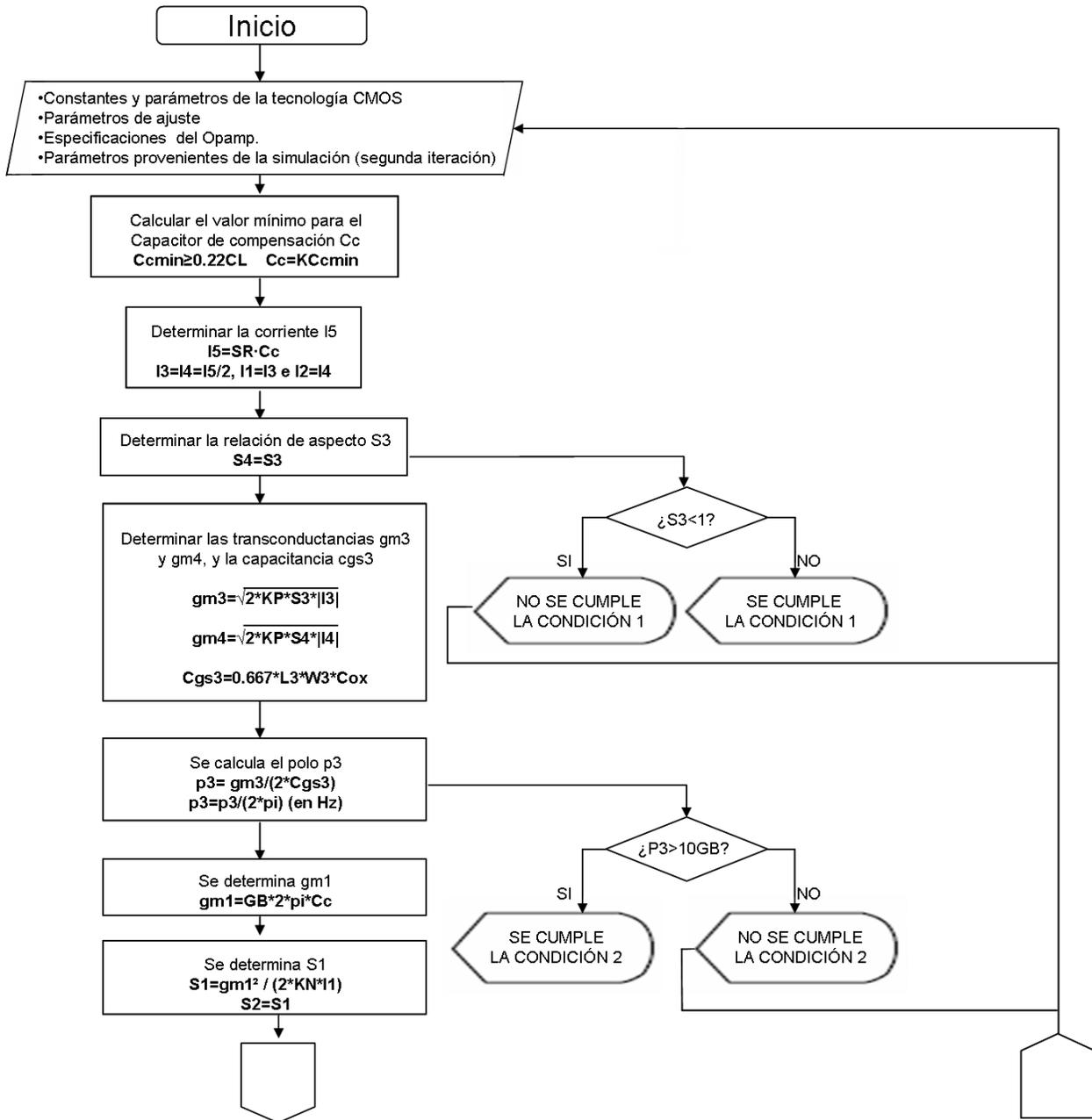


Figura 3.3: Diagrama de flujo de la rutina implementada en MATLAB, Parte a.

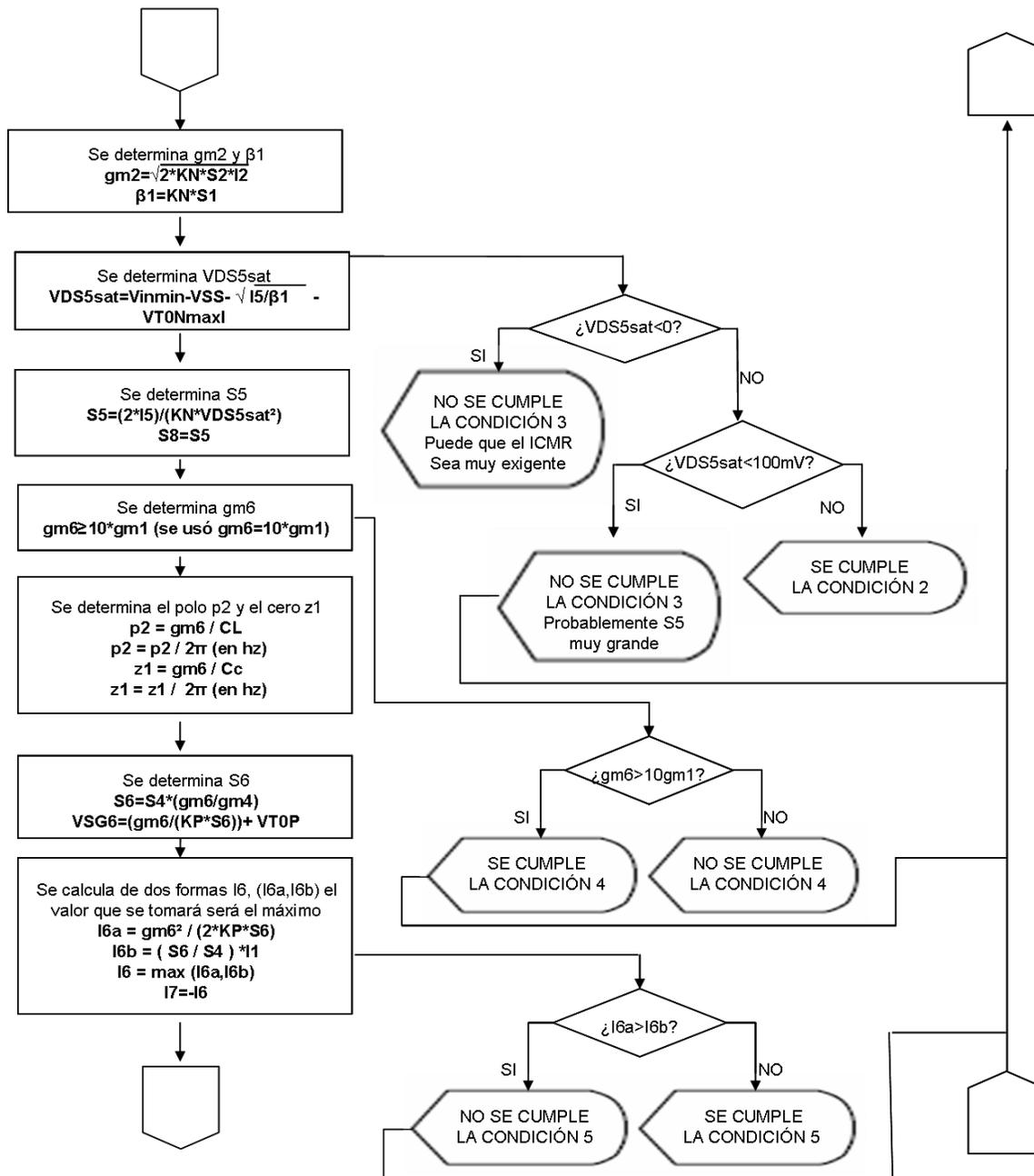


Figura 3.4: Diagrama de flujo de la rutina implementada en MATLAB, Parte b.

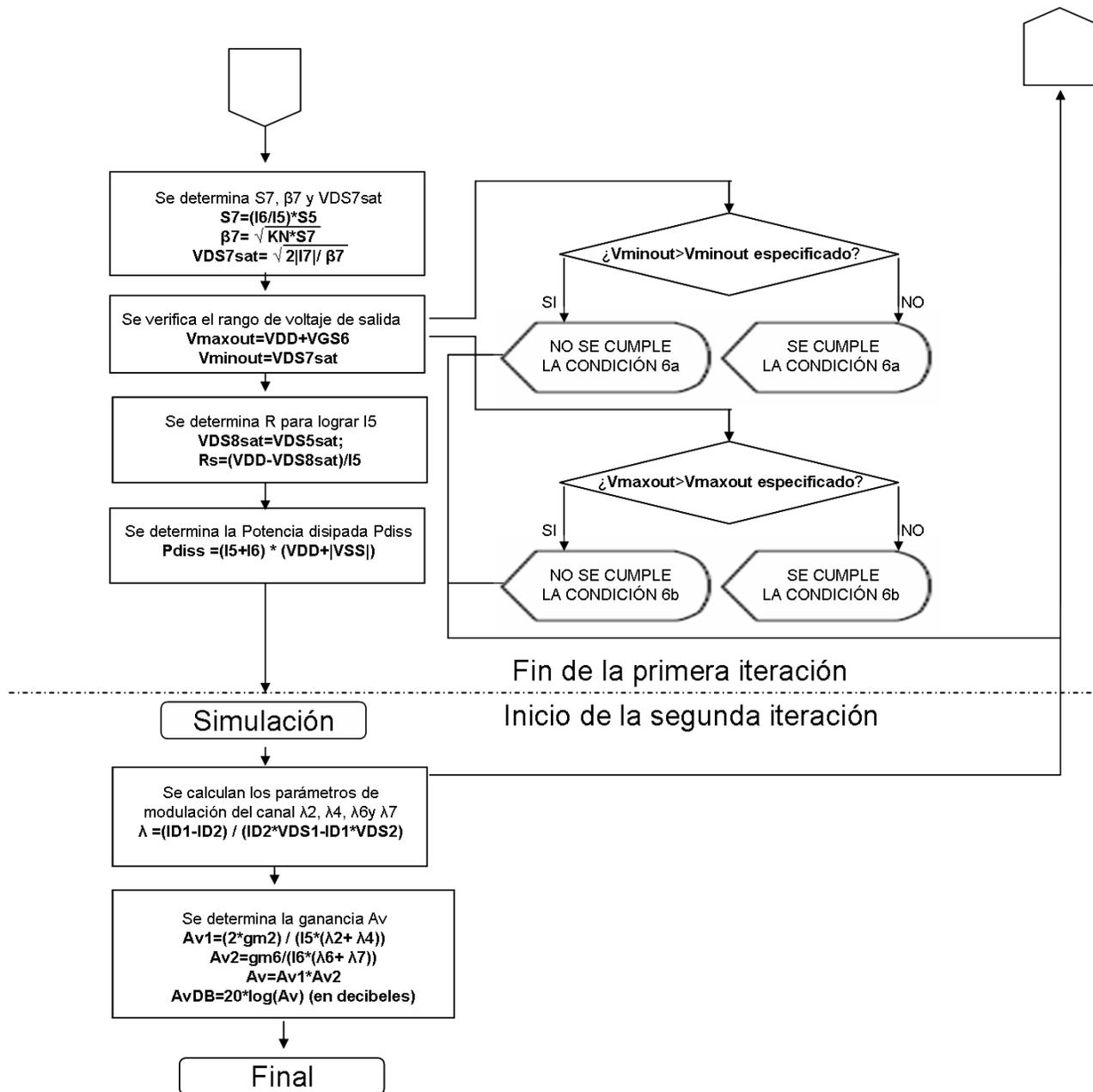


Figura 3.5: Diagrama de flujo de la rutina implementada en MATLAB, Parte c.

3.3. Resultados de la Rutina Implementada en MATLAB para el Diseño del Op Amp de dos Etapas

En sí, ya definidos los requerimientos los únicos parámetros que pueden ajustarse en la rutina son las constantes de escalamiento K_N de los transistores y la constante de escalamiento del capacitor C_c , KC_c .

Aprovechándose de que en la ecuación 3.11 lo que se presenta es un límite inferior, la constante KC_c permite aumentar al capacitor de compensación con el fin de hacer ajustes, para que la rutina cumpla con todas las condiciones. Del valor de este capacitor depende mucho el comportamiento y desempeño del op amp.

A continuación se muestran las condiciones que no se cumplieron en pantalla, para la primera aproximación:

NO SE CUMPLE LA CONDICIÓN 1: S3 debe incrementarse a un valor mayor a uno, para evitar la degradación del margen de fase

OPCIONES:

1. La opción más recomendable es aumentar C_c ya sea aumentando el factor de escalamiento KC_c sin modificar CL , o aumentando CL . El incremento de C_c provocará el aumento de todas las corrientes.
2. Modificar el requerimiento de GB (aumentarlo)

NO SE CUMPLE LA CONDICIÓN 5 : S6 debe incrementarse, incremente C_c , varíe CL o aumente GB, o la relación entre VDD y el ICMR

No se cumplen 1 y 5, ambas opciones recomiendan el aumento de C_c ya sea aumentando el valor para el capacitor de carga C_L o mediante la constante de escalamiento, se optará por la última opción para no cambiar el requerimiento de la capacitancia. Se fijará $KC_c = 2$, y las condiciones anteriormente incumplidas siguen en el mismo estado y se les agrega una:

NO SE CUMPLE LA CONDICIÓN 4 : $gm6 < 10gm1$

Ahora no se cumple 1, 4 y 5, como siguen sin corregirse la 1 y la 5, se seguirá aumentando KC_c ahora se le dará el valor de 3. Al hacerlo se logran cumplir las condiciones 1 y 5, pero 4 permanece igual, y es difícil lograr que se cumpla, sin hacer cambios sustantivos de los requerimientos para el op amp.

La razón de que esta condición no se cumpla se debe al desequilibrio que introduce la constante KC_c , si en lugar de escalar C_c con esta constante, se aumenta el valor de la capacitancia de carga por 3, es decir $C_L = 30pF$ se logra cumplir con todas las condiciones, sin embargo esto representa que se haga un cambio en los requerimientos iniciales, por lo que de momento se ignoró el incumplimiento de dicha condición.

Al final de la tesis en el apéndice C se incluye la rutina implementada en MATLAB. En el apéndice D se muestran en detalle los resultados obtenidos a partir de la rutina.

Como se puede observar las dos ejecuciones que se incluyen en el apéndice D, dan como resultado los mismos valores para todos los transistores, el capacitor y resistencia, lo que se modifica es el

comportamiento de la segunda etapa, al equilibrar la relación entre C_L y C_c , se cumple la relación g_{m6}/g_{m1} que incrementa la corriente I_6 y en consecuencia se incrementa la disipación de potencia.

Capítulo 4

Resultados de las Simulaciones del Amplificador Operacional.

La simulación es necesaria para refinar y verificar los diseños, posteriormente las mediciones experimentales son necesarias para verificar el desempeño del op amp en comparación a las especificaciones de diseño originales. De manera típica, las técnicas que se aplican para la simulación también son adecuadas para las mediciones experimentales.

En el diseño de un op amp CMOS, el diseñador comienza con bloques cuyo desempeño puede ser analizado a una aproximación de primer orden por métodos de análisis a mano/calculadora. La ventaja de este paso es el entendimiento que adquiere el diseñador del desempeño del diseño del circuito. De cualquier forma en algún punto se debe cambiar a una mejor aproximación de simulación.

La secuencia del capítulo es la siguiente, primero se presentan simulaciones hechas con el objetivo de seleccionar la aproximación de la rutina a implementar, tal que cumpliera primordialmente con el requerimiento de ganancia de lazo abierto deseado, a continuación se realizó un barrido en DC para ajustar el voltaje de desvío (offset) de compensación de entrada del circuito, después con el offset encontrado se realizaron simulaciones en lazo cerrado y abierto, de DC, AC, transientes y DCOP, para caracterizar el diseño a implementar y por último se incluye un apartado de simulaciones en una configuración “ideal”, para un amplificador de señales de EEG.

4.1. Plataforma Experimental.

Antes de presentar las simulaciones obtenidas, se detallará un poco sobre el software utilizado. El conocimiento del manejo de dicho software fue fundamental para el desarrollo de esta tesis.

4.1.1. ICFlow de Mentor Graphics ®.

Este paquete es un compendio de módulos que como su nombre lo indica sirve para llevar a cabo el flujo de diseño completo de circuitos integrados. En términos generales este flujo se refiere a la captura del esquemático, creación de símbolos, simulación, diseño del layout, verificación del diseño y exportación a formato de fabricación.

ICstudio es la aplicación que permite la administración de los proyectos, donde se inician los proyectos y se crean las diferentes vistas para las celdas. Los tipos de vista para una celda son

esquemático, símbolo y layout. Al abrir las vistas creadas desde ICstudio se abren las aplicaciones con las que se diseñan; la aplicación con la que se capturan los esquemáticos y se crean símbolos es el Design Architect®, el esquemático se simula con Eldo y las gráficas se despliegan con EZwave; el layout se diseña y verifica con ICstation®, pero para una verificación mas estricta se emplea Calibre.

Aunque este paquete de software comprende muchas aplicaciones, se destacará la aplicación, o más bien procedimiento denominado Layout dirigido por esquemático (*SDL, del ingles Schematic Driven Layout*). Este procedimiento es de gran utilidad para la implementación del layout, sin entrar mucho en detalle basta decir que es un procedimiento que sirve para partir del esquemático y haciendo uso de los generadores de dispositivos hacer el layout de manera semiautomática sin preocuparse por el diseño del layout individual de cada dispositivo.

4.1.2. HIT-Kit 3.7 de Austriamicrosystems.

Es de suma importancia mencionar que se utiliza un Kit montado sobre el software de ICflow, el HIT-Kit 3.7 de austriamicrosystems. El Kit incluye muchas celdas prediseñadas (fundamentalmente digitales), así como generadores de dispositivos (layout) adicionales a los ya incluidos por icstudio. El contar con celdas prediseñadas ya verificadas y cuyo funcionamiento se garantiza por austriamicrosystems, permite que un diseñador pueda realizar proyectos utilizando las celdas como bloques de su diseño, teniendo seguridad de que este será fabricable y que el desempeño del circuito ya fabricado será óptimo. Para esta tesis no se emplean celdas prediseñadas, pero a pesar de ello el HIT-Kit no deja de ser indispensable. ICflow es suficiente para poder diseñar un dispositivo fabricable, sin embargo se requeriría tener mucho conocimiento sobre los procesos de fabricación para cumplir con los requerimientos de diseño que estos procesos exigen. Los generadores automáticos de layout de transistores, resistencias, capacitores y demás elementos del HIT-Kit, así como su metodología para el SDL, con reglas de diseño propias para la verificación de las celdas creadas, hacen del HIT-Kit una herramienta muy útil. Además, permite realizar un diseño que cumpla con los requerimientos del proceso de fabricación sin ser un experto. El HIT-Kit auxilia, guía y limita el flujo de diseño sobre ICflow para poder obtener dispositivos que cumplan con todas las reglas requeridas por el proceso de fabricación y por lo tanto completamente implementables. Al abrir el proyecto hay un parámetro que permite especificar el tipo de proceso en específico que se requiere, de los cuatro con los que cuenta el HIT-Kit.

4.2. Captura del Esquemático.

El esquemático de la aproximación final se muestra en la figura 4.1. Al capturar el esquemático deben de considerarse aspectos que quizá no tengan una influencia notable en los resultados de la simulación, pero son imprescindibles para el posterior diseño del layout. Las herramientas, librerías y sub-aplicaciones del HIT-Kit se despliegan mediante un cuadro que aparece en la barra de herramientas principal de design architect hasta el lado derecho. Deben emplearse los dispositivos de la librería de AMS, en caso de que no exista algún elemento que se requiera dentro de la librería de AMS, en segunda instancia se recurre a la librería MGC, que es la librería de ICflow; aunque esto solo ocurre con elementos pasivos sencillos, como puertos.

Deben de considerarse los rangos máximos de voltaje que soportan los transistores MOS empleados que se utilizan en la simulación, este aspecto no tiene ninguna influencia en el resultado de las simulaciones, pero si no se considera y se sobrepasan estos límites después de la implementación

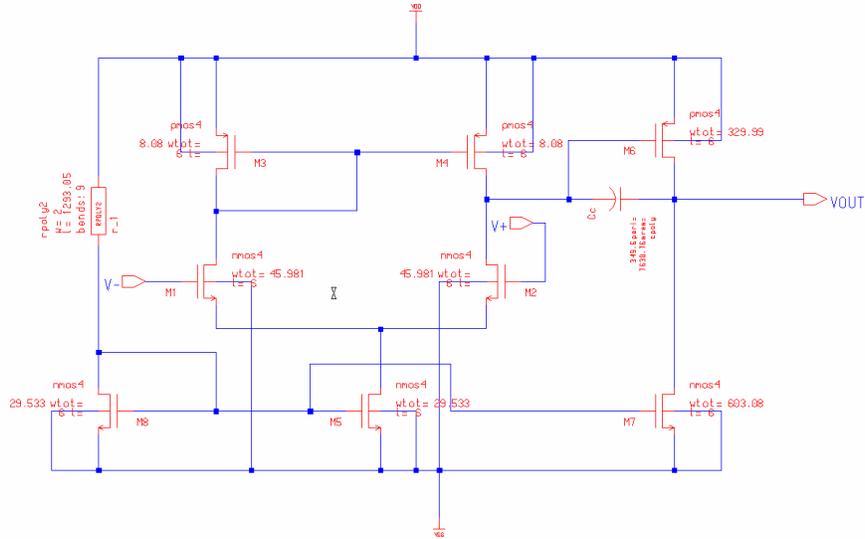


Figura 4.1: Esquemático del diseño obtenido para el opamp de dos etapas. $K=6$

del layout, el dispositivo podría quemarse. Los valores para los rangos máximos se incluyen en la tabla 2.3. El que no se superen estos límites puede verificarse con el análisis de punto de operación (DCOP) que se explica mas adelante.

Otra observación importante es sobre las conexiones de los bulks de los transistores M1 y M2, originalmente con el objetivo de lograr que el VSB fuera igual a cero, se conectaron a sus respectivas fuentes. Sin embargo, posteriormente al analizar los resultados del análisis DCOP se observó que las corrientes que cruzan estos transistores no eran iguales, como se contempla en el diseño. Al conectar los bulks a VSS (al potencial mas bajo) la corriente disminuye, pero se consigue obtener la igualdad entre ambas corrientes, y mantener esa igualdad es importante, ya que el análisis así lo asume de manera estricta.

Al colocar el capacitor se puede observar que aparece su perímetro y área, son los correspondientes al tamaño físico del layout, viendo las propiedades del capacitor puede saberse el largo y ancho, que por default son iguales, o sea que, el capacitor es cuadrado, es bueno tomar nota de este valor ya que después se necesitará conocer al diseñar el layout. Para la resistencia se observa que aparece el largo y ancho así como el número de bends que son los dobleces de la resistencia, que se definen al colocarla. Este valor que primero estaba en 0 lo ajuste al valor final de 9 después de observar el aspecto del layout, intentando ajustarla para que la celda de layout tuviera una relación de aspecto lo mas aproximada a la unidad. En ambos casos, para el capacitor y la resistencia no aparecen sus valores efectivos, esto no importa, cabe mencionar que al colocarse si aparece la opción para definirlos en base a su valor efectivo, el ancho y largo para la resistencia, así como el perímetro y área del capacitor cambian dependiendo del valor efectivo.

Es importante hacer una observación del esquemático respecto a los puertos de entrada, inicialmente estaban colocados del mismo lado, cerca el uno del otro. V+ estaba colocado arriba de V-, lo que provocaba que el cable que une V- al transistor M2 cruzara sin hacer conexión los cables conectados a los transistores M1 y M2. Esto no tiene ningún efecto para la simulación, porque no considera que exista conexión, pero después, al momento de hacer el layout mediante la técnica de SDL, si hubo problema. Al hacer el layout por SDL los cruces de cables siempre se interpretan

como conexiones. Por esa razón se acomodó V+ como aparece en la figura 4.1.

Para poder correr las simulaciones es necesario crear un view point del esquemático como se señala en la información en línea de acceso abierto de austriamicrosystems [8]. Este paso no es requerido si se usa ICFlow sin el HIT-Kit, el motivo de la diferencia, es una mejora que se hizo al ICFlow respecto a versiones previas, esta mejora es la creación automática del view point al entrar en modo simulación, sin embargo la versión de software del HIT-Kit empleada no está adaptada a ese cambio.

Después de crear el view point, deben de asignarse los modelos de los transistores, el HIT-Kit permite hacer esto de forma automática, al entrar en modo simulación se selecciona el view point creado (de tipo device para este caso) y ya en el modo de simulación se selecciona el menú del HIT-Kit que aparece en la parte superior del lado derecho y después se selecciona la opción de “Set simulation models”, al hacerlo aparecen varias opciones, todas válidas para analizar el desempeño del circuito, pero para todas las simulaciones que se presentan en este capítulo se utilizó el modelo típico (opción “typical”)

4.3. Diagramas de Bode.

Aunque esto se revisó en el capítulo de 2, vale la pena hacer un recordatorio breve los diagramas de bode y características, ya que es el formato de presentación de las gráficas en frecuencia.

Los diagramas de Bode son las representaciones de la magnitud y la fase de la magnitud de la señal $H(w)$, donde $w = 2\pi f$. La frecuencia se encuentra en escala logarítmica, la fase está dada en grados y la magnitud de la ganancia se encuentra en decibeles. Una ganancia unitaria es igual a una ganancia cero en dB.

El margen de fase se define como el cambio en la fase de lazo abierto, necesario para que el sistema de lazo cerrado sea inestable. El margen de fase es la diferencia entre la curva de fase y -180° en el punto de la frecuencia donde la ganancia es igual a 0dB (en la frecuencia de cruce de ganancia f_{cg}).

El margen de ganancia es la diferencia entre la curva de magnitud y 0dB, en el punto correspondiente a la frecuencia que da una fase de -180° (en la frecuencia de cruce de fase f_{cf}).

La Frecuencia de ancho de banda, es la frecuencia a la cual la magnitud se ha disminuido en 3dB

Es importante considerar lo siguiente:

- El sistema debe ser estable en lazo abierto para poder diseñar por medio de diagramas de Bode.
- Si la frecuencia de cruce de ganancia es menor que la frecuencia de cruce de fase (esto es, $f_{cg} < f_{cf}$), entonces el sistema de lazo cerrado será estable.

4.4. Simulaciones.

Cabe mencionar que para todas las simulaciones en tiempo, se utilizó una señal senoidal como entrada con características de amplitud y frecuencia iguales que las señales de EEG. El intentar simular una señal de entrada de EEG sería algo sumamente difícil, o incluso suponiendo que una señal capturada pudiera introducirse, no resultaría fácil el análisis de la fidelidad del amplificador por la complejidad de las señales de EEG. Además sería imprudente, cuando se requiere de años

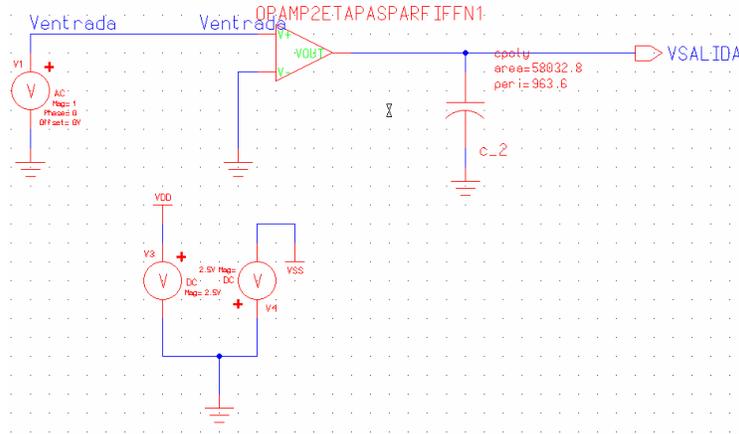


Figura 4.2: Configuración para el análisis en frecuencia de la ganancia de lazo abierto.

de estudio en el área de medicina para contar con la autoridad de poder analizar de forma visual estas señales. Sin embargo, esto no es de importancia, las señales de EEG como las senoidales son finalmente señales y si el amplificador es capaz de amplificar con fidelidad estas señales senoidales, así lo hará con cualquier otra señal de los rangos de frecuencia y amplitud para los que se diseñó.

4.4.1. Simulaciones para la Selección de la Aproximación a Implementar.

Análisis en AC.

Para verificar la ganancia de lazo abierto, se utilizó la configuración de la figura 4.2, para llevar a cabo una simulación en AC, los resultados de la simulación se muestran en la figura 4.3, las barras de la figura indican la ganancia máxima, la frecuencia de corte (f_{-3dB}), que indica el ancho de banda y el ancho de banda de ganancia unitaria (f_{cg}).

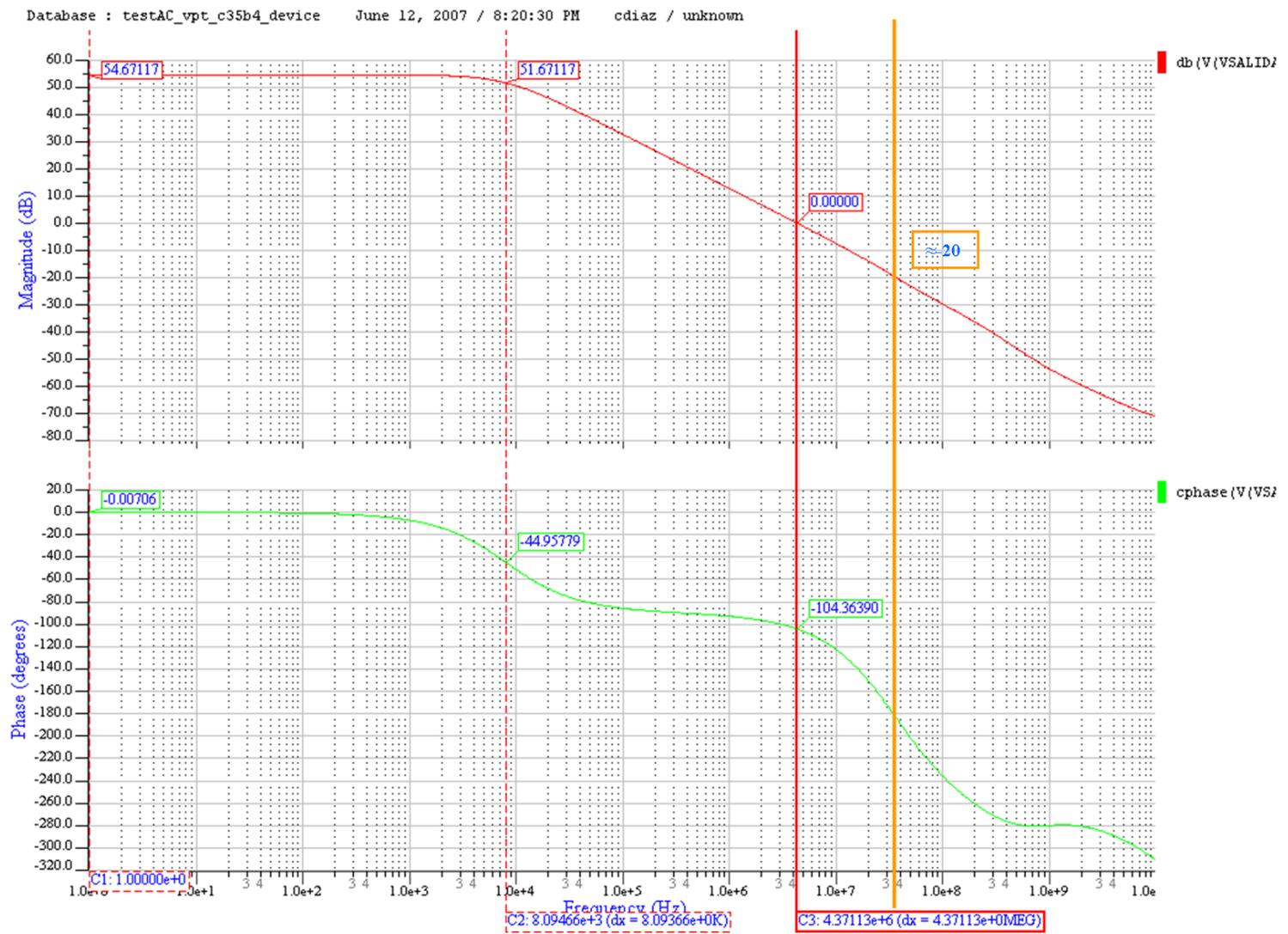


Figura 4.3: Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=1$.

Aunque la gráfica no muestra marcada con una barra la frecuencia de cruce de fase (f_{cf}), es claro que f_{cg} (ancho de banda a ganancia unitaria) $< f_{cf}$, por lo que puede predecirse que al operar en lazo cerrado será estable. Se recordará que del proceso de diseño una de las condiciones no se cumplió ($g_{m6} > 10g_{m1}$), lo que no tuvo repercusiones en la estabilidad del circuito. Sin embargo, como se menciona en el capítulo anterior, para que el op amp sea estable al conectar una red de retroalimentación, se requiere tener una ganancia mínima de 2000 V/V o 66.02 DB, lo cual no se consigue con la 1a aproximación obtenida. Para obtener mayor ganancia, se puede incrementar los tamaños de los transistores sin cambiar la relación de aspecto, con la finalidad de disminuir el parámetro de modulación del canal λ , que según la ecuación 14 incrementaría la ganancia. Para hacer esto, la rutina implementada en MATLAB incluye los parámetros de escalamiento K, el cual sirve para hacer un escalamiento del W y L de los transistores, manteniendo la misma relación de aspecto. El escalamiento se hace de manera uniforme para todos los transistores de la configuración, a partir de la primera aproximación. La siguiente expresión explica de manera sencilla los valores para K empleados.

$$K_n = n(K(1)) \quad (4.1)$$

Lo que significa que en las diferentes aproximaciones, simplemente se multiplicó el número de aproximación por los valores para K de la aproximación original.

Como se mencionó antes el requisito mínimo es obtener una ganancia de lazo abierto mayor o igual a los 66.02 DB, al modificar el factor de escalamiento K, el objetivo no se cumplió para $K=2$, pero para $K \geq 3$ ya se cumple. A continuación se presentan las gráficas para $K = 3, 4, 5$ y 6 . En las figuras 4.4, 4.5, 4.6 y 4.7, respectivamente.

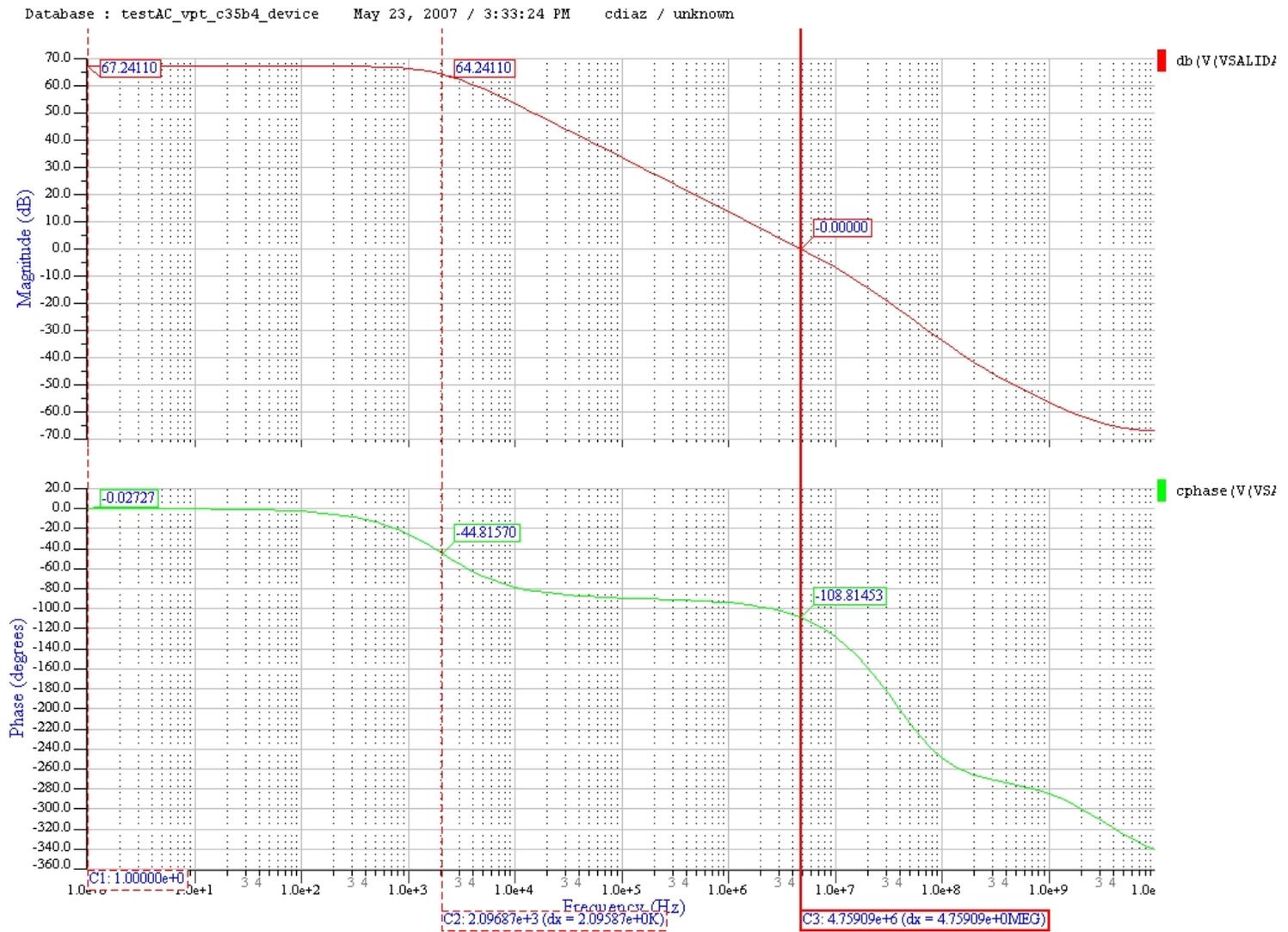


Figura 4.4: Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=3$.

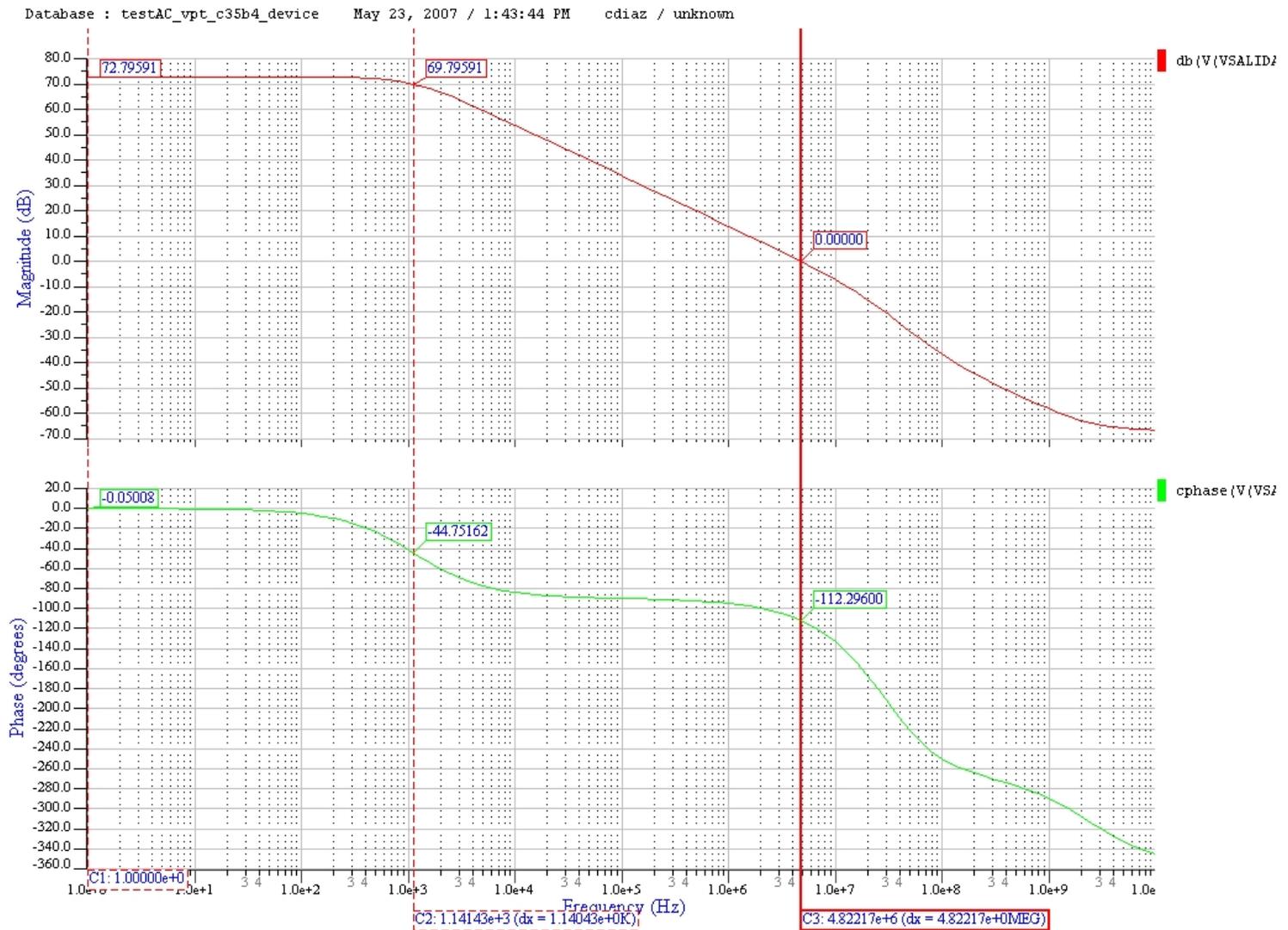


Figura 4.5: Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=4$.

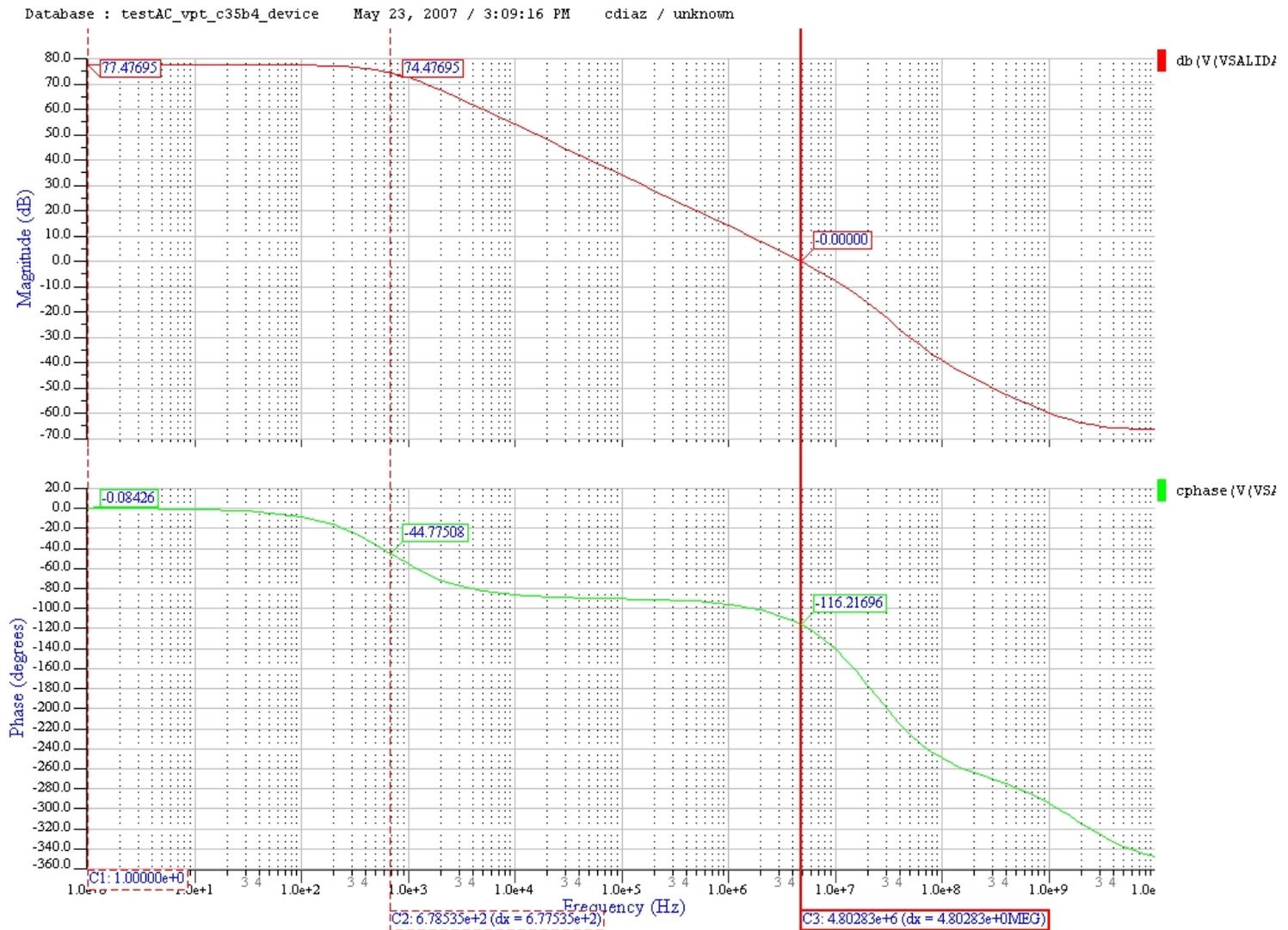


Figura 4.6: Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación $K=5$.

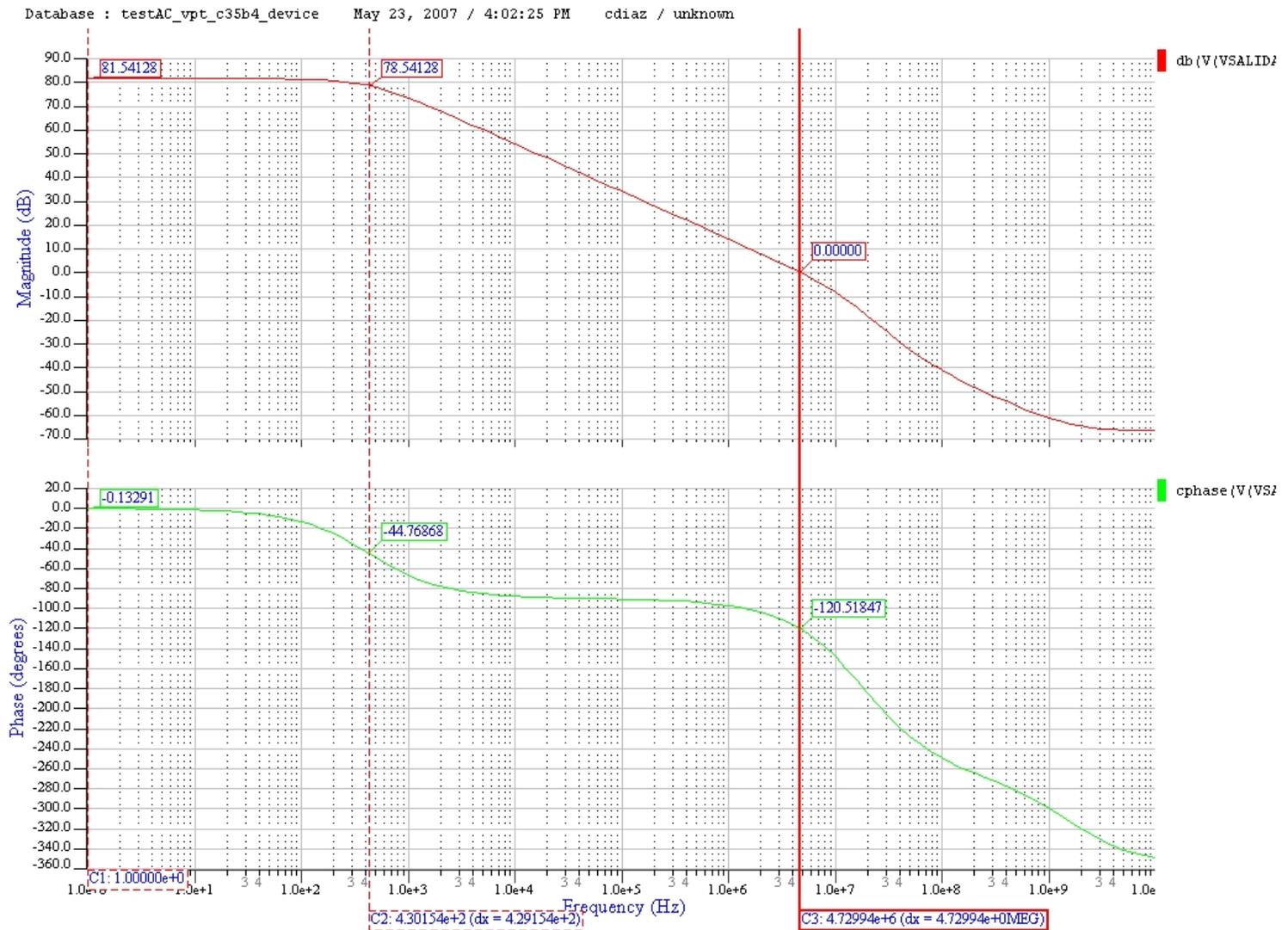


Figura 4.7: Simulación de la Ganancia y Ancho de Banda de lazo abierto para la aproximación K=6.

Aprox.	Gmax(dB)	fc(Hz)	f _{cg} (Hz)	M ϕ ($^{\circ}$)
3	67.24110	2,096.87	4.75909 M	71.18547 $^{\circ}$
4	72.79591	1,141.43	4.82217 M	67.704 $^{\circ}$
5	77.47695	678.535	4.80283 M	63.78304 $^{\circ}$
6	81.54128	430.54	4.72994 M	59.48153 $^{\circ}$

Tabla 4.1: Tabla que muestra los resultados de la ganancia máxima Gmax, frecuencia de corte fc (Ancho de banda), frecuencia de cruce de ganancia f_{cg} (f(0dB)) y Margen de fase M ϕ , para las aproximaciones 3,4,5 y 6.

De las gráficas puede calcularse el margen de ganancia y el margen de fase, a continuación la tabla 4.4.1 se muestra una tabla que resume los datos importantes extraídos de las anteriores gráficas en frecuencia.

Respecto al margen de fase resultante de las aproximaciones, todos cumplen con la condición de que sea mayor a 45 $^{\circ}$ y solo la última aproximación tiene un margen de fase ligeramente menor al margen de fase preferible de 60 $^{\circ}$.

La razón de no haberse conformado con la 3a aproximación que ya cumple con los requisitos mínimos de un op amp que sea estable en lazo cerrado, es que para la aplicación del op amp, se esta buscando conseguir una ganancia ideal de 10,000 V/V o 80dB que se consigue hasta la sexta aproximación, todas las gráficas restantes de este capítulo son simulaciones de esta aproximación.

4.4.2. Cálculo del Parámetro de Modulación del Canal Lambda (λ).

Ya seleccionada la aproximación a implementar, lo primero que se calculará es el parámetro de modulación del canal lambda (λ). Se debe recordar que este parámetro está pendiente por calcular, ya que se hará mediante simulación y era requerido conocer las dimensiones de los transistores M2, M4, M6 y M7 para poder hacerlo. La configuración que se utilizó para el cálculo de λ se muestra en la Figura 4.8

A los transistores tipo N M2 y M7 se les aplicó un VGS constante de 1.6V, mientras que a los transistores tipo P M4 y M6 se les aplicó un VSG constante de 1.8V. La fuente que simula el VDS y VSD, para los transistores N y P, respectivamente se fijó al mismo valor en dos corridas distintas, primero se fijó a 2V y después a 2.5V. Al entrar al modo de simulación se seleccionaba un análisis DCOP (de punto de operación), para de esta manera al hacer clic en el icono de la barra del lado lateral izquierdo view \rightarrow Log y desplazándose casi al final del archivo de texto poder ver los resultados del análisis de DCOP. Lo primero que se verificó es que los transistores operaran en saturación, esto aparece de manera explícita, la razón es que todo el análisis se ha hecho asumiendo que operamos en este modo. Después se tomaron los datos de las corrientes ID de los transistores, para formar pares coordenados (VDS,ID). Cabe mencionar que VDS se refiere al voltaje drenador-fuente (drain-source), no debe confundirse con el termino de vds sat. En la tabla 4.4.2 se muestran los pares coordenados obtenidos para los cuatro transistores.

Ahora estos valores se introducen en la rutina de MATLAB para concluir la segunda iteración y observar el resultado que se predice para la ganancia del amplificador, que resulta ser de 109.71 dB \approx 28.17 dB mayor que la encontrada en la simulación de la Figura 4.7 en donde la ganancia es de 81.54128 dB.

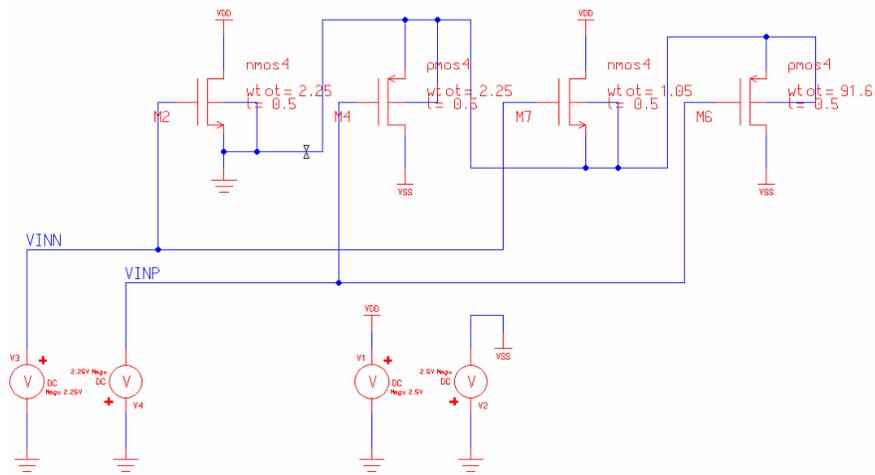


Figura 4.8: Configuración empleada para al cálculo de lambda.

Transistor	P1	P2
M2	(2V, 575.7721 μ A)	(2.5V, 576.9411 μ A)
M4	(-2V, -36.4608 μ A)	(-2.5V, -36.5891 μ A)
M6	(-2V, -1.5308mA)	(-2.5V, -1.5362mA)
M7	(2V, 7.5781mA)	(2.5V, 7.5935mA)

Tabla 4.2: Pares coordinados (VDS, ID) de los transistores en dos puntos distintos para el cálculo del parámetro de modulación del canal (λ)

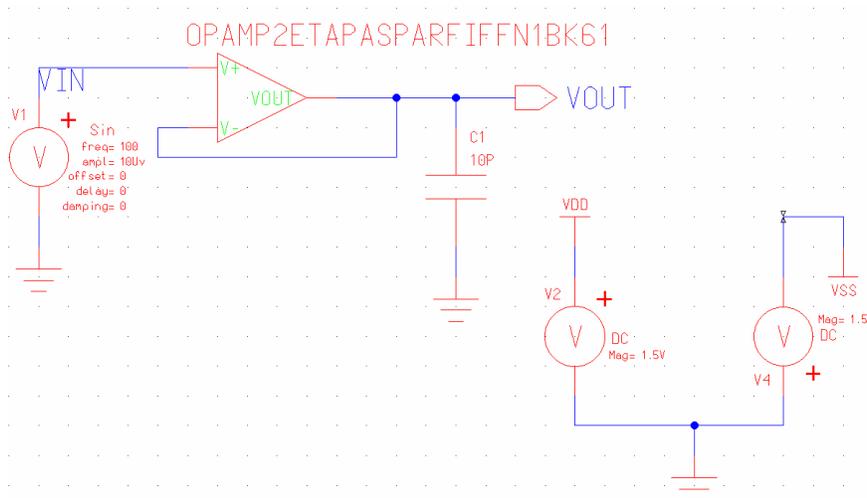


Figura 4.9: Configuración seguidor de voltaje.

4.4.3. Simulaciones Temporales de Lazo Cerrado sin Compensación de Voltaje de Desvío de Entrada.

En las primeras simulaciones en tiempo, que se presentan en esta sección, no se consideró el voltaje de compensación que debe agregarse en la entrada para eliminar el voltaje de desvío que se presenta a la salida. El objetivo de las simulaciones es verificar el comportamiento en lazo cerrado del amplificador, comprobar que realmente es estable como se predice de la gráfica en AC.

Seguidor de Voltaje.

La siguiente simulación que se presenta, tiene la finalidad de conocer la respuesta temporal con el op amp retroalimentado para una ganancia unitaria (seguidor de voltaje), la configuración que se empleó es la que se muestra en la Figura 4.9 y el resultado se muestra en la Figura 4.10. La señal de entrada es una señal senoidal de $20\mu\text{Vpp}$ a 100 Hz, la amplitud y frecuencia de la señal son típicas de una señal de EEG. Se puede observar en la salida un desvío de aproximadamente $19\mu\text{V}$.

De la gráfica se puede apreciar que la amplitud y fase de la señal de salida son prácticamente idénticas a las de la señal de entrada, como debe de ser, pero se puede apreciar la presencia de un desvío de aproximadamente $19\mu\text{V}$, el cual no es muy significativo, pero de no compensarse, al amplificar la señal, el desvío también lo hará y puede llegar a ser muy significativo dado que el factor de amplificación para las señales de EEG debe de ser muy alto, además un desvío grande podría provocar que la señal se salga del rango permitido para $V_{out\ max}$ y $V_{out\ min}$, provocando que esta se distorsione o se sature.

Amplificador No Inversor.

Para ver si el amplificador amplifica ya retroalimentado, se capturó la configuración del amplificador no inversor típico que se muestra en la Figura 4.11.

La señal de entrada es una senoidal de 100Hz, de $10\mu\text{V}$ pico, lo que varía es el factor de amplificación de la configuración, como se obtuvo una ganancia de lazo abierto ligeramente superior

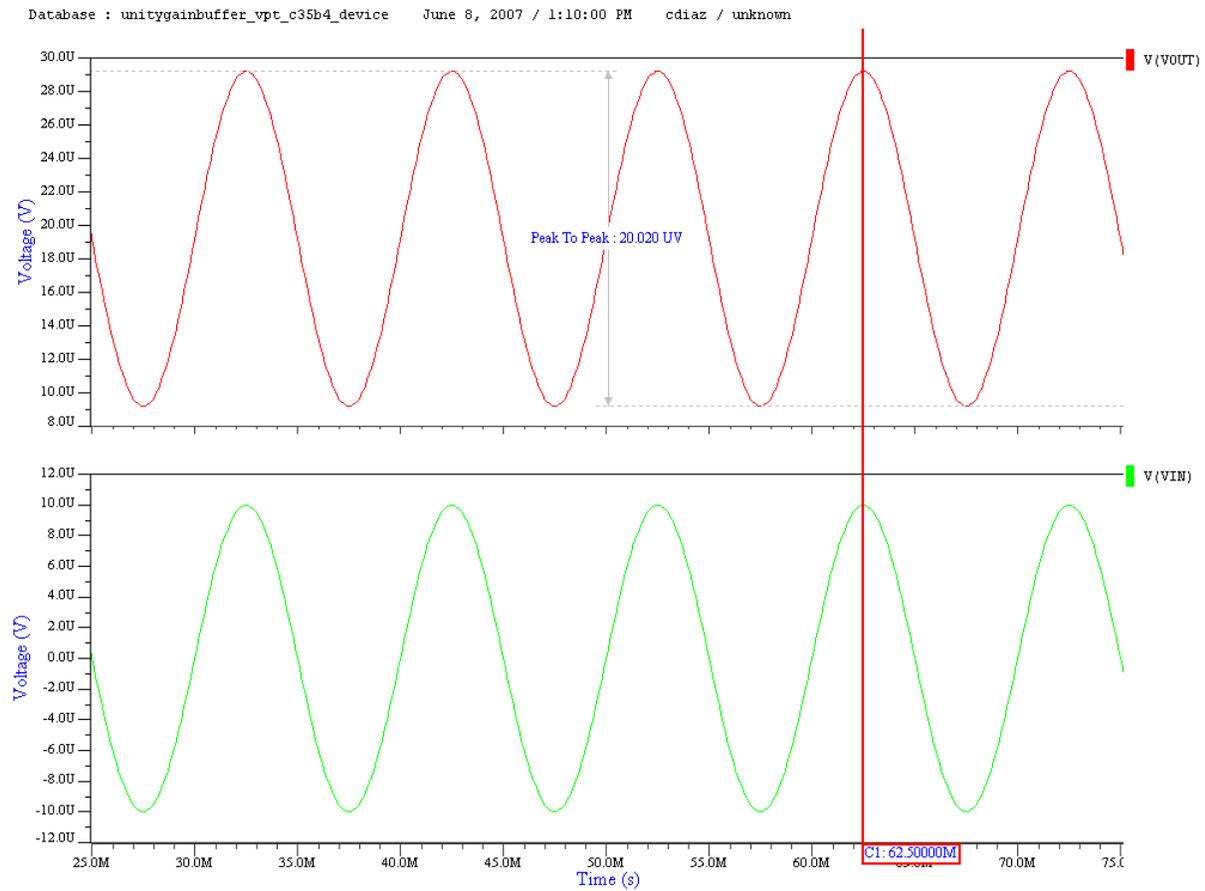


Figura 4.10: Gráfica de la salida del op amp para la configuración seguidor de voltaje. La señal de entrada es una señal senoidal de $20\mu\text{Vpp}$ a 100 Hz. Se puede observar en la salida un offset de aproximadamente $19\mu\text{V}$.

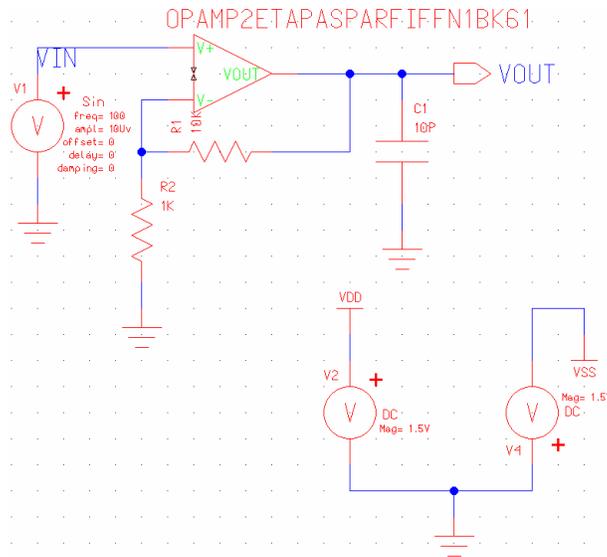


Figura 4.11: Configuración típica del amplificador no inversor.

G	Vpp	Geff
10	219.69 μ V	10.8345
100	2.0125mV	100.625
1000	19.492mV	974.6
10,000	155.08mV	7,754

Tabla 4.3: Tabla que muestra el factor de ganancia fijado, el voltaje Vpp de la señal de salida y la ganancia efectiva obtenida.

a los 10,000 V/V, se muestran resultados para ganancias de 10, 100, 1000 y 10,000 en las figuras 4.12, 4.13, 4.14 y 4.15.

Al desplegar las imágenes puede seleccionar una icono de la barra de herramientas del EZ wave, que permite hacer mediciones y plasmarlas en las gráficas, para estas se seleccionó la de voltaje pico a pico, para verificar la amplificación obtenida. A continuación se muestra una tabla(4.4.3) que muestra el factor de amplificación G fijado, el voltaje Vpp de la señal resultante, y la amplificación efectiva Geff obtenida, al dividir el voltaje Vpp de las diferentes señales entre el voltaje Vpp de la señal de entrada, que es de 20 μ V pp.

Hasta el factor de amplificación de 1000 se obtiene una ganancia efectiva de fidelidad aceptable respecto al factor de amplificación fijado. Claramente para el factor de 10,000 la fidelidad se reduce bastante dado que la amplificación efectiva es solo del 77.54 por ciento del factor de amplificación.

Para encontrar el rango de valores de los factores de amplificación para los cuales la ganancia efectiva se aproxima de manera satisfactoria, se repitió la simulación anterior para señales que se encuentran en el rango de $1000 < G < 10,000$. La señal de entrada es de 100 Hz, de 10 μ V pico, 20 μ V pp. Los valores que se seleccionaron para G son 1100, 1300, 1500, 2000 y 5000; los resultados se muestran de manera respectiva en las figuras 1, 2, 3, 4 y 5 del apéndice E.

Para definir el rango en el cual el factor de amplificación G, da como resultado una Ganancia efectiva Geff fiel al factor definido; primero se debe definir una tolerancia para definir la fidelidad,

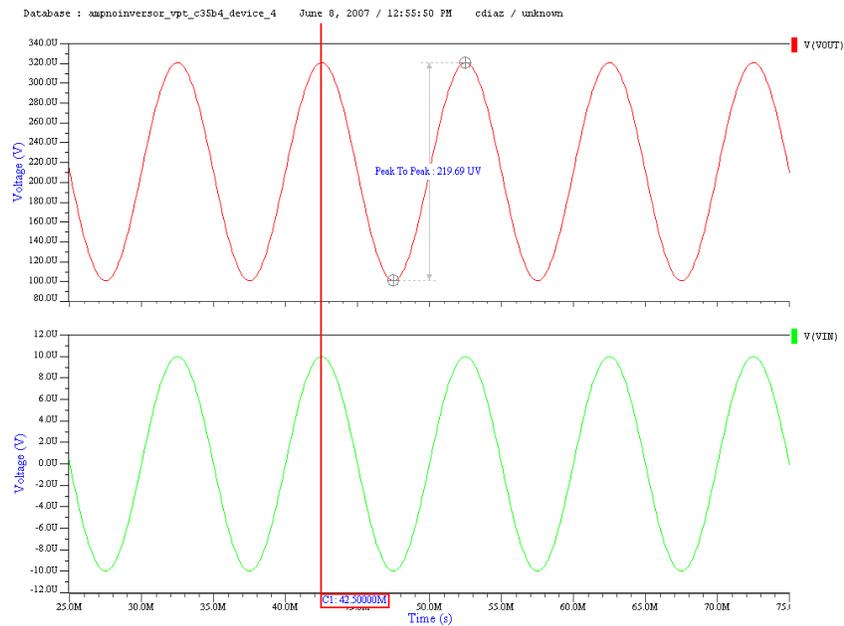


Figura 4.12: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=10$.

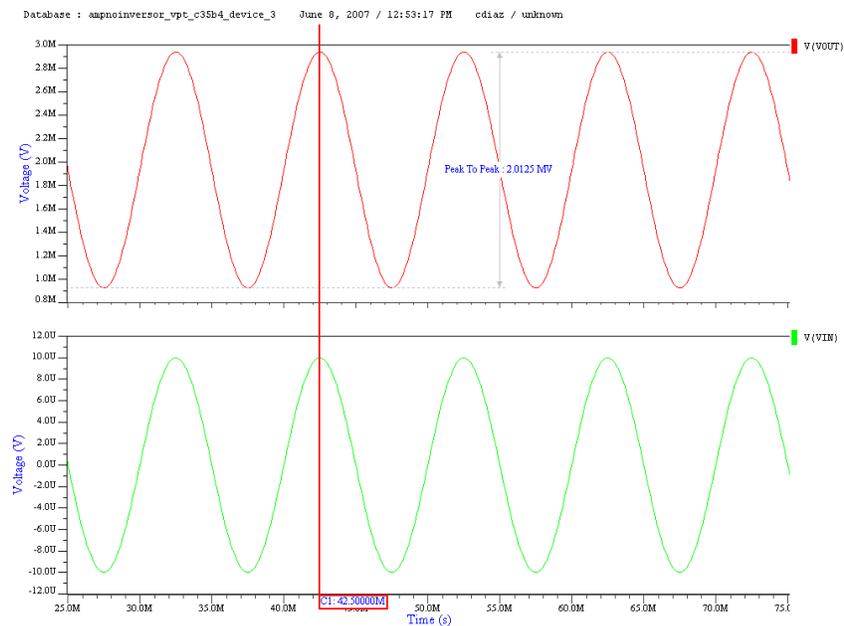


Figura 4.13: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=100$.

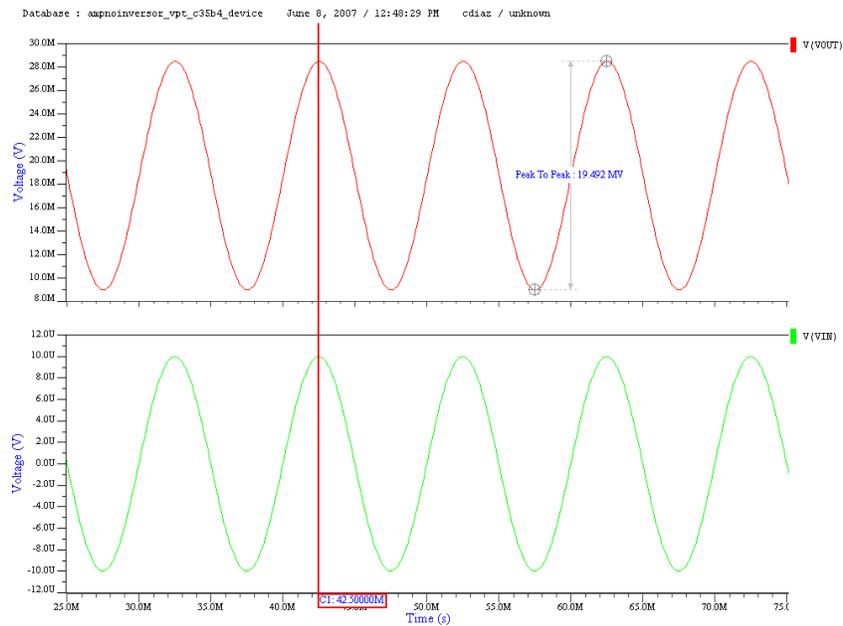


Figura 4.14: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$.

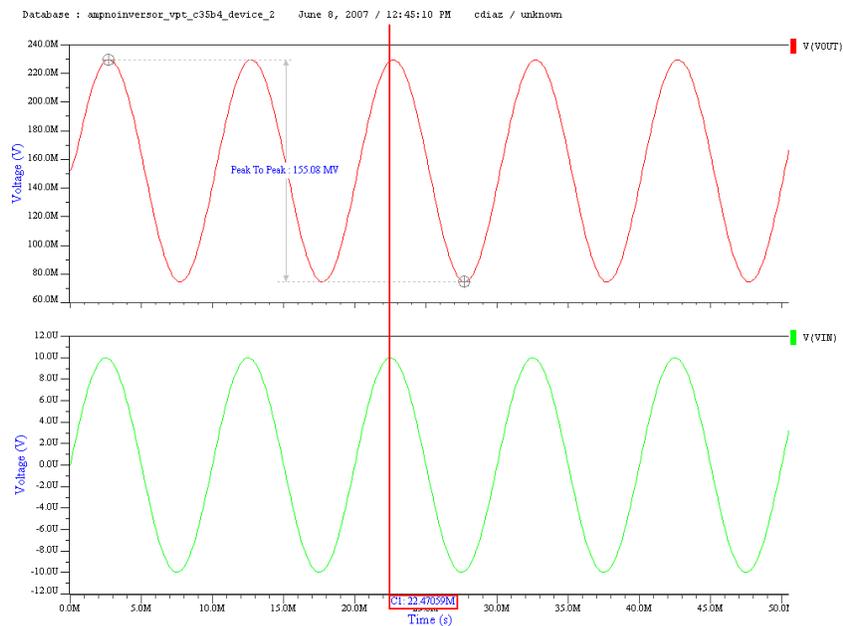


Figura 4.15: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=10000$.

G	%Geff/G
1,100	97.2
1,300	96.68
1,500	96.18
2,000	94.94
5,000	87.96

Tabla 4.4: Tabla que muestra el factor de ganancia fijado, y el porcentaje de la amplificación efectiva Geff respecto al factor de amplificación G

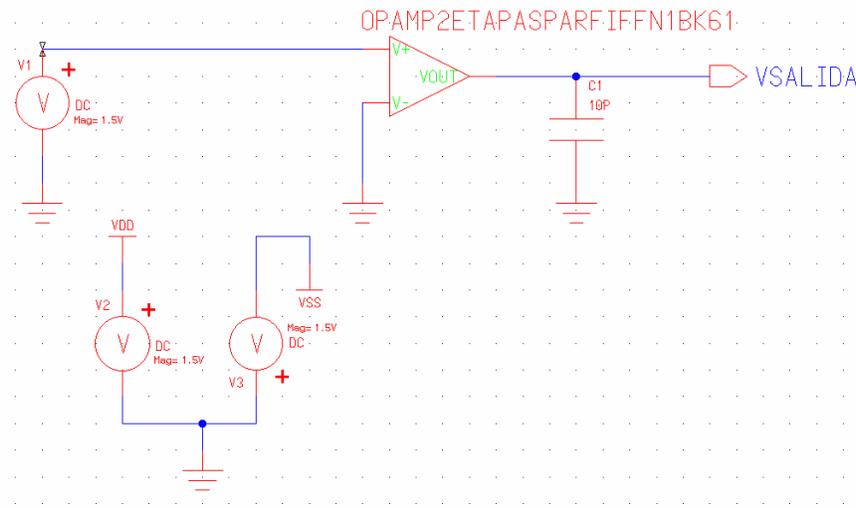


Figura 4.16: Configuración para obtener el cambio en la salida de voltaje (output swing). Primera aproximación sin ajuste de offset.

la tolerancia definida es de ≈ 5 de variación de Geff respecto a G. La tabla 4.4.3 incluye el factor de amplificación G de las simulaciones anteriores y el porcentaje de Geff respecto a G.

Para la tolerancia definida, de la tabla puede concluirse que el op amp mantiene la igualdad de la ganancia efectiva Geff con el factor de amplificación G, para $1 \leq G \leq 2000$.

4.4.4. Compensación del Desvío (Offset), Análisis de DC.

Es importante mencionar que para las gráficas anteriores no se consideró el desvío de entrada que debe de incluirse para ajustar el punto de operación del amplificador. El motivo por lo que no se profundizó mucho en las simulaciones de todas las aproximaciones fue para escoger de manera pronta la mas adecuada y verificar con las simulaciones en tiempo, su desempeño.

Para encontrar el valor del voltaje de desvío de entrada se realizó un barrido de DC para observar el cambio de voltaje de salida (Output Swing) e indagar sobre el valor del desvío de entrada requerido para lograr que la salida se ubique a la mitad del voltaje de alimentación total, es decir a $(VDD+VSS)/2$, en este caso para la alimentación propuesta de 1.5 a -1.5V, a 0V. La configuración que se empleó para esta simulación es la que se muestra en la Figura 4.16.

La fuente de entrada es una fuente de DC, se aplicó un barrido en la fuente de entrada de 1.5

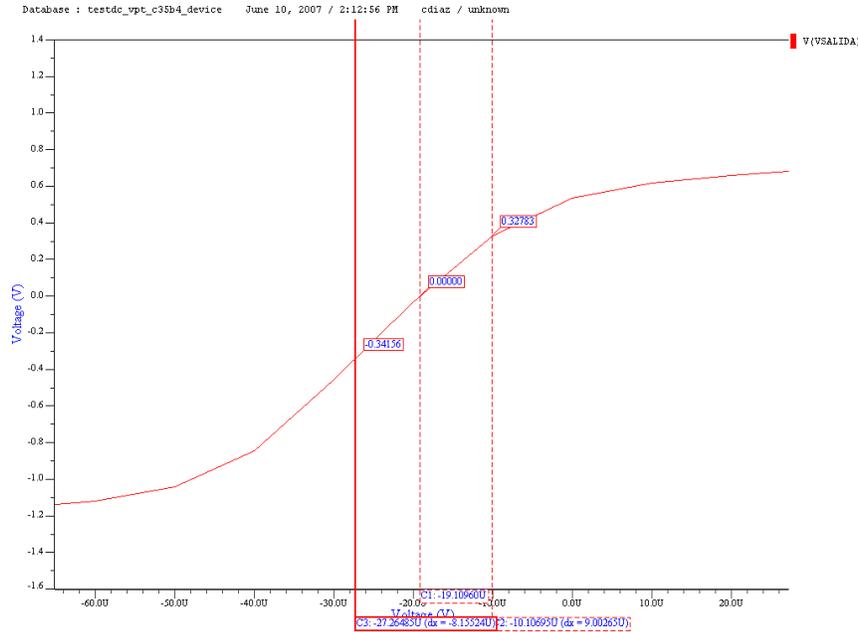


Figura 4.17: Cambio en la salida de voltaje (output swing). Primera aproximación sin ajuste de offset.

a -1.5. Como resultado se obtiene el output swing del amplificador. El resultado se muestra en la Figura 4.17, en esta Figura no se aprecia todo el rango del barrido se amplificó la vista de la gráfica para poder ver el rango de operación lineal.

Anteriormente en la sección se mencionó la presencia de un desvío de aproximadamente 19μ V. En la Figura 4.17 se puede observar con mas precisión el valor de este desvío. Para apreciarlo se colocó una barra en la salida, a la mitad del voltaje de alimentación, a 0 volts. En este punto se aprecia un offset en el barrido de entrada de -19.1096μ V. El signo negativo del desvío no se contrapone con el desvío apreciado en la configuración del seguidor de voltaje. La diferencia es que en la configuración del seguidor observamos el desvío en la salida y no en la entrada como se hace en la gráfica del output swing. Realmente en la gráfica lo que se mide es el voltaje de entrada necesario para que no exista un desvío en la salida. Si no se incluye este desvío en la entrada, resulta obvio que en una configuración de ganancia unitaria, si no se incluye el voltaje de compensación en la entrada este se presentará a la salida con signo contrario.

Ahora este desvío se incluye en la configuración de la Figura 4.16, insertando una fuente de corriente directa entre la fuente de entrada y la entrada del amplificador. La razón de hacer esto y no sumar directamente al valor de la fuente de DC de entrada, es para poder hacer de nuevo el barrido, el desvío no debe de ser incluido en el barrido, debe de ser un voltaje directo constante que siempre se suma a la entrada. La configuración que incluye el desvío se muestra en la Figura 4.18.

Partiendo del desvío encontrado, a prueba y error se fue modificando hasta lograr que para el desvío de compensación de entrada encontrado se tuviera una gráfica en la que el punto correspondiente al barrido de la fuente de entrada igual a cero correspondiera al punto del voltaje de salida igual a cero, esto aparece plasmado en la Figura 4.19.

El valor final total del desvío encontrado fue de -19.19934μ V .

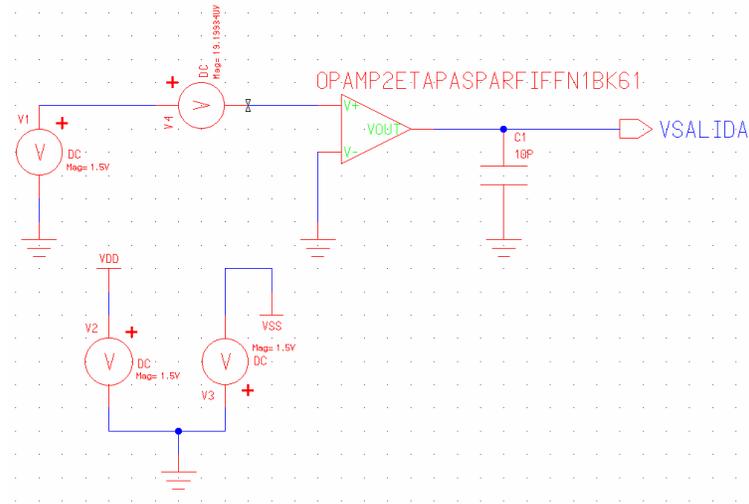


Figura 4.18: Configuración para obtener el cambio en la salida de voltaje (output swing). Segunda aproximación con ajuste de desvío.

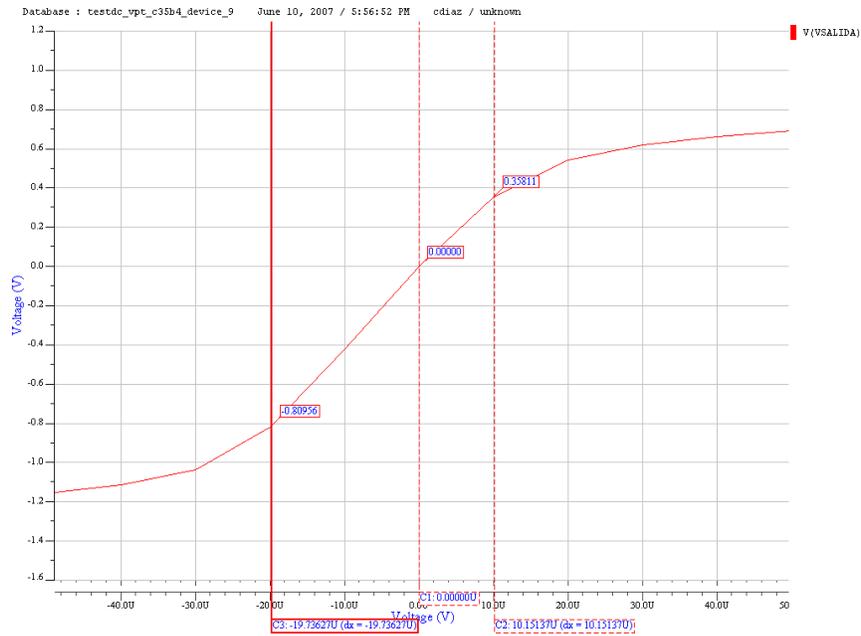


Figura 4.19: Cambio en la salida de voltaje (output swing). Última aproximación con ajuste final de desvío.

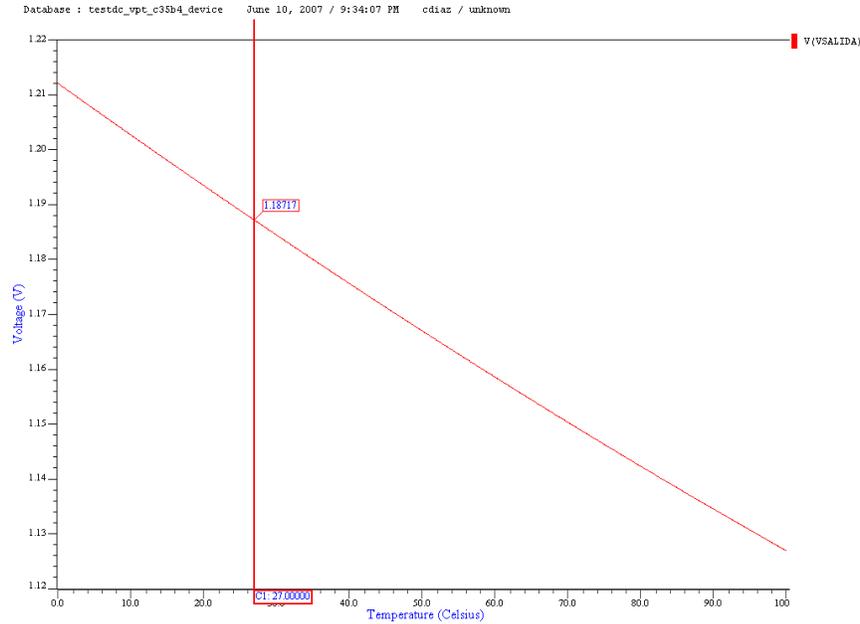


Figura 4.20: Variación del punto de operación del dispositivo en razón de la temperatura. El barrido se efectuó de los 0 a los 100°C

Otro dato importante que se puede obtener de esta gráfica es la ganancia de lazo abierto, la cual equivale a la pendiente de la región lineal de la gráfica del voltaje de entrada contra el voltaje de salida, las dos barras extras a la que indica el punto (0,0), indican los límites de la región lineal, para utilizar dichos puntos en el cálculo de la pendiente. La pendiente de una recta se da por la ecuación 4.2

$$m = \frac{\Delta y}{\Delta x} = \frac{y_2 - y_1}{x_2 - x_1}. \quad (4.2)$$

De la Figura 4.19 indicados por las barras se obtuvieron los dos pares coordenados (x,y), el punto P2 dado por $(10.15137\mu, 0.35811)$ y el punto P1 dado por $(-19.73627\mu, -0.80956)$, introduciendo los datos en la ecuación 4.2 obtenemos que $m = 39,068.65848 \text{ V/V} = 91.83656998\text{dB}$, que supera en aproximadamente 10dB la ganancia de lazo abierto observada en la Figura 4.7.

Barrido de Temperatura.

El seleccionar la opción del análisis DC permite la posibilidad de realizar también barridos de temperatura y de largo y ancho de transistores. A continuación en la Figura se muestra la gráfica resultante para el barrido de temperatura, el barrido se hizo de los 0 a los 100°C. Para todas las simulaciones presentadas en la tesis que se ha considerado la temperatura de los 27°C (temperatura ambiente), como la temperatura de operación del dispositivo. En la Figura 4.20 se muestra el resultado del barrido.

Se aprecia como el punto de operación desciende linealmente en el rango del barrido conforme aumenta la temperatura, y aunque se ve una variación clara no es tan significativa, lo que significa que en ese rango el amplificador seguirá operando.

Fuente	Gmax(dB)	fc(Hz)	f_{cg}(Hz)	Mϕ($^{\circ}$)
rutina	109.71 dB	–	5M	60 $^{\circ}$
AC sin desvío	81.54128	430.54	4.72994 M	59.48153 $^{\circ}$
AC con desvío	92.09487	136.508	4.96836 M	57.94202 $^{\circ}$
barrido DC	91.83656998 dB	–	–	–

Tabla 4.5: Tabla que muestra los resultados de la ganancia máxima G_{max} , frecuencia de corte f_c (Ancho de banda), frecuencia de cruce de ganancia f_{cg} ($f(0dB)$) y Margen de fase $M\phi$, para la aproximación seleccionada(6) de la rutina, de la simulación en AC sin compensación y con compensación de desvío, y del barrido DC.

4.4.5. Simulaciones en Lazo Abierto con Compensación de Desvío de Entrada. Ganancia, Análisis AC.

Ya conocido el desvío de compensación de entrada, se simulará nuevamente la gráfica en frecuencia para la configuración de lazo abierto de la Figura 4.2, en este caso para añadir el desvío de entrada no se inserta ninguna fuente de DC entre la fuente de entrada de AC y la entrada del amplificador, ya que al ser una simulación en AC el simulador marca error si se intenta de esta manera. El desvío se incluye de manera directa en las propiedades de la fuente de entrada de AC, incluye la opción de añadir un voltaje de DC, en esa opción se introduce el desvío. El resultado se muestra en la Figura 4.21.

El resultado de la gráfica en AC, que incluye el desvío, cambió de manera notable respecto a la ganancia máxima alcanzada que fue de 92.09487 dB, o contra los 81.54128 dB de la simulación que no incluye el ajuste, una diferencia de poco mas de 10dB. El resultado de la amplitud máxima de este análisis también es satisfactoria en el sentido de que concuerda con el análisis de la simulación previa de DC donde la ganancia máxima de lazo abierto resultó ser de 91.83656998 dB, tan solo ≈ 0.26 dB menor. Además se aproxima más a la ganancia predicha en la segunda iteración con la rutina, que es de 109.71 dB (≈ 17.61 dB menor), respecto a la simulación en lazo abierto que no incluye el ajuste de desvío (≈ 28.17 dB menor).

En cuánto al comportamiento en frecuencia, la nueva frecuencia de corte es de 136.508 Hz, frecuencia muy acorde con el espectro de frecuencias del EEG. El ancho de banda de ganancia unitaria o frecuencia de cruce de ganancia f_{cg} es de 4.96836MHz, aproximada aun más al originalmente especificado de 5MHz. En la tabla 4.4.5 se resumen para comparar los datos extraídos de los análisis de AC para la simulación sin compensación de desvío y para el compensado.

El margen de fase se redujo por 1.53951 $^{\circ}$, lo que lo aleja un poco mas del mínimo deseable de 60 $^{\circ}$, pero sigue siendo significativamente mayor al mínimo de 45 $^{\circ}$.

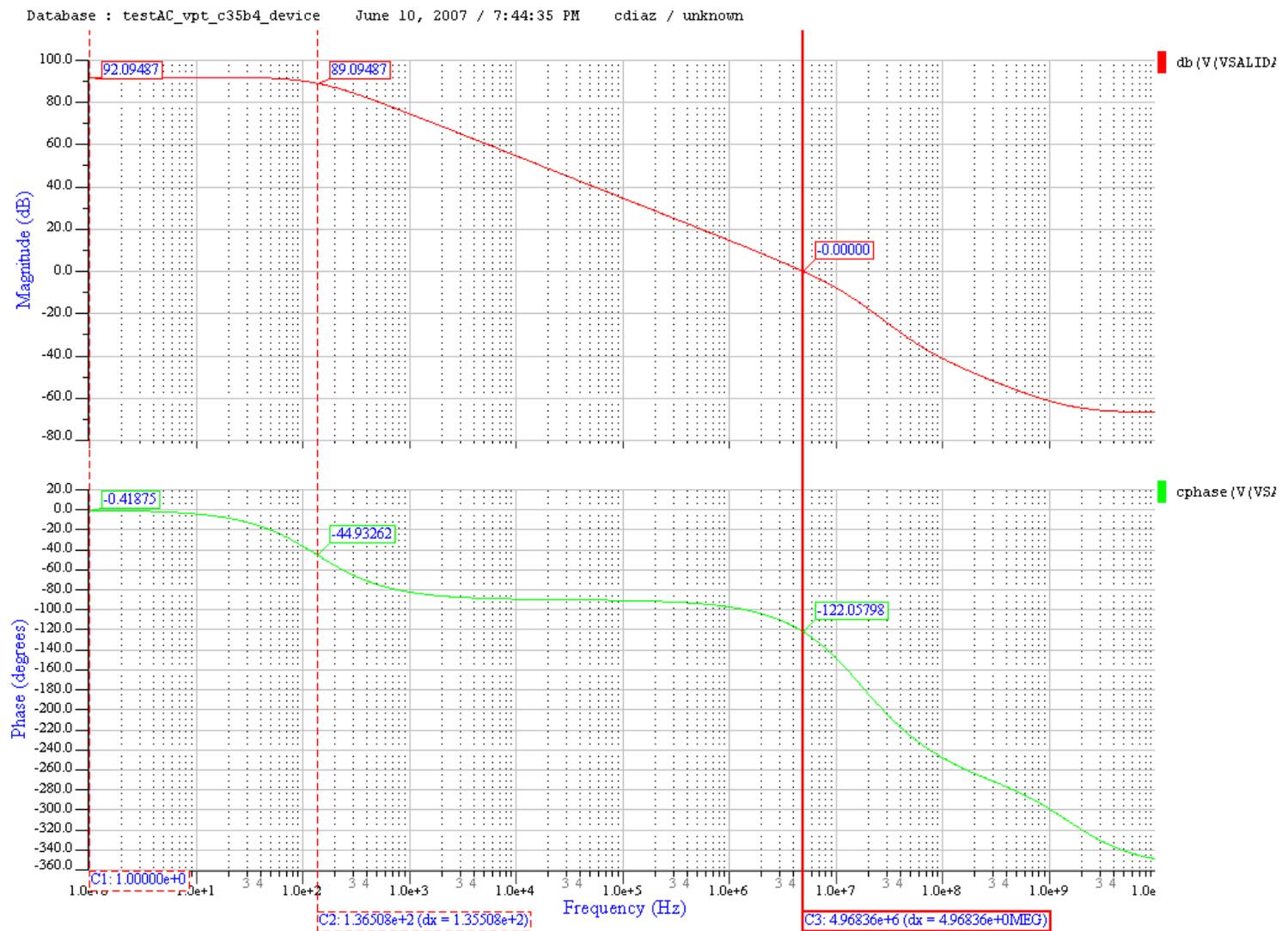


Figura 4.21: Simulación de la Ganancia y Ancho de Banda, en lazo abierto, con compensación de desvío.

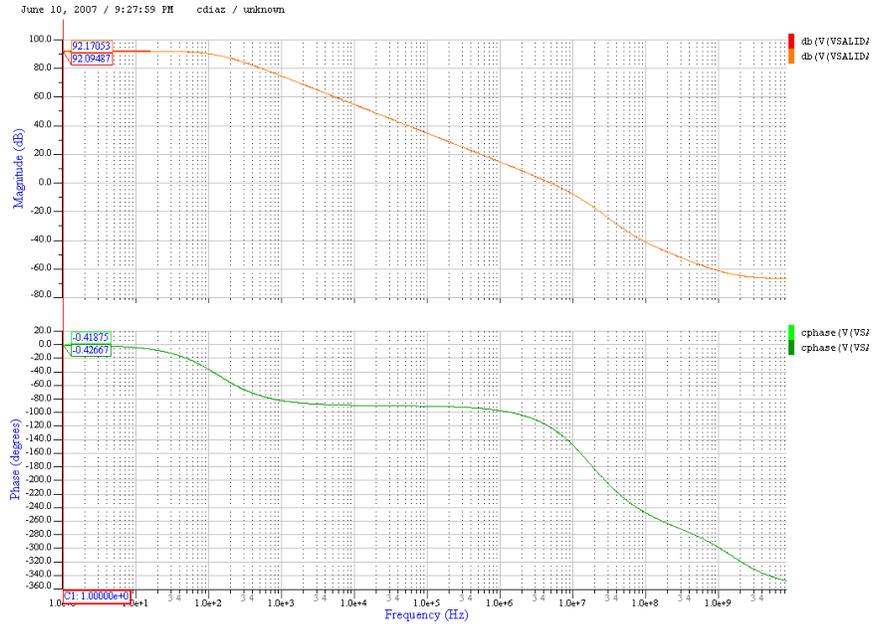


Figura 4.22: Simulación de la Ganancia y Ancho de Banda, en lazo abierto, con compensación de desvío. Se muestran superpuestas las gráficas para los dispositivos con el modelo típico y con el modelo Montecarlo.

Análisis DCOP.

El análisis DCOP, que se efectúa simplemente seleccionando la casilla correspondiente al elegir el tipo de simulación a llevar a cabo, sirve para verificar los voltajes y corrientes de operación del circuito y apreciar que tanto se aproximan a los definidos en la etapa de diseño. Un detalle importante que se puede observar en este análisis es en que región están operando los transistores, ya que aparece escrito de manera explícita al final de la lista de los diferentes valores encontrados para los parámetros que incluye el análisis para cada dispositivo.

Se puede verificar si los valores para los distintos voltajes de cada dispositivo no superan los máximos permitidos para dicho elemento.

Ganancia, Análisis AC-Montecarlo.

El análisis montecarlo consiste en una serie de análisis DC, AC o transitorios, donde uno mas parámetros del circuito o del modelo siguen una distribución probabilística. Se corrió una simulación tipo montecarlo para la ganancia en AC, para hacerlo simplemente además de tener seleccionada la opción de simulación de AC, se selecciona la opción para el análisis montecarlo [21]. El resultado se muestra en la Figura 4.22.

En este caso no se ahondará en detalles sobre los resultados de la gráfica ya que a simple vista puede apreciarse que prácticamente no hay variación alguna del análisis montecarlo respecto al análisis de AC convencional.

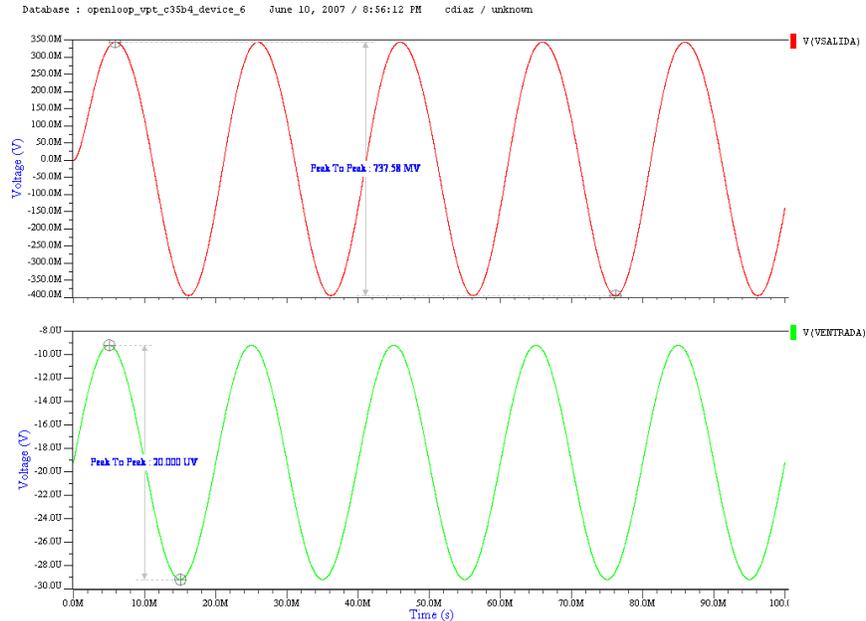


Figura 4.23: Resultado de la simulación temporal en lazo abierto. La señal de entrada es de 50 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp.

Análisis Transitorio (En Tiempo).

. Aunque el objetivo de diseñar un amplificador con una ganancia muy grande en lazo abierto, tiene como objetivo poder tener estabilidad en lazo cerrado, para algunas aplicaciones como se menciona en [30] es importante la aplicación en lazo abierto, aplicaciones dentro de las cuales se encuentra la electrónica médica. Por esta razón se llevó a cabo una simulación en tiempo de lazo abierto. Para hacerlo se sustituyó la fuente de AC de la Figura 4.2, por una fuente senoidal. Además al configurar el tipo de simulación debe cambiarse la opción de AC por la de transient. La señal de entrada es una señal de 50 Hz, con una amplitud de $20\mu\text{Vpp}$ para la señal de la Figura 4.23 y de $200\mu\text{Vpp}$ para la de la Figura 4.24.

Puede observarse como en ambas gráficas la señal queda perfectamente centrada. En la gráfica de la Figura 4.23, aparentemente la señal se amplifica sin distorsión, sin embargo si se pone atención en la gráfica, si se toma el eje de los 0 V como la referencia del centro de la señal, se aprecia una amplificación ligeramente mayor para los valores de voltaje negativos.

La gráfica de la Figura 4.24, muestra una señal de salida claramente distorsionada por la saturación del amplificador, lo cual no es extraño debido a que la ganancia de lazo abierto encontrada en la sección anterior que es de 40,247.92546 en unidades de V/V, si se olvidará la limitación impuesta por el voltaje de alimentación, al multiplicarse por la señal de entrada de $200\mu\text{V}$ pp daría como resultado una señal de salida de aproximadamente 8.05 V. De las gráficas puede apreciarse como el incluir el desvío para la operación en lazo abierto no logra centrar la señal a la mitad del voltaje de alimentación total. También puede apreciarse como a pesar de que la señal no se centra, la magnitud de $V_{outmax}-V_{outmin}$ si concuerda con los valores especificados en la rutina de 1V para el V_{outmax} y de -1V para el V_{outmin} .

La última de las gráficas en lazo abierto (4.25) se incluye para verificar el comportamiento en

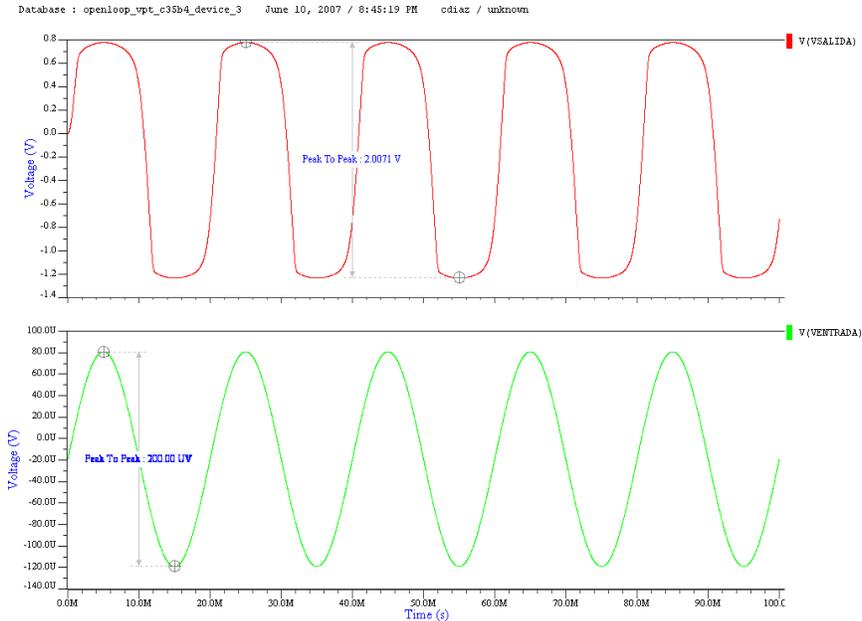


Figura 4.24: Resultado de la simulación temporal en lazo abierto. La señal de entrada es de 50 Hz, de $100\mu\text{V}$ pico, $200\mu\text{V}$ pp.

frecuencia predicho por el análisis en AC. La señal de entrada fue de $20\mu\text{V}$ pp a las frecuencias de 10, 50, 100, 300 y 1000Hz

De la tabla 4.4.5 la f_c con desvío compensado es de 136.508Hz, lo que concuerda con los resultados de la Figura 4.25, donde se aprecia una reducción significativa en la amplitud a partir de la señal con frecuencia de 150 Hz, la atenuación de la señal se va incrementando conforme aumenta la frecuencia de la señal.

Ruido.

Con la misma configuración de la Figura 4.2, para el análisis de la ganancia en lazo abierto en AC, se realiza el análisis del ruido. Esto se hace simplemente seleccionando la opción en el menú del tipo de simulación a realizar, junta con la opción del análisis en AC. Al seleccionar la opción del análisis del ruido se especifican los puertos de referencia para el ruido de entrada y salida, que serían según la Figura 4.2 Ventrada y Vsalida. Los resultados se presentan en la Figura 4.26.

Ruido Transitorio.

Transitorio es el estado temporal en el que la salida de un sistema se ajusta gradualmente, frente a un cambio en la entrada.

En la mayoría de las aplicaciones de diseño analógico, el conocimiento de los niveles de ruido generados por el circuito es de gran importancia. En todos los simuladores tradicionales tipo SPICE, el cálculo del ruido solo esta disponible para el análisis AC. En este caso se asume que el circuito tiene una polarización fija (punto de operación DC), y la simulación del ruido solo se puede aplicar a circuitos operando bajo condiciones de señal pequeña. Por esta razón, muchas aplicaciones no

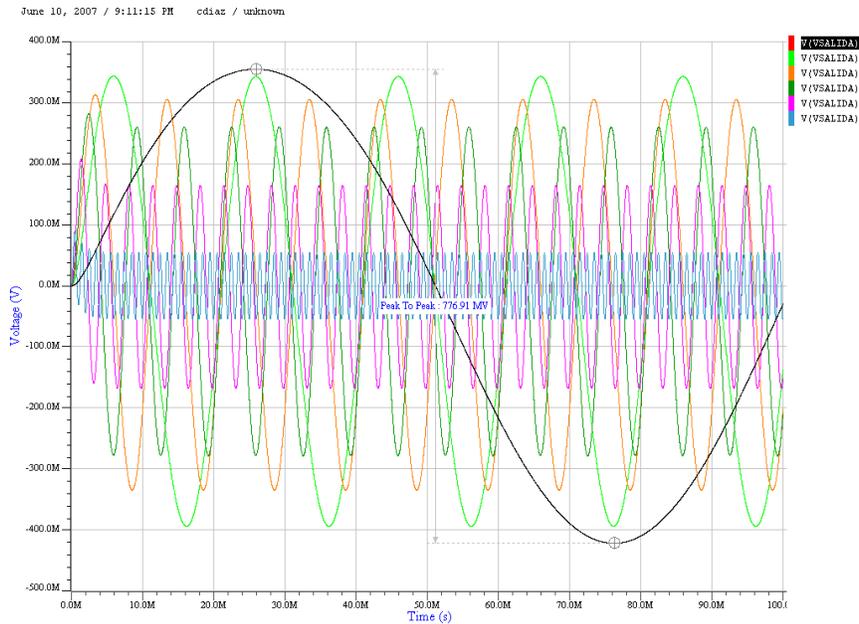


Figura 4.25: Resultado de la simulación temporal en lazo abierto. Las señales de entrada son de 10,50, 100, 300 y 1000 Hz, todas con amplitud de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp.

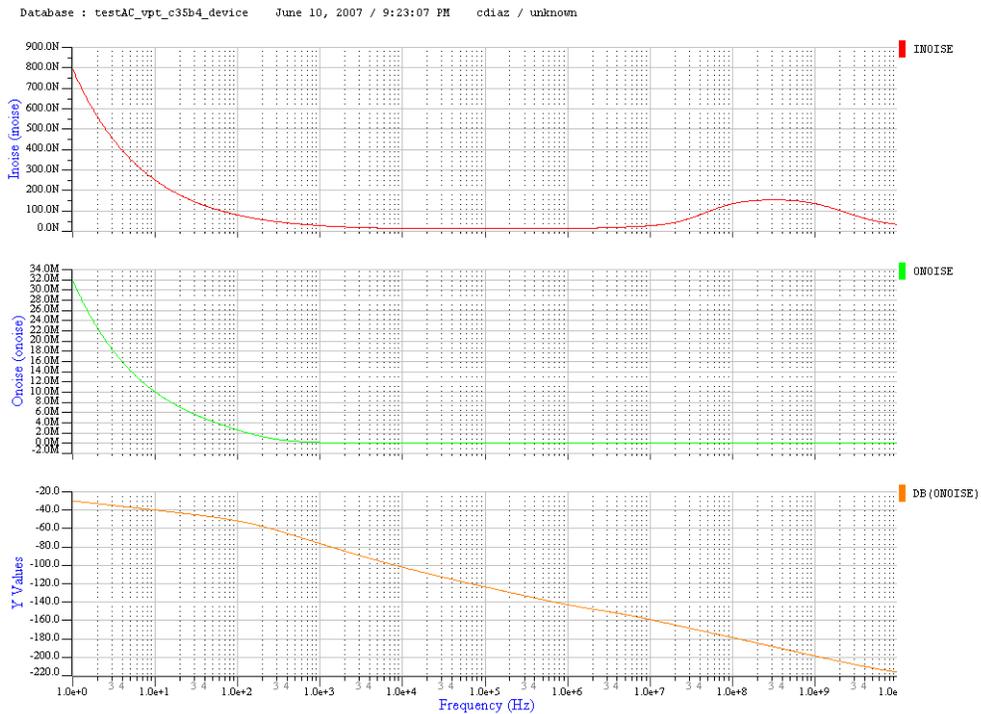


Figura 4.26: Simulación del ruido de entrada y salida del amplificador.

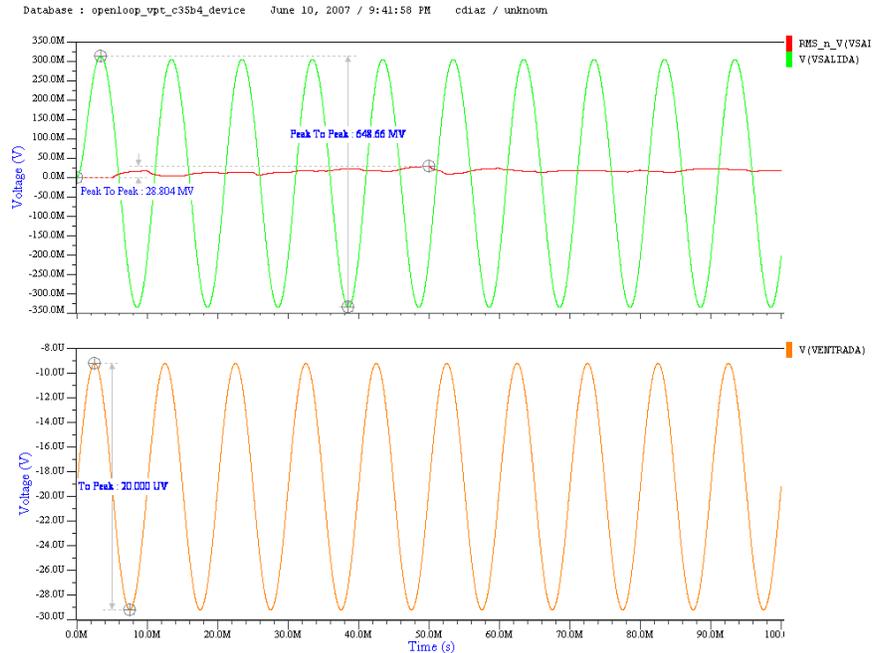


Figura 4.27: Resultado de la simulación temporal con ruido en lazo abierto. La señal de entrada es de 100 Hz con amplitud de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp.

pueden ser simuladas y su comportamiento respecto al ruido se desconoce hasta que es posible hacer la medición física en el diseño manufacturado. El único método alternativo para obtener esta información importante es el realizar cálculos tediosos a mano (cuando esto es posible). El simulador que se emplea en el paquete de ICflow, Eldo permite realizar la simulación del ruido durante el análisis transitorio para todo tipo de circuitos sin restricción alguna [21].

Para realizar la simulación del ruido transitorio se empleó la misma configuración de la sección anterior para el análisis transitorio, simplemente al seleccionar el tipo de simulación a realizar aparte de la opción de transient se selecciona también la de transient noise. El resultado se muestra en la Figura 4.27

4.4.6. Simulaciones de Lazo Cerrado con Compensación de Desvío de Entrada.

Para considerar el desvío en las configuraciones para obtener las simulaciones en tiempo, este simplemente se agrega en las propiedades de la señal de entrada.

Seguidor de Voltaje.

Al igual que en las simulaciones previas sin compensación de desvío, se introdujo una señal senoidal de $20\mu\text{V}_{pp}$ a 100 Hz, con la única diferencia de la introducción del desvío, que se aprecia en la señal de entrada de la Figura 4.28 como un desplazamiento hacia abajo, en la Figura se puede apreciar como la señal de salida aparece centrada exactamente en 0V, a la mitad del voltaje de amplificación total, y con una amplitud prácticamente igual a la de la entrada, lo que significa que amplifica correctamente y que el ajuste para la compensación del desvío de entrada que se hizo es

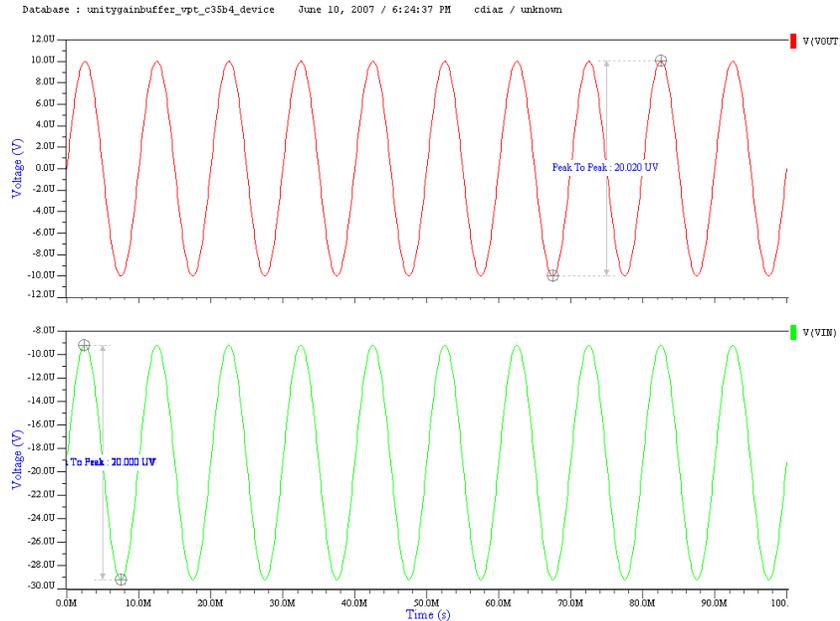


Figura 4.28: Gráfica de la salida del op amp para la configuración seguidor de voltaje. La señal de entrada es una señal senoidal de $20\mu\text{Vpp}$ a 100 Hz. Se puede observar en la salida un desvío de aproximadamente $19\mu\text{V}$.

perfecto.

Amplificador No Inversor.

A continuación se reproducen nuevamente las gráficas para ganancias de 10, 100, 1000 y 10,000 en las figuras 4.29, 4.30, 4.31 y 4.32.

En todas las gráficas anteriores se aprecia como la señal de salida se centra en los cero volts gracias al desvío de compensación que se agrega en la entrada.

Amplificador Inversor.

A continuación se presentan los resultados de la simulación llevada a cabo con la configuración de la Figura 4.33, que es la del amplificador inversor típico. Al igual que para la configuración del amplificador no inversor, se utilizó la misma señal de entrada y los mismos valores de ganancias, en las figuras 4.36, 4.35 y 4.34, en el apéndice E se incluye la Figura 6.

Se puede apreciar que las señales no se distorsionan al ser invertidas, y sin desvío a la salida. En cuanto al desvío de compensación en la entrada requerido para lograr que en la salida no se presente desvío, se hace la observación de que por estar en configuración inversora, debe de introducirse con el signo opuesto de como se había estado introduciendo, de no hacerlo así, el desvío que normalmente se presenta cuando no se compensa en la entrada resultaría ser del doble, como sucede en la Figura 4.34

En la Figura 7 ubicada en el apéndice E, se muestra una gráfica para una señal de entrada de 100 hz de $200\mu\text{V}$ pp, se muestra las salidas para dos voltajes de alimentación distintos de -1.5 a 1.5

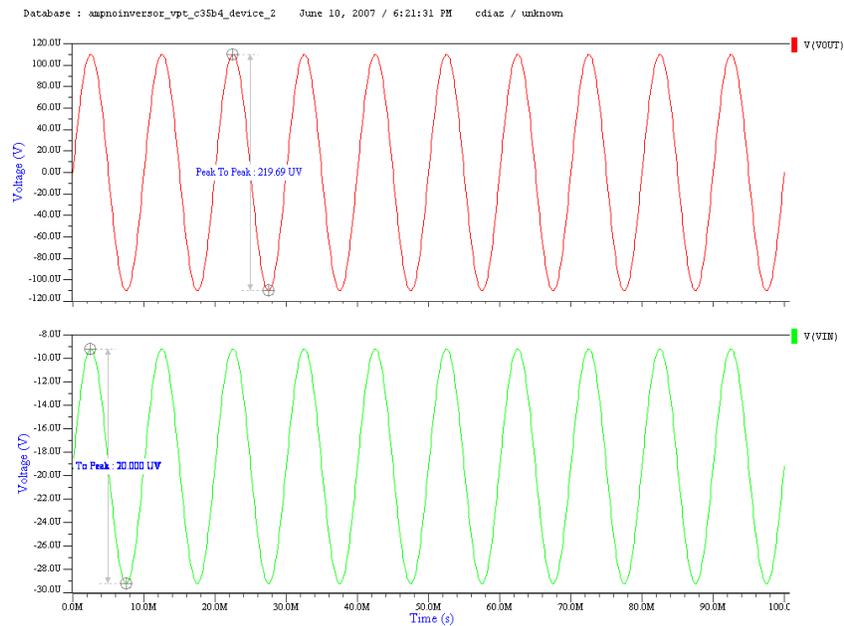


Figura 4.29: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=10$.

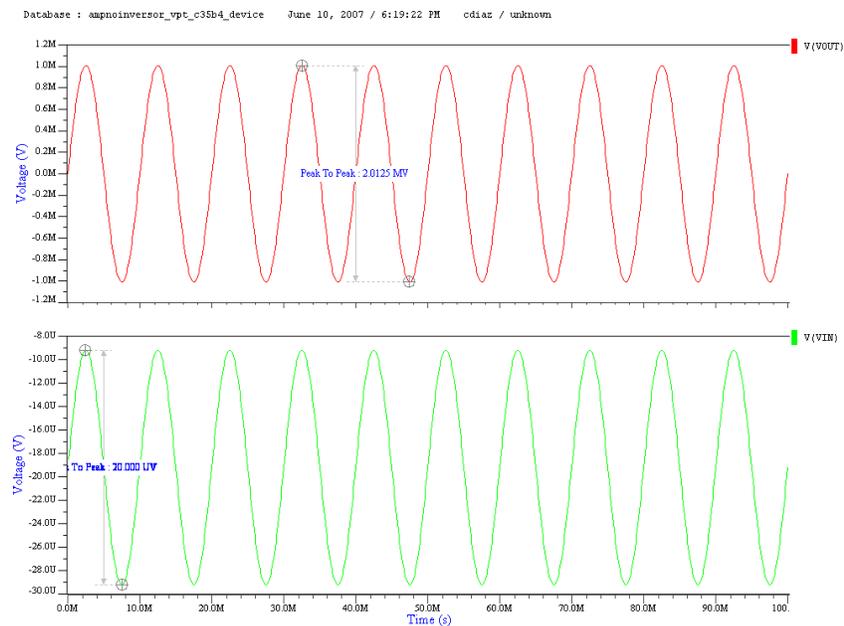


Figura 4.30: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=100$.

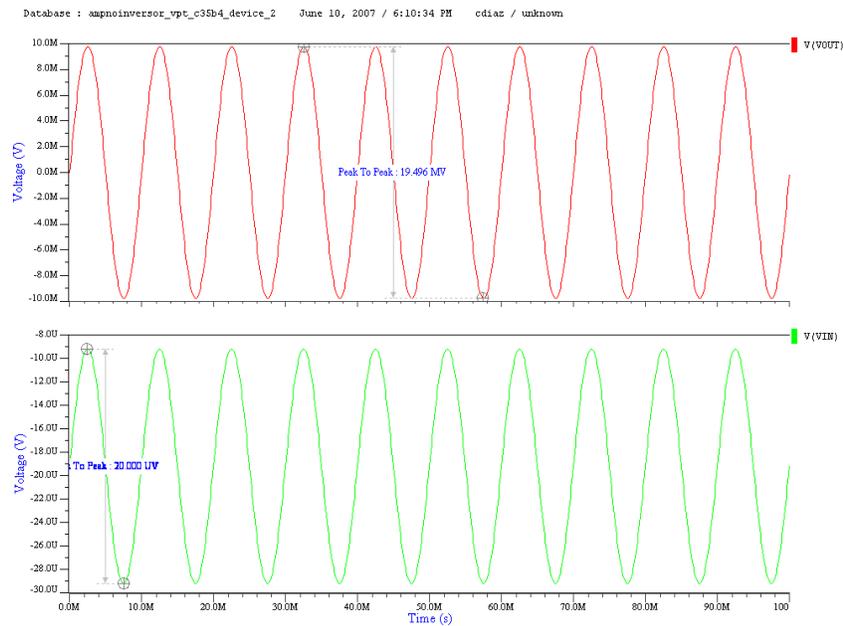


Figura 4.31: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$.

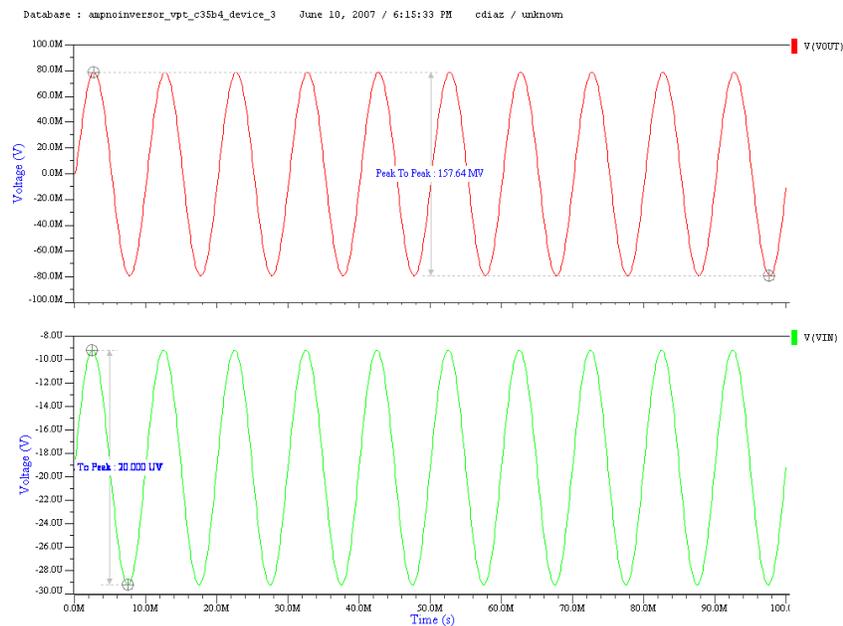


Figura 4.32: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=10000$.

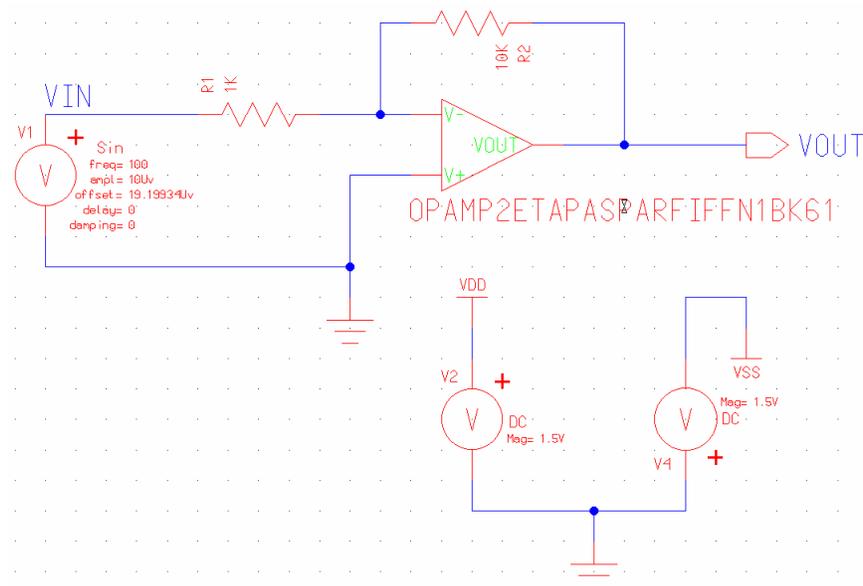


Figura 4.33: Configuración típica del amplificador inversor.

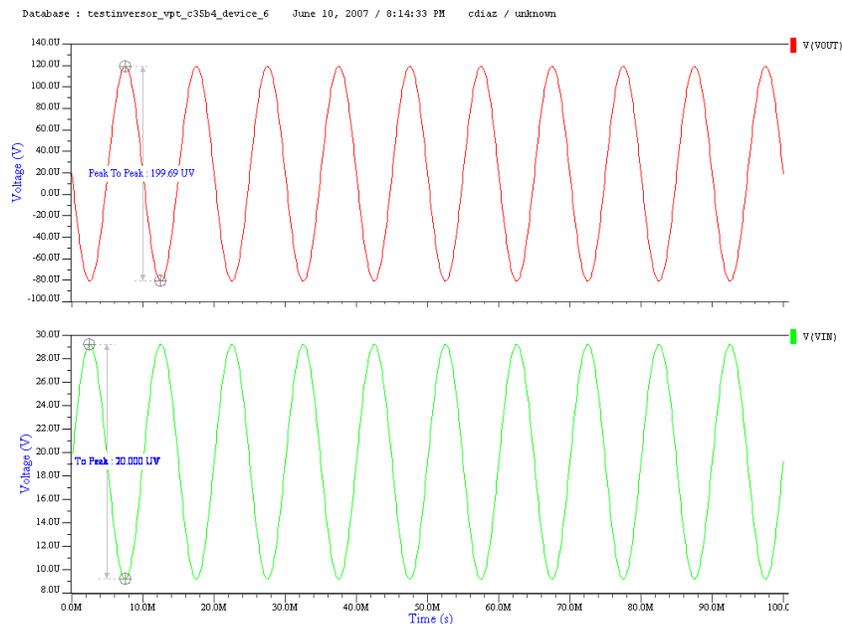


Figura 4.34: Resultado de la simulación para la configuración típica del amplificador inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=10$.

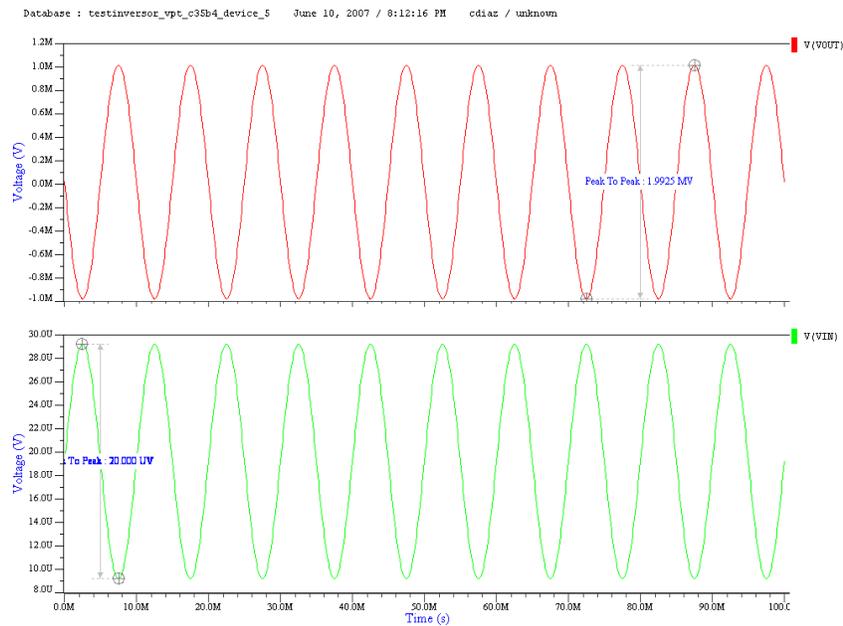


Figura 4.35: Resultado de la simulación para la configuración típica del amplificador inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=100$.

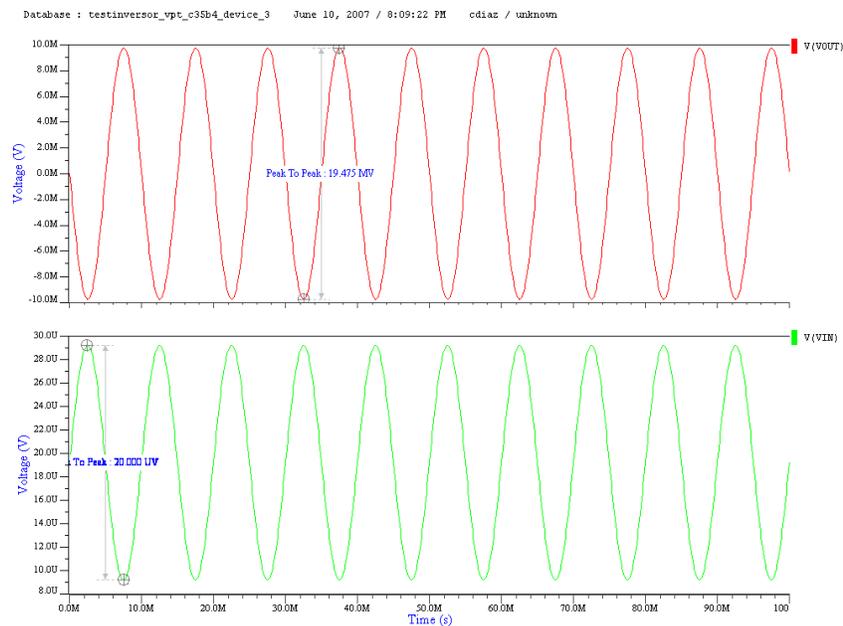


Figura 4.36: Resultado de la simulación para la configuración típica del amplificador inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$.

y de -2.5 a 2.5.

El motivo de presentar esta gráfica es para demostrar como el amplificador se satura distorsionando la señal para el voltaje de alimentación de 1.5 a -1.5, distorsión que se evita al aumentar el voltaje de alimentación a de -2.5 a 2.5. Para la alimentación mayor se presenta un desvío, se supone que ya se había solucionado esto con el ajuste hecho, sin embargo se hizo para una alimentación de -1.5 a 1.5, alimentación para la que en efecto la compensación sirve para que se centre en los 0V. La razón de que esto pase, es que el punto de operación para centrar la señal se efectuó basándose en el voltaje de alimentación menor. Esto quiere decir que el punto de operación también varía con el voltaje de alimentación, para centrar la señal que no aparece centrada sería necesario repetir el análisis de DC y los pasos previamente explicados para encontrar el desvío de compensación. A pesar de que una señal aparece desplazada hacia arriba, de la gráfica se aprecia con claridad que el voltaje de alimentación mayor permite que la señal no se achate, como ocurre con el voltaje de alimentación menor.

4.4.7. Simulaciones Temporales Incluyendo Resistencia de Carga.

En las configuraciones implementadas para las simulaciones previas no se incluye una resistencia de carga, esto es importante porque los dispositivos conectados a la salida del amplificador aparte de representar una carga capacitiva, también representan una carga resistiva. Aunque el objetivo para el que se diseñó la celda presentada en esta tesis es para servir como bloque funcional de una arquitectura mayor, esta celda por si misma que es un op amp puede implementarse como tal. Así de esta manera, si a la salida lo que se estuviera soportando fuera la compuerta de un transistor CMOS (una carga típica dentro del chip), la carga sería puramente capacitiva, y puede obviarse la resistencia de carga de las simulaciones, querría decir que las simulaciones anteriores están configuradas correctamente, suponiendo que la celda será un bloque de una arquitectura mayor, como originalmente se tiene previsto. La capacitancia de carga puede calcularse basados en el área del gate del transistor que se esta soportando (al que esta conectado la salida).

La carga más común fuera del chip es una sonda de osciloscopio. Las entradas típicas de un osciloscopio tienen una resistencia de entrada de $1\text{M}\Omega$ y una capacitancia de entrada de 15pF . Adicionalmente a la capacitancia del osciloscopio, el empaquetamiento básico y los cables añaden capacitancias. Si el chip se empaqueta con un empaquetamiento cerámico DIP (“Dual-Inline Package”) estándar, el empaquetamiento por si solo adhiere de $1\text{-}4\text{pF}$ a cualquier nodo dentro del chip conectado a un pin. Si se conecta el chip a una tabla de pruebas, ésta, puede sumar de $1\text{-}2\text{ pF}$ de capacitancia adicional a cada pin. Los cables coaxiales “BNC” que se usan para conectar el chip a un osciloscopio suman aun más capacitancia. Los cables coaxiales estándar tienen una capacitancia de aproximadamente 100pF/m . Se puede decrecer el efecto de carga del osciloscopio usando una sonda “ $10\times$ ”, que incrementa la resistencia de entrada desde un factor de 10 a $10\text{M}\Omega$. Teóricamente la capacitancia de entrada se disminuye por un factor de 10, pero en práctica permanece aproximadamente cerca de los 15pF (sin incluir la capacitancia extra del cable coaxial)[16].

En base a lo anteriormente expuesto se recomienda usar en las simulaciones una carga de $R_L=1\text{M}\Omega$ Y $C_L=30\text{pF}$. Esta carga aproxima la carga causada por el empaquetamiento típico y un osciloscopio típico con cables. Es un error común de diseñadores novatos simulen circuitos sin carga y luego queden sorprendidos cuando el chip se fabrica y los resultados medidos no concuerdan con las simulaciones, debido a la carga causada por el empaquetamiento y los instrumentos de medición [16].

La resistencia de carga no se había contemplado, pero la capacitancia de carga, sin embargo no

cuadra con la recomendación, ya que para el diseño se empleó de referencia una capacitancia de carga de solo 10pF. Sin embargo se debe recordar que en la rutina para que el diseño cumpliera con todos los requerimientos, se escaló la capacitancia C_c 3 veces, fijando la constante de escalamiento $KC_c=3$, aunque esto resultó de manera fortuita, en el sentido de que no fué una previsión, es equivalente a dejar $KC_c=1$ y cambiar el valor de C_L de 10 a 30pF, el valor justamente recomendado[16]. Aunque todas las simulaciones anteriores donde $C_L=10$ pF, demuestran que el op amp opera correctamente con esa carga capacitiva, pero la ideal es la de 30pF.

Las simulaciones se llevaron acabo utilizando la configuración del amplificador no inversor de la Figura 4.11, solo que con una resistencia de carga añadida a la salida. Los resultados se muestran en las figuras 8, 9 y 10 del apéndice E, para resistencias de carga de 100, 1M y 10M Ω respectivamente. La señal de entrada es la misma para todas las figuras, para poder apreciar con claridad el efecto de la resistencia de carga, es una senoidal de 100 Hz, de 10μ V pico.

De las figuras 8, 9 y 10, puede apreciarse que no existe gran variación al colocar y aumentar la resistencia de carga, de hecho conforme aumenta la resistencia de carga el voltaje tiende a estabilizarse hacia el valor en ausencia de resistencia, esto es lógico puesto que a la ausencia de resistencia de carga puede interpretarse como una resistencia de carga de valor infinito.

4.4.8. Configuración Ideal para la Aplicación como Amplificador de Señales de EEG.

Aunque el objetivo principal de la tesis es mostrar el proceso de diseño de un op amp CMOS, de forma metódica y respaldada por el previo análisis a mano, decidí incluir esta sección donde se ajusta de manera experimental el funcionamiento del op amp en configuración no inversora para que cumpla con los requerimientos especificados para la aplicación de amplificador de señales de EEG, haciendo uso exclusivo de la simulación. Se empleó la configuración para el amplificador no inversor de la Figura 4.11. En las distintas aproximaciones se ajustaron los valores de las resistencias para fijar el factor de ganancia G y el voltaje de alimentación empleado.

Para hacer el ajuste se partió de que el requerimiento de que la amplitud máxima de la señal de EEG que es de 200μ V pp de como resultado una señal de salida de 2Vpp, lo que significa una ganancia efectiva de 10,000V/V o 80dB.

La primera aproximación que se efectuó, se logró fijando un factor $G=15K$ y para evitar la saturación de la señal, se incrementó el voltaje de alimentación de -1.5 - 1.5 a -2.5 - 2.5. El resultado se muestra en la Figura 4.37.

De la Figura 4.37, puede apreciarse que el voltaje pico a pico se aproxima casi exactamente al buscado, sin embargo esta aproximación no resultó satisfactoria en razón de que puede apreciarse un desvío en la salida de 0.1 volts, desplazamiento que aparentemente se compensa y no de manera completa en el límite superior de la señal de salida, pero dicha compensación no ocurre con el límite inferior, del que se esperaría estuviese alrededor de los -0.9V cuando se mantiene a -1V. Esto significa que la señal no esta equilibrada, ocurre una pequeña distorsión. La razón de que el desvío no aparezca bien compensado es en razón del cambio al voltaje de alimentación, para lograrlo tendría que repetirse el análisis de DC y los pasos que se detallan en la sección 4.4.4. Sin embargo la compensación del desvío no solucionaría el efecto de la distorsión de la señal. La Figura 4.24 sirve para justificar esta afirmación, en dicha Figura donde la señal de salida es una señal saturada se aprecia como el V_{outmax} y el V_{outmin} no son simétricos para este amplificador a esos niveles de voltaje. De las simulaciones en tiempo previas que incluyen la compensación de desvío, el máximo rango de simetría para el V_{out} y V_{outmin} , se aprecia en la Figura ??, que abarca el rango de los

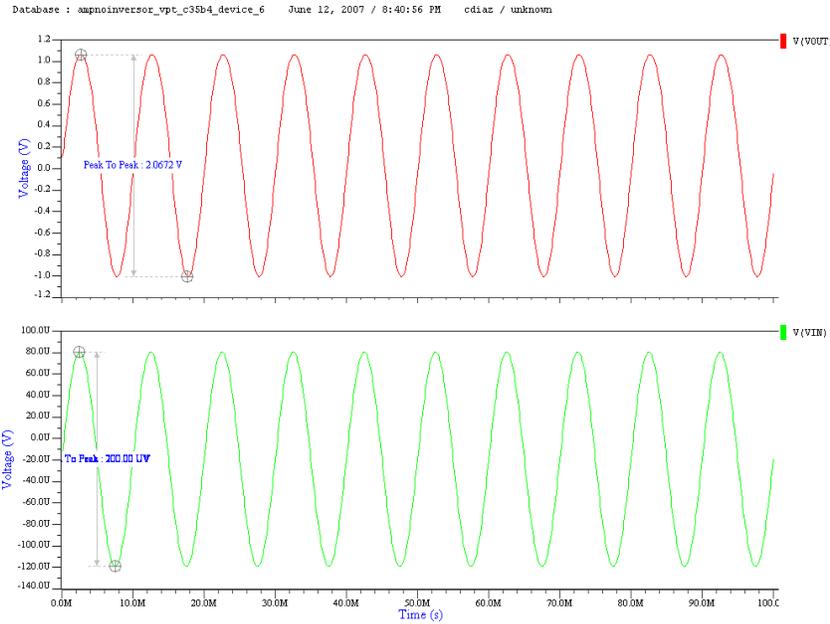


Figura 4.37: Resultado de la simulación para la primera aproximación del amplificador de señales de EEG. La señal de entrada es de 100 Hz, de $100\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=15\text{K}$, resistencia de carga de $10\text{M}\Omega$, $\text{VDD}=2.5$ y $\text{VSS}=-2.5$.

$\pm 100\text{mV}$, en las simulaciones previas no se hace un análisis exacto del máximo rango de voltaje para el cual la señal mantiene su simetría respecto al eje x, es un punto que queda pendiente que sería interesante completar preferentemente basados en la configuración del amplificador inversor o el no inversor.

Considerando la falta de simetría en la señal para alimentación simétrica, para los rangos a donde quiere llevarse la señal, se procedió a experimentalmente modificar el rango de alimentación, de manera intuitiva se procedió a disminuir la magnitud de VSS , sabiendo que esto limitaría el rango de Voutmin , de esta manera se llegó a la segunda aproximación donde $\text{VDD}=2.5\text{V}$, $\text{VSS}=-1.7$ y G se mantuvo en el valor de la aproximación anterior. Los resultados se muestran en la Figura 4.38.

El ajuste de la Figura 4.38 es casi perfecto, no hay desvío en la salida, pero aun se nota una ligerísima distorsión hacia el Voutmin , de aproximadamente 0.02V , al aumentar el factor de amplificación esta distorsión logró reducirse, de manera que el factor de amplificación de la aproximación final quedo fijo en $26\text{K}\Omega$, la configuración se muestra en la Figura 4.39 y los resultados se presentan en la Figura 4.40

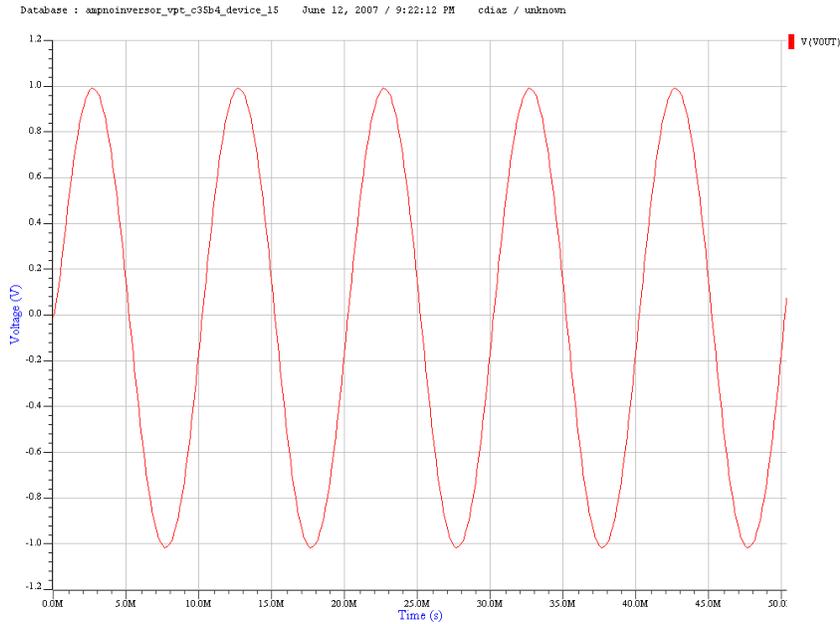


Figura 4.38: Resultado de la simulación para la segunda aproximación del amplificador de señales de EEG. La señal de entrada es de 100 Hz, de $100\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=15\text{K}$, resistencia de carga de $10\text{M}\Omega$, $\text{VDD}=2.5$ y $\text{VSS}=-1.7$.

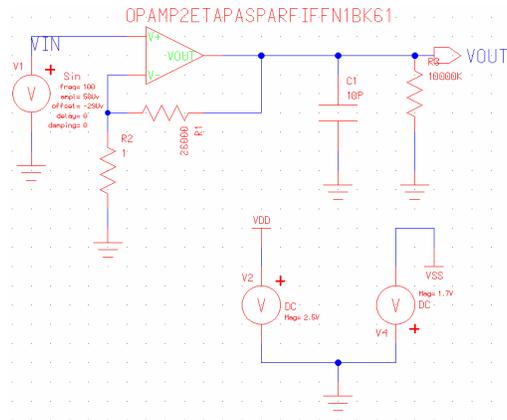
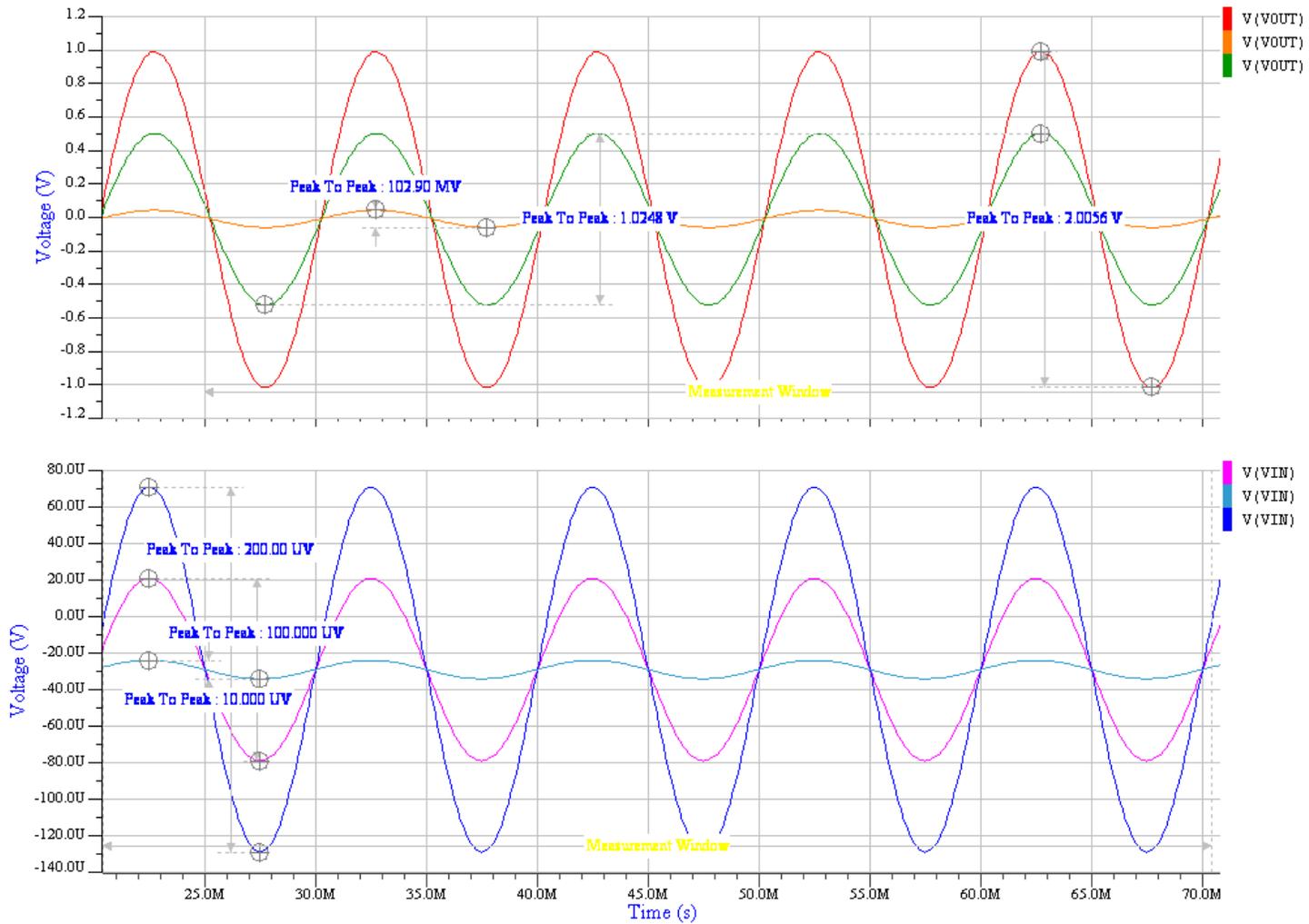


Figura 4.39: Configuración del amplificador de señales de EEG. La señal de entrada es de 100 Hz, de $100\mu\text{V}$ pico, $200\mu\text{V}$ pp. Factor de amplificación $G=15\text{K}$, resistencia de carga de $10\text{M}\Omega$, $\text{VDD}=2.5$ y $\text{VSS}=-1.7$.

June 12, 2007 / 9:46:52 PM cdiaz / unknown



100

Figura 4.40: Resultado de la simulación para la tercera aproximación del amplificador de señales de EEG. La señal de entrada es de 100 Hz, de $100\mu\text{V}$ pico, $200\mu\text{V}$ pp. Factor de amplificación $G=15\text{K}$, resistencia de carga de $10\text{M}\Omega$, $V_{\text{DD}}=2.5$ y $V_{\text{SS}}=-1.7$.

En la Figura 4.40, se incluyeron señales de entrada de 10, 100 y 200 μVpp para representar una mejor muestra de señales características de EEG. Se puede apreciar la buena calidad de las señales de salida, sin desvío, con la amplificación efectiva deseable y sin distorsión.

Con la configuración final escogida se procedió a hacer el análisis en frecuencia AC y de ruido en las figuras 11 y 12 colocadas en el apéndice E. La configuración del esquemático es idéntica a la de la Figura 4.39, exceptuando la fuente en la entrada, que se sustituye por una fuente de AC.

Capítulo 5

Trazado(Layout).

Este capítulo describe el diseño de layout para el amplificador, aunque se encontró una configuración ideal para el amplificador de señales de EEG buscado (sección 4.4.8), este funciona con características no deseables como la alimentación asimétrica, además de cualquier forma dicha configuración parte de la celda op amp diseñada. Además la celda op amp es un bloque funcional que puede servir para muchas otras configuraciones, o por sí misma con los paths de salida adecuados, fabricarse como un op amp CMOS.

Después de obtener una simulación satisfactoria del diseño, el siguiente paso es la implementación física en layout. Los aspectos físicos del diseño ejercen una fuerte influencia en el desempeño eléctrico del dispositivo. No se puede asumir que el diseño está completo sin considerar cuidadosamente la implementación física. Un buen diseño eléctrico puede arruinarse por un diseño físico o layout deficientes.

El diseño del layout con herramientas de software que solo permitan la edición de polígonos no es algo trivial, aparte de requerir de los conocimientos eléctricos necesarios, requiere del conocimiento en detalle del proceso con el que será implementado, lo que es muy difícil por todas las consideraciones que deben de hacerse.

En el capítulo anterior se explicó de manera breve el software empleado en la elaboración de esta tesis, y en la sección 4.2 se indicaron las consideraciones que deben de hacerse para que haya compatibilidad al hacer el layout mediante la técnica de SDL.

El proceso optado para la celda op amp, fue el proceso de 0.35 micrones de austriamicrosystems C35B4C3 (“standard top metal”), el cual es un proceso CMOS digital y analógico de alto desempeño, que tiene cuatro capas de metal, dos capas de poly y una capa de poly de alta resistencia. Con voltajes de alimentación de 3.3 y 5V

5.1. Layout Dirigido por Esquemático (SDL).

El proceso de SDL se inicia creando una nueva vista de nuestro diseño, se escoge la vista de layout y se selecciona como fuente un view point creado a partir del esquemático. La metodología indicada por Mentor Graphics indica que debe de seleccionarse como fuente el esquemático, lo cual es efectivo si no se está usando el HIT-kit de AMS. En la información que puede accederse libremente desde las páginas Web de austriamicrosystems [8] y [9] es donde se indica como se crea el viewpoint y el procedimiento para el SDL.

Al crearse la vista se abre la aplicación de IC station, que sirve para la edición de capas para

poder diseñar físicamente circuitos integrados. Se abrirá una ventana para la edición del layout junto con la ventana que muestra el esquemático del diseño, si no se abre se selecciona en el menú *Open* → *Open Logic* para abrir la ventana donde aparece el esquemático.

En la página Web de AMS [9], se indican los pasos a seguir para la realización del layout mediante la técnica de SDL. Para colocar los elementos se seleccionó la herramienta de *place* → *Inst* de la pestaña *place & route* del menú principal colocado en la parte lateral derecha de la pantalla. Esta herramienta permite ir colocando uno por uno cada elemento, todos los elementos se forman de manera automática con los generadores del HIT-Kit, solo se tienen que colocar, todos a excepción del capacitor, para el cual, cuando llega su turno de ser colocado se pide que se trace una línea de poly, esta línea debe de ser del largo que puede apreciarse en las propiedades del capacitor en el esquemático, al haberlo trazado simplemente se da doble clic y el capacitor se coloca, conforme se van colocando los elementos se van trazando las líneas guía, que guardan la conectividad del esquemático para posteriormente trazarse con pistas de metales conductores.

Deben de ajustarse las dimensiones de los transistores, ya que originalmente aparecen con las dimensiones indicadas por el esquemático, y las relaciones de aspecto de transistores M6 y M7 son mucho mayores en comparación a las de los demás transistores. Para solucionar esto se selecciona en el menú del lado derecho *DLA Layout* → *Dedit* → *Fold*, que permite doblar o partir los transistores, de manera de obtener un transistor equivalente con una relación de aspecto menor, tal que permita un mejor acomodamiento en la celda, buscando aprovechar de manera mas eficiente el área y una relación de aspecto lo mas cercana posible a la unidad. El valor que se introduce es el del número de dobleces que se requieren. De manera experimental se consideraron que los valores apropiados eran de 6 y 8 dobleces para los transistores M6 y M7 respectivamente.

El problema de las dimensiones de los dispositivos también se presentaba con la resistencia, pero para esta el número de dobleces se define desde que se incluye en el esquemático como se explicó en la sección 4.2.

En la figura 5.1 se muestran los elementos colocados a partir del esquemático sin haber hecho aún el ruteo.

En la figura se aprecian sin rutear los bosquejos de los 8 transistores, la capacitancia y la resistencia que conforman el circuito.

Por la falta de experiencia en el diseño del layout se decidió copiar la celda de la figura 5.1 y pegarla con otro nombre, con el objetivo de hacer el ruteo y la colocación de puertos a partir de la celda copiada, y así poder dejar la celda de la figura 5.1 disponible para poder completarse de otra manera, que pudiera ser mas correcta.

A partir de la nueva celda copia de la original se procedió a colocar los puertos, esto se hizo utilizando la herramienta de colocación automática de puertos (*Autoplace* → *Ports*), esto crea un marco alrededor de la celda y coloca los puertos sobre este marco, los puertos pueden moverse si se quiere otra distribución.

El ruteo se llevó a cabo usando las herramientas de ruteo de “Point to Point” y el “Iroute”, la primera permite trazar de manera automática una pista de metal conductora señalando los puntos que quieren unirse, si existe la necesidad de hacer cambio del nivel de la pista de metal para evitar corto circuitos, lo hace de manera automática colocando las vías necesarias. El Iroute permite que el usuario seleccione la trayectoria del ruteo, la principal ventaja de esta herramienta es que permite cambiar de capa conductora, presionando la barra espaciadora, en las uniones de distintas capas permite hacer el cambio de vía necesaria para hacer la conexión correcta dependiendo de las capas que se conectarán, marcando con ✓ cuando se tiene seleccionada la vía adecuada. Iroute toma

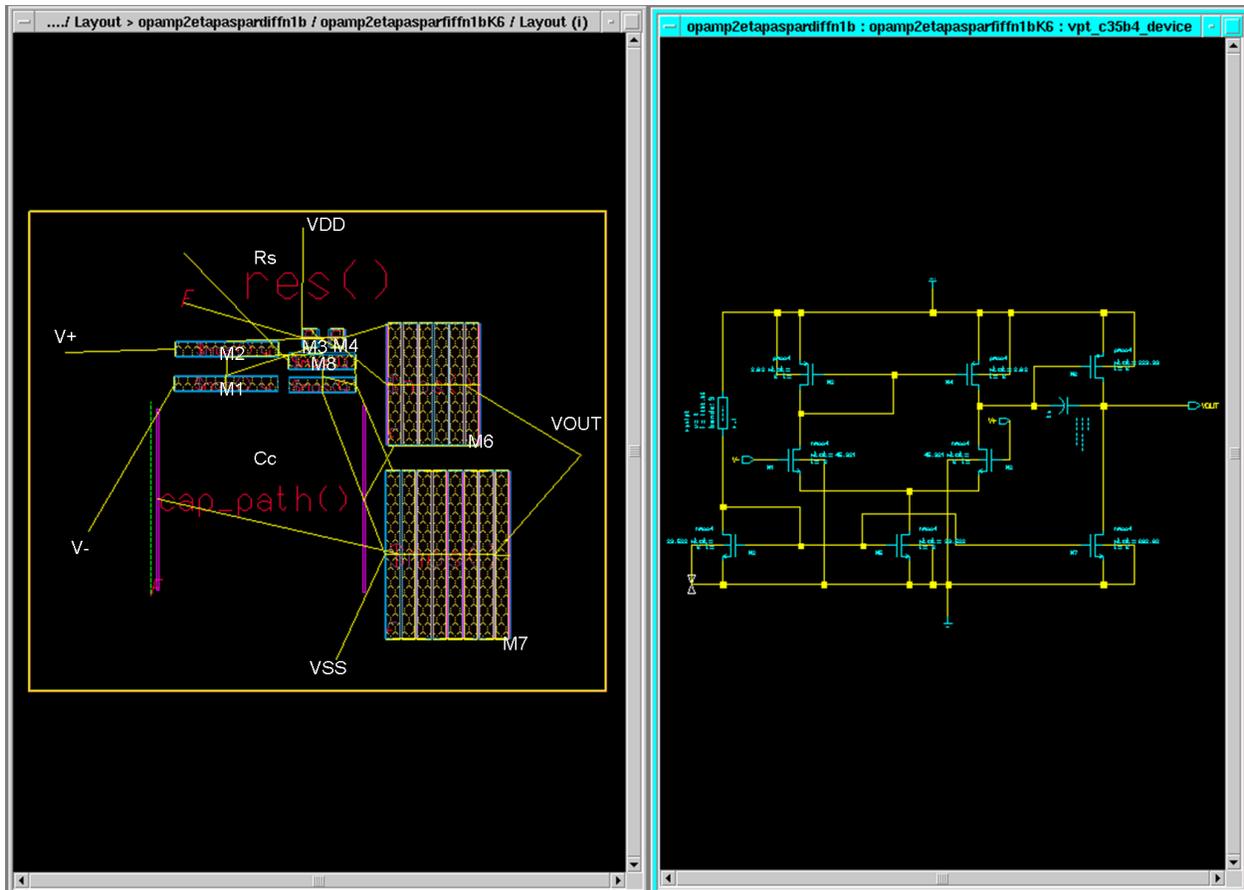


Figura 5.1: Figura que muestra el layout de los elementos colocados con las líneas de guía que representan la conectividad cuya fuente es el esquemático colocado al lado derecho.

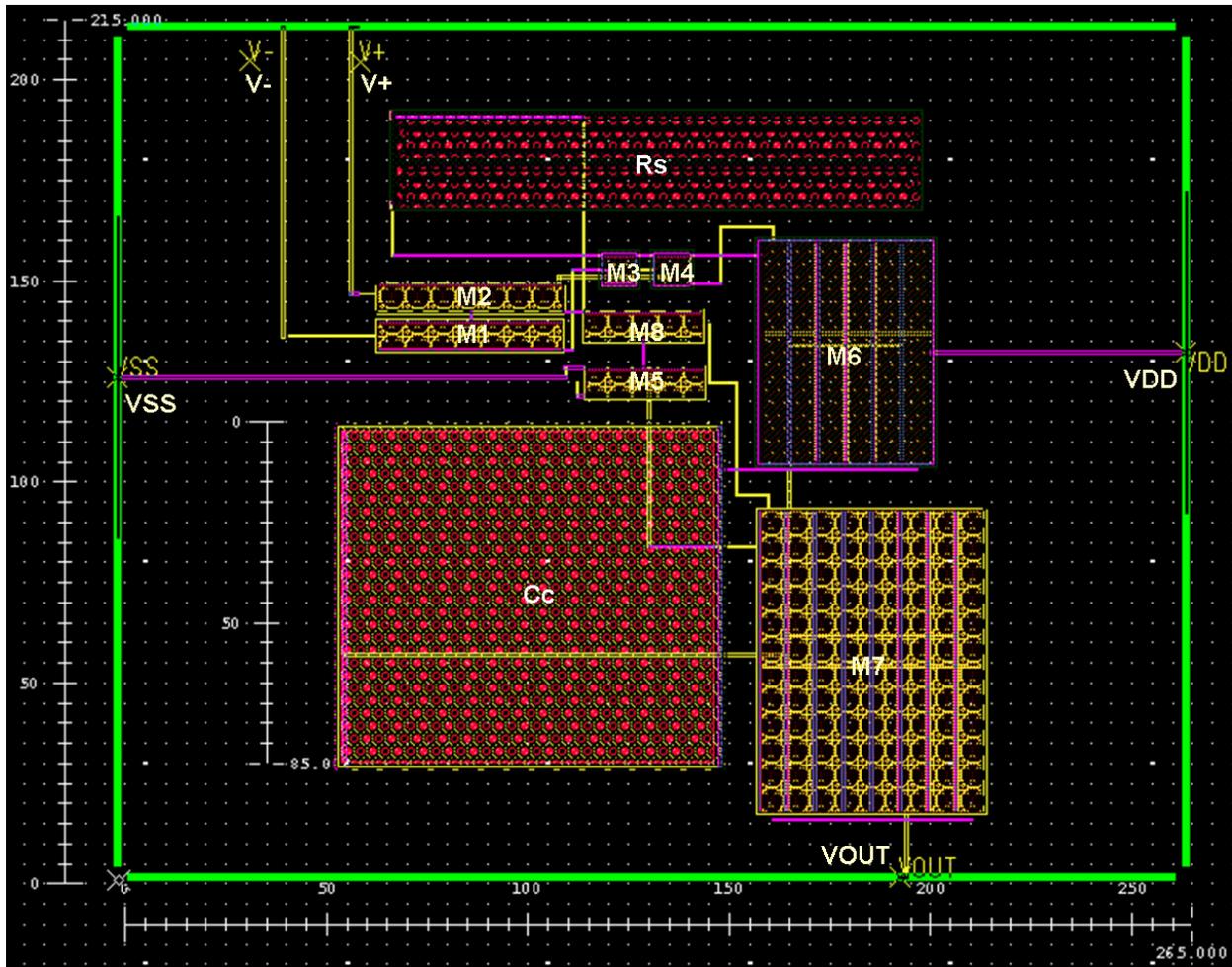


Figura 5.2: Primer layout terminado de la celda op amp.

cuidado de las reglas de diseño. Haciendo uso de estas herramientas se hizo el primer ruteo de la celda, el resultado se muestra en la figura 5.2

En la parte superior central de la celda se puede observar la resistencia, los transistores pequeños de forma casi cuadrada colocados bajo la resistencia en la parte central, son los transistores de la carga espejo de corriente de la primer etapa M3 y M4, también abajo de la resistencia pero bajo el extremo izquierdo, se encuentran los transistores de entrada M1 y M2. Abajo de los transistores M3 y M4 esta el transistor M8 y bajo este el transistor M5. Los rectángulos del lado derecho de la celda bajo la resistencia son los transistores M6 (el de arriba) y M7 (el de abajo). El cuadrado grande de la parte inferior izquierda es el capacitor de compensación C_c . En la figura se colocaron unas “reglas”, que físicamente no forman parte del layout, tan solo se colocaron para poder apreciar las dimensiones del layout. La celda es de aproximadamente $265 \times 215 \mu\text{m}$, se aprecia a simple vista que el área de la celda aun puede reducirse considerablemente puesto que sobra bastante espacio entre la ubicación de las barras donde están colocados los puertos y los elementos del layout. Esta colocación no se hizo así de manera intencional, se definió de esa manera debido que se seleccionó la opción de la colocación automática de puertos. Aún con este ajuste pendiente, según la tabla 2.2.2,

cumple holgadamente con el requerimiento del límite del área, como se demuestra a continuación.

El Área de layout (A_{lay}) debe cumplir con la siguiente condición:

$$A_{lay} \leq 5000 \times (l_{min})^2 \quad (5.1)$$

Al evaluar las dimensiones del layout de la figura y la longitud mínima de canal (l_{min}) que es de $6\mu m$, se obtiene la siguiente desigualdad:

$$56,975\mu m^2 \leq 5000 \times 6\mu m^2 \quad (5.2)$$

$$56,975\mu m^2 \leq 180,000\mu m^2 \quad (5.3)$$

La desigualdad se cumple, A_{lay} es aproximadamente 3 veces menor que el límite.

5.2. Verificación del Layout.

Antes de comenzar a verificar la celda deben de colocarse etiquetas a los puertos para que el archivo de reglas pueda reconocer la conectividad especialmente para la comprobación de las reglas eléctricas y para reconocer los puertos si se usa Calibre [9].

Para verificar la celda se da click en *ICrules* \rightarrow *Check*, para comprobar el layout con las reglas de diseño y geometría especificadas en el archivo de reglas. Después de correr *ICrules* se detectaron varios defectos en el diseño del layout, los cuales fueron corregidos, entre los errores que salieron estaba la mala colocación de algunos paths, el ancho de los puertos de alimentación (lo cual se tuvo que solucionar con edición de polígonos) y la distancia entre unas pistas conductoras de metal. También marcaba el error de que estaban perdidas las capas FIMP y NLDD, lo cual se solucionó como se explica en [9], al dar click en *Hit-Kit Utilities* \rightarrow *Generated Layers* y en el menú seleccionar las capas faltantes. Después de corregir todos los errores para los que se pudo entender el origen, se obtuvo el diseño de layout para el op amp que se muestra en la figura 5.3

Para una mejor apreciación del layout se tomaron acercamientos para mostrar mas en detalle los transistores y los puertos en las figuras 5.4, 5.5, 5.6, 5.7 y 5.8.

También se empleó el “short-checker ” para verificar que no existieran cortos circuitos, el test paso sin detectar cortos. Además se corrió el “Antena Check ”, del cual deben de corregirse todos los errores, lo cual no fue necesario ya que no detectó ninguno.

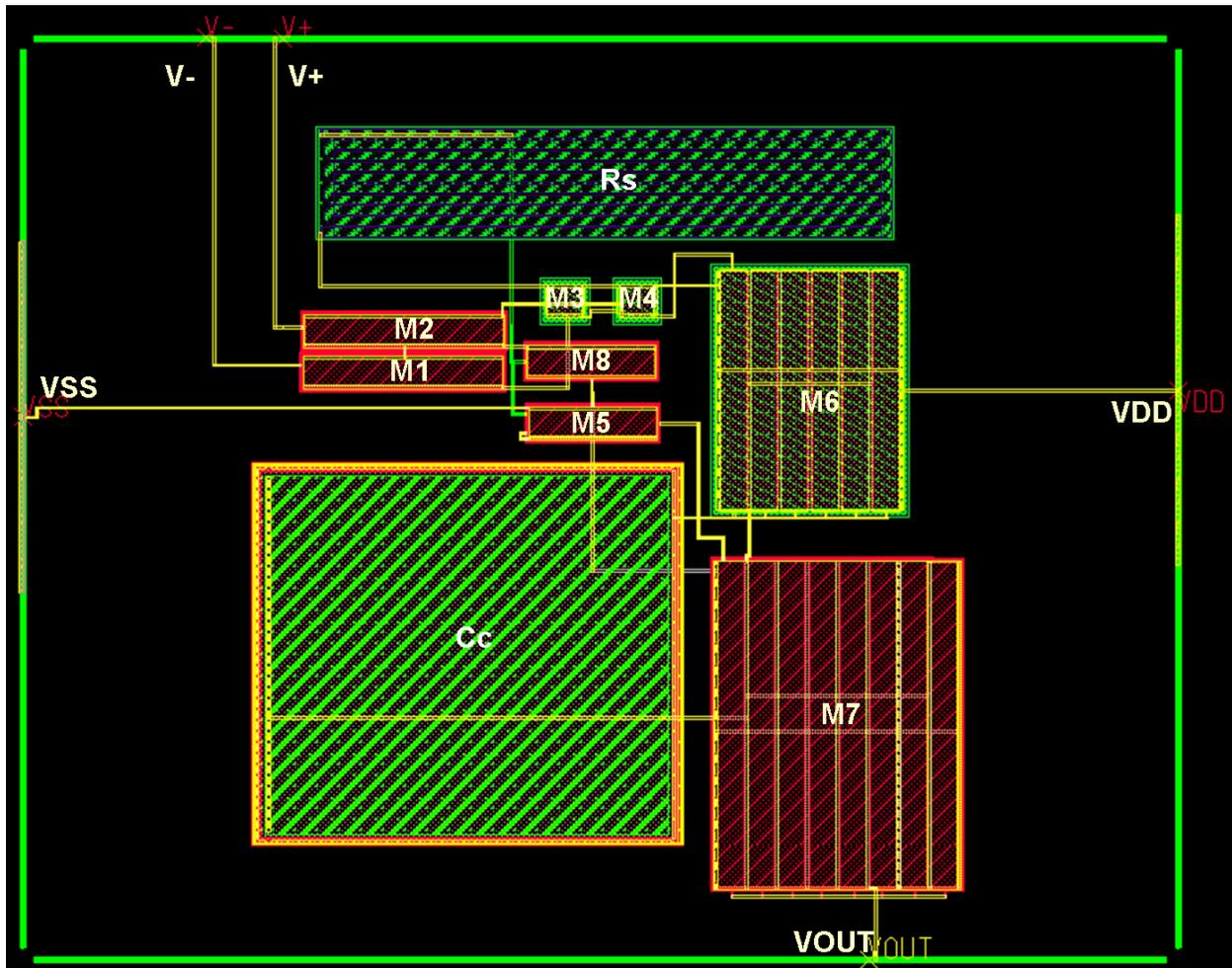


Figura 5.3: Layout definitivo de la celda op amp.

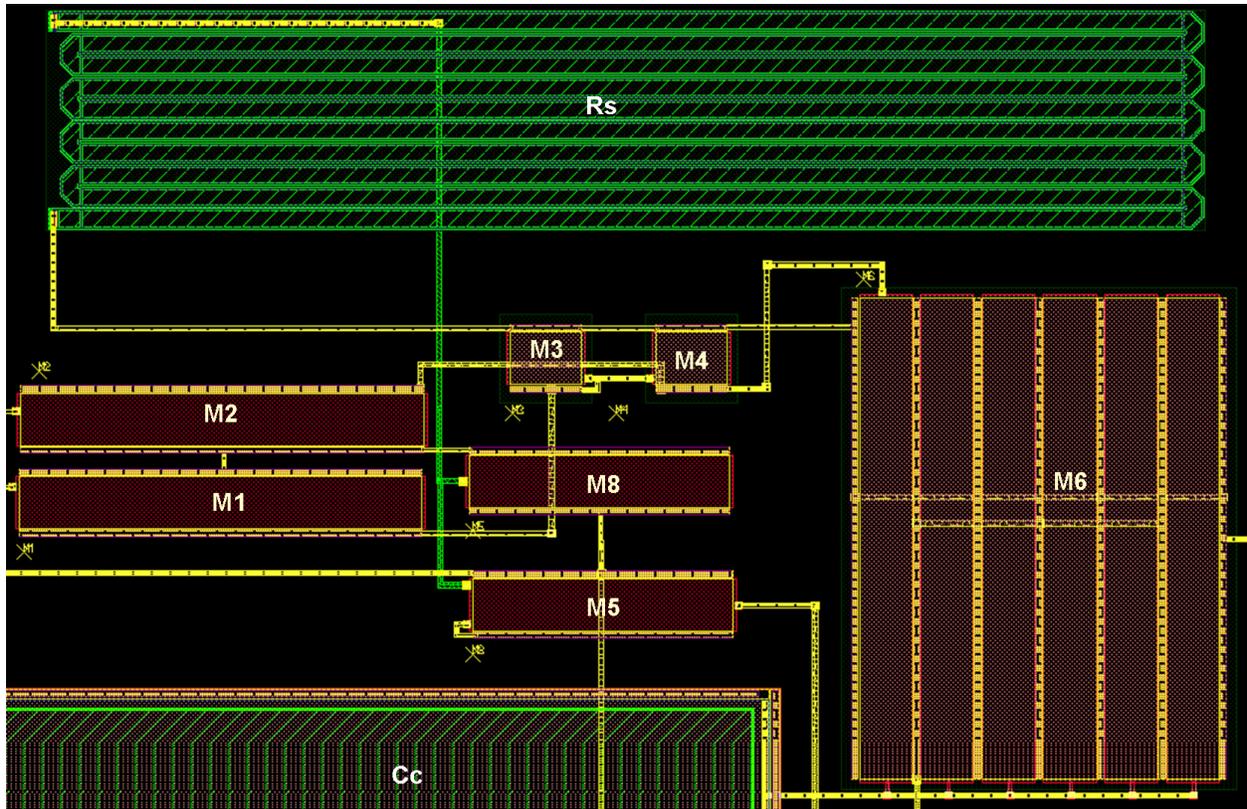


Figura 5.4: Acercamiento al layout definitivo de la celda op amp. Se aprecian los transistores M1, M2, M3, M4, M5, M6 y M8 además de la resistencia R_s y el borde superior derecho del capacitor C_c .

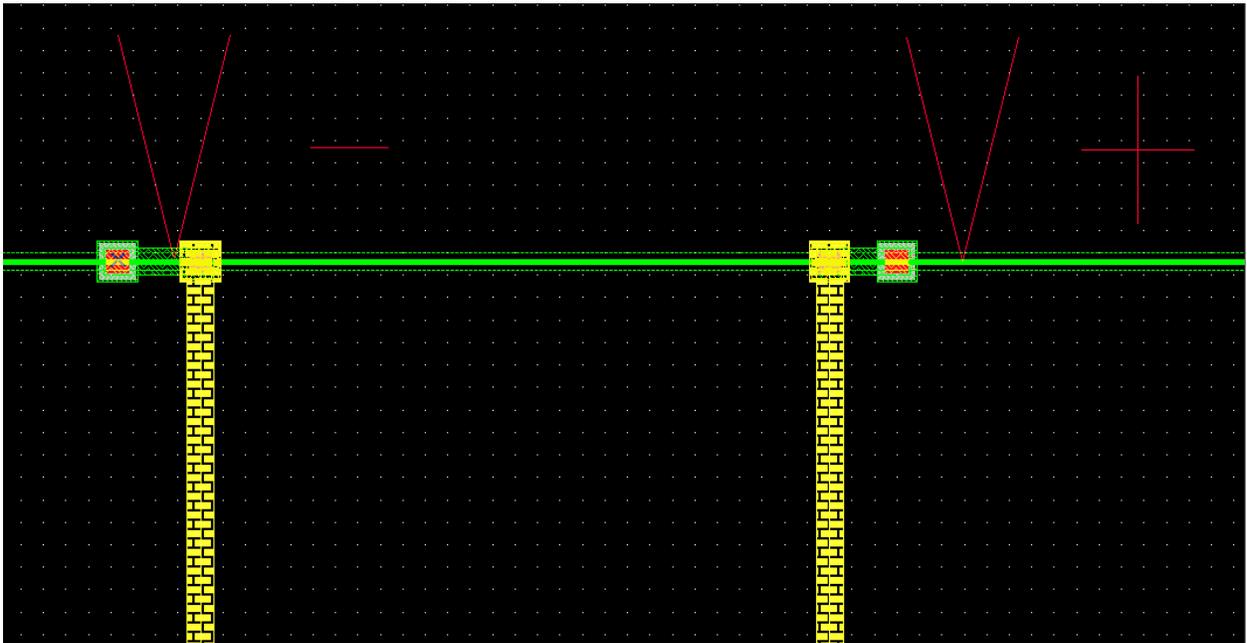


Figura 5.5: Acercamiento al layout definitivo de la celda op amp. Se aprecian los puertos de entrada V+ y V-.



Figura 5.6: Acercamiento al layout definitivo de la celda op amp. Se aprecia el puerto de alimentación VDD.

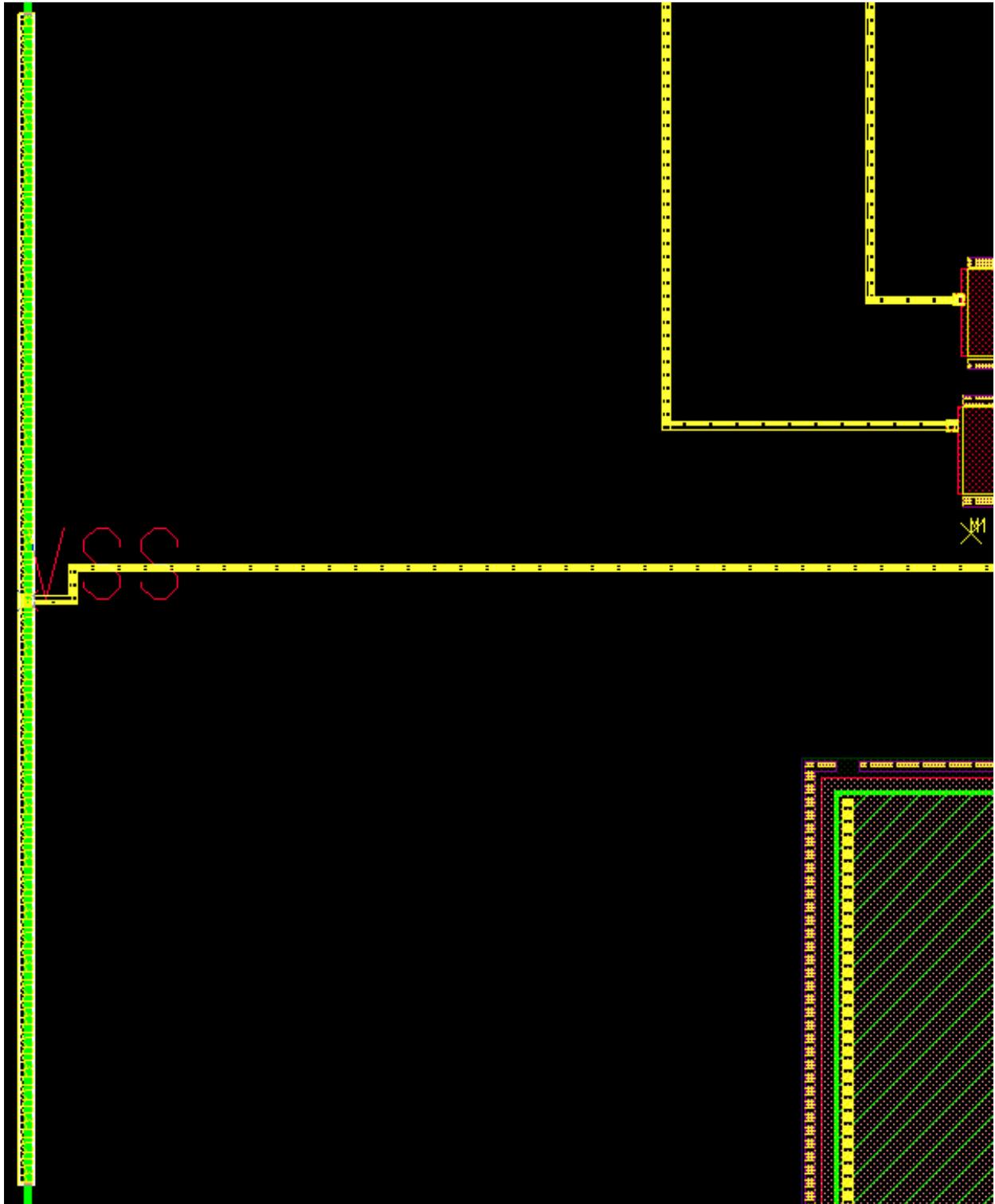


Figura 5.7: Acercamiento al layout definitivo de la celda op amp. Se aprecia el puerto de alimentación VSS.

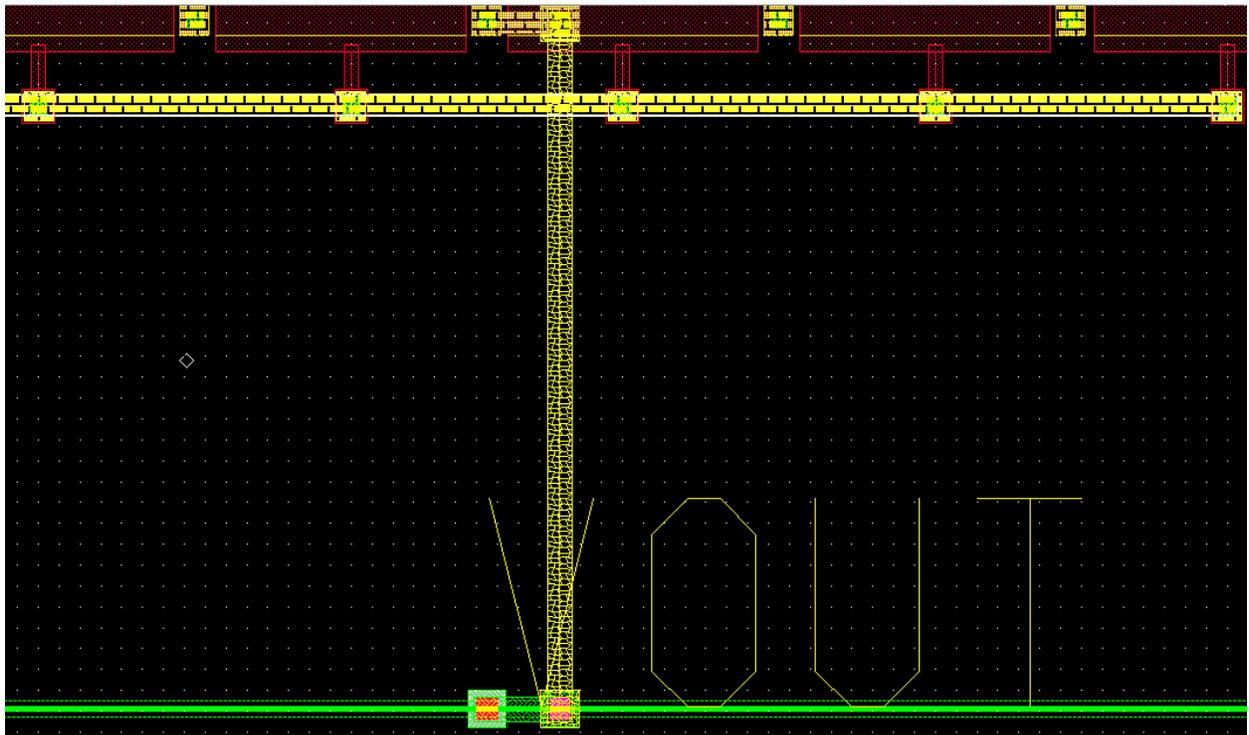


Figura 5.8: Acercamiento al layout definitivo de la celda op amp. Se aprecia el puerto de salida VOUT.

Capítulo 6

Conclusiones.

En esta tesis presenté el flujo de diseño completo de un circuito integrado; desde su concepción, pasando por los cálculos matemáticos, captura esquemática, simulación, trazado (layout) y verificación. El circuito implementado es una celda op amp CMOS de propósito específico, para la adquisición de señales de EEG. El diseño del op amp es un proceso reiterativo que requiere de muchos ajustes, para poder hacerlo mas eficiente y rápido implementé la metodología del proceso de diseño del amplificador de dos etapas típico en una rutina de MATLAB. Con la rutina en primera instancia, logré obtener una aproximación que cumpliera con todas las especificaciones requeridas por el proceso de diseño capturado; si no se cumple con alguno de los requerimientos la rutina avisa en pantalla con cual requerimiento no se está cumpliendo. Dado que el método de diseño se centra en encontrar los valores para las relaciones de aspecto de los transistores, fue sencillo lograr que con la rutina se pudiera definir el W y L de los mismos, a parte de poder escalarlos, lo que repercute en la disminución del parámetro de modulación del canal λ , y en consecuencia dada la relación 3.40 en el aumento de la ganancia. En la etapa de simulación, escalando las relaciones de aspecto de los transistores se obtuvieron seis aproximaciones, con el objetivo de cumplir con el requerimiento para la ganancia de lazo abierto, este requerimiento lo verificaba mediante simulaciones en AC del amplificador(4.4.1), para las cuales, en principio, no hice el análisis de compensación de desvío de entrada (4.4.4). Este análisis lo realicé después de haber seleccionado la aproximación a implementar (la 6), y simulé nuevamente, ya con la compensación de desvío incluida, lo que resultó en una mayor ganancia que la prevista por la simulación sin la compensación incluida (aproximadamente 10dB mayor). Después de la etapa de simulación, seguí con la etapa de implementación del trazado (layout), mediante la técnica de trazado dirigido por esquemático(SDL). Por último se verifiqué la celda e hice las correcciones del layout indicadas por la verificación, para por último obtener el layout final que se aprecia en la figura 5.

Se puede concluir lo siguiente:

- En esta tesis demuestro la relación directamente proporcional entre las dimensiones de los transistores y la ganancia de lazo abierto del amplificador.
- Al hacer las simulaciones en el dominio del tiempo y frecuencia pude comprobar la estabilidad del amplificador, lo que verifica la fiabilidad de la rutina implementada.
- Las simulaciones complementarias que se incluyen (temperatura, ruido, análisis montecarlo), indican que aunque quizá la celda no está optimizada, es fabricable.

- Al hacer el barrido de DC para encontrar el desvío de compensación de entrada y calcular la pendiente del rango lineal de la salida del amplificador, encontré un valor para $m \approx 91.84$ dB (4.4.4) equivalente a la ganancia máxima de lazo abierto del op amp, este resultado concuerda con el que obtuve de la simulación en el dominio de la frecuencia con compensación de desvío, donde se observa una ganancia máxima de ≈ 92.09 dB, solo ≈ 0.26 dB mayor.
- Los resultados para el ancho de banda y el margen de fase, de la configuración con compensación de desvío, para la simulación del amplificador en AC en lazo abierto fueron, $GB=4.96836$ MHz y $M\Phi = 57,94202^\circ$; resultados que concuerdan con los especificados desde el diseño de origen, que fueron de $GB=5$ MHz y $M\Phi = 60^\circ$.

6.1. Trabajo a Futuro.

- Si se pretende mandar fabricar la celda de esta tesis, al layout faltan colocarle los pads (los elementos de conectividad de la última etapa) de la periferia, y de ser necesario redistribuir la colocación de los puertos, para la colocación óptima de pads, la redistribución de los puertos, requeriría de eliminar el ruteo conectado hacia ellos y redefinirlo.
- También faltan por verificar las conexiones de los bulks, lo que pasa es que al usar el método de SDL, se supondría que se guarda toda la conectividad del esquemático, sin embargo dichas conexiones no se aprecian de manera física en el layout.
- Para completar el flujo de diseño previo a la fabricación del dispositivo, esencialmente falta utilizar la herramienta Calibre, que sirve para completar la verificación y extraer las capacitancias parásitas del layout para después añadirlas a un modelo Spice, que sería un modelo mas aproximado al comportamiento que tendría la celda si es fabricada.
- Realizar las simulaciones que se consideren convenientes utilizando el modelo SPICE para verificar el comportamiento eléctrico del circuito (Post-simulación).
- Después de la post-simulación, si no se está conforme con el desempeño del circuito, se requeriría regresar a la etapa de diseño del layout, o dependiendo de la inconformidad, quizá regresar hasta la etapa de diseño ya sea para modificar los tamaños de los transistores y/o valores de la resistencia y capacitor, cambiar la arquitectura empleada o agregar etapas para robustecer el diseño.
- Si se esta conforme con el desempeño, el siguiente paso sería la exportación del layout al formato de fabricación GDSII, con lo que se daría por concluido el flujo de diseño del op amp.
- Después de la post-simulación, si se está conforme con el desempeño del circuito (si no es así, se requeriría regresar a la etapa de diseño del layout, o dependiendo de la inconformidad, quizá regresar hasta la etapa de diseño), el siguiente paso sería la exportación del layout al formato de fabricación GDSII, con lo que se daría por concluido el flujo de diseño del op amp.
- Todos los puntos anteriores son en relación a la celda op amp diseñada, hablando en un sentido general para el proyecto de la cátedra de Bio MEMs de crear un micro dispositivo capaz de efectuar la adquisición, acondicionamiento, procesamiento y transmisión de señales de electro encefalografía (EEG); de principio para la etapa de adquisición que es donde se

emplearía la celda diseñada, faltaría definir la arquitectura a nivel op amp conveniente, en esta tesis se propone una configuración de un amplificador no inversor 4.4.8, sin embargo este solo cumple con los requerimientos de amplificación y no con los de limitación del ancho de banda, además las condiciones de bajo las que se logró el objetivo no son muy convencionales y requieren de mucha precisión, por lo que es recomendable considerar una arquitectura mas robusta. De la electrónica de instrumentación se pueden obtener diversas configuraciones que pueden ser de utilidad (por ej. el amplificador de instrumentación).

- De modo superficial, ya que en esta tesis no se aborda en absoluto el diseño de las etapas posteriores al acondicionamiento de la señal, cabe hacer la observación de que si se desea hacer un filtrado de la señal de interferencia de los 60 Hz (lo que es de suma importancia por las amplitudes tan pequeñas de las señales de EEG) como el propuesto en [12], se requeriría de una arquitectura en hardware compleja capaz de ejecutar el algoritmo, otra opción sería emplear en esta etapa un FPGA o un DSP.
- Otra opción para disminuir la interferencia de las líneas de alimentación (interferencia de los 60 Hz), es el uso de electrodos activos, como se propone en [4], ya existen de este tipo de electrodos a la venta en el mercado [11], sin embargo estos se fabrican a partir de circuitos integrados ya comerciales. Para lograr hacer mas eficientes los electrodos principalmente en cuanto la reducción del ruido, sería bueno lograr la integración del electrodo con el amplificador de señales de EEG en el mismo sustrato, lo que es posible haciendo uso de tecnología MEMs [22]. Para hacer esto tendrían que analizarse las características de las capas del proceso, para definir el proceso de integración mas conveniente para la integración del electrodo con el amplificador, ya sea para hacerlos en el mismo proceso de fabricación de circuitos integrados CMOS, o para integrarlos acoplando procesos diferentes.

Apéndice A:Tablas.

Símbolo	Descripción	Valor Típico Canal-N	Valor Típico Canal-P	Unidades
V_{T0}	<i>voltaje umbral</i>	0.7±0.15	-0.7±0.15	V
K'	Transconductancia (en saturación)	110±10 %	50±10 %	$\mu A/V_2$
γ	umbral <i>bulk</i>	0.4	0.57	\sqrt{V}
λ	modulación de la longitud del canal	0.04 (L=1 μ m) 0.01(L=2 μ m)	0.05(L=1 μ m) 0.01(L=2 μ m)	V^{-1}
$2 \phi_F $	Potencial de la superficie en inversión fuerte	0.7	0.8	V

Tabla 1: Parámetros de modelo para un proceso típico CMOS *bulk*, adecuado para cálculos a mano usando el modelo simple. Estos valores se basan en un proceso de 0.8 μ m *silicon-gate bulk n-well*

Símbolo	Descripción	Valor Típico Canal-N	Valor Típico Canal-P	Unidades
V_{T0}	<i>voltaje umbral, canal largo (10x10)</i>	0.46±0.1	-0.68±0.1	V
V_{T0}	<i>voltaje umbral, canal corto (10x0.35)</i>	0.5±0.1	-0.65±0.1	V
V_{TN3L}	voltaje umbral, canal corto (10x0.35) medido en región lineal	0.59±0.1	-0.72±0.1	V
K'	Transconductancia (en saturación)	170±20 %	58±10 %	$\mu A/V^2$
γ	umbral <i>bulk</i>	0.58±0.1	-0.4±0.08	\sqrt{V}
$2 \phi_F $	*Potencial de la superficie en inversión fuerte	0.79	-0.77	V
μ_0	Movilidad efectiva	370	126	cm_2/Vs
t_{ox}	Espesor de la capa de óxido bajo la compuerta	7.6±0.5	7.6±0.5	nm

Tabla 2: Parámetros de modelo para un proceso típico CMOS *bulk*, adecuado para cálculos a mano usando el modelo simple. Estos valores se basan en el proceso de 0.35 μ m de AMS (austriamicrosystems). * Este valor se tomó de una referencia ajena a los documentos del proceso de AMS [13].

Apéndice B:

Procedimiento de diseño para un Amplificador Operacional “Unbuffered ” de Dos Etapas (propuesto en la referencia [24]).

Este procedimiento de diseño se tomó del libro [24], a continuación se explica el método.

Este procedimiento de diseño asume que la ganancia de corriente directa (A_v), el ancho de banda de ganancia unitaria (GB), el rango de entrada de modo común [$V_{out(max)}$ and $V_{out(min)}$], y la potencia de disipación (P_{diss}) son proporcionados.

1. Escoja la longitud mas pequeña posible para el dispositivo, tal que permita tener un parámetro de modulación del canal constante y se adapte bien a los espejos de corriente.
2. A partir del margen de fase deseado, elija un valor mínimo para C_c ; de esta manera para un margen de fase de 60° obtenemos la siguiente relación Esto asume que $z \geq 10GB$.

$$C_c > 0,22C_L \quad (1)$$

3. Determine el valor mínimo para la corriente de cola (“tail current ”) del mayor de los dos valores.

$$I_5 = SR \cdot C_c \quad (2)$$

$$I_5 \cong 10 \left(\frac{V_{DD} + |V_{SS}|}{2T_s} \right) \quad (3)$$

4. Encontrar S_3 a partir del máximo voltaje especificado.

$$S_3 = \frac{2I_3}{k'_3[V_{DD} - Vin(max) - |V_{T03}|(max) + V_{T1}(min)]^2} \geq 1 \quad (4)$$

5. Verifique que el polo y el cero debido a C_{gs3} y $C_{gs4}(= 0,67W_3L_3C_{ox})$ no serán dominantes, asumiendo que p_3 será mayor a $10GB$.

$$\frac{g_{m3}}{2C_{gs3}} > 10GB \quad (5)$$

6. Diseñar $S_1(S_2)$ para lograr el GB deseado.

$$g_{m1} = GB \cdot C_c \Rightarrow S_1 = S_2 = \frac{g_{m2}^2}{K'_2 I_5} \quad (6)$$

7. Encuentre S_3 del voltaje mínimo de entrada. Primero calcule $V_{DS5}(sat)$ luego encuentre S_5 .

$$V_{DS5}(sat) = V_{in}(min) - V_{SS} - \sqrt{\frac{I_5}{\beta_1}} - V_{T1}(max) \geq 10mV \quad (7)$$

$$S_5 = \frac{2I_5}{K'_5[V_{DS5}(sat)_5]^2} \quad (8)$$

8. Encuentre S_6 e I_6 igualando el valor del segundo polo (p_2) a 2.2 veces GB.

$$g_{m6} = 2,2g_{m2}(C_L/C_c) \quad (9)$$

Se asume que $V_{SG4} = V_{SG6}$, por lo que tenemos

$$S_6 = S_4 \frac{g_{m6}}{g_{m4}} \quad (10)$$

Conociendo g_{m6} y S_6 se resuelve para I_6 , obteniendo la siguiente expresión

$$I_6 = \frac{g_{m6}^2}{2K'_6 S_6} \quad (11)$$

9. Se puede calcular I_6 de manera alternativa utilizando la siguiente expresión

$$S_6 = \frac{g_{m6}}{K'_6 V_{DS6}(sat)} \quad (12)$$

Y después usando la expresión previa para encontrar I_6 . Pero no se garantiza el espejeo correcto entre M3 y M4.

10. Se diseña S_7 para obtener la razón de corrientes deseada entre I_5 e I_6 .

$$S_7 = I_6/I_5 S_5 \quad (13)$$

11. Compruebe las especificaciones de ganancia y disipación de potencia

$$A_v = \frac{2g_{m2}g_{m6}}{I_5(\lambda_2 + \lambda_3)(\lambda_6 + \lambda_7)} \quad (14)$$

$$P_{diss} = (I_5 + I_6)(V_{DD} + |V_{SS}|) \quad (15)$$

12. Si las especificaciones de ganancia no se cumplen, se puede disminuir las corrientes I_5 e I_6 o incrementar las razones W/L de M2 y/o M6. Después de hacer algún cambio, se debe recalculer la ganancia. Si la disipación de potencia es muy grande, se pueden reducir las corrientes I_5 e I_6 . La reducción de corrientes probablemente requerirá incrementar alguna de las razones W/L para satisfacer las oscilaciones (swings) de entrada y salida.

13. Simule el circuito para comprobar que se cumplan todas las especificaciones.

Apéndice C:

Rutina Implementada en Matlab para el Desarrollo del Diseño del Op Amp de Dos Etapas.

```
%%%%%%%%RUTINA PARA EL DISEÑO DE UN OP AMP TÍPICO DE DOS ETAPAS
%%%%%%%%DE ENTRADA PAR DIFERENCIAL N%%%%%%%%
%Basado en el procedimiento de diseño del capítulo 6
%del libro de CMOS Analog Circuit
%Design de Philip E. Allen y Douglas R. Holberg
%%%%%%%%Incluye los parámetros del proceso de fabricación
%%%%%%%%C35B4C3 de AMS
%%Elaborado por Carlos José Díaz Torres
%%Departamento de Ingeniería Eléctrica
%%ITESM
%%2007
clc;
format short g;

%%%%%%%%%ENTRADAS%%%%%%%%%
%%%%%%%%%PARAMETROS DE ESCALAMIENTO (AJUSTE)%%%%%%%%%
Kc=3;
K1=6;%K1,2
K3=6;%K3,4
K5=6;
K6=6;
K7=6;

%%%%%%%%% REQUIRIMIENTOS %%%%%%%%%%
%%%%%%%%%Voltaje de Alimentación
VDD=1.5;          %V
VSS=-1.5;        %V

Av=10000;        %V/V Ganancia de corriente directa, solo aparece como
%requerimiento
GB=5e6;          %Hz Ancho de Banda de Ganancia Unitaria
SR=5e6;          %V/S Slew-rate (5V/us)

%%%%%%%%%Rango de entrada de modo común
%%%%%%%%%ICMR Input Common-Mode Range
Vinmin=-0.5;     %V
Vinmax=0.5;      %V
```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%Rango de salida
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%Output Voltage Swing
Voutmax=1;          %V
Voutmin=-1;        %V
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

CL=10e-12;         %F, faradios
L=1e-6;           %m, metros
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%CONSTANTES DEL Si%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
e0= 8.854*10^(-12);%F/m
Eox=(3.9)*e0;     %F/m

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%PARÁMETROS DEL PROCESO AMS 0.35 MICRONES C35B4C3%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Tox=7.6e-9;       %m
Cox=Eox/Tox;     %F/m2

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%PARAMETROS N%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
MUON=370e-4;      %m2/Vs
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%KN%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
KN=170e-6;        %A/V^2
KNmax=150e-6;
KNmin=190e-6;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%VTON (V)%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%corto (10x0.35)
VTONc = 0.5;
VTONmaxc = 0.6;
VTONminc = 0.4;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%largo (10x10)
VTONl = 0.46;
VTONmaxl = 0.56;
VTONminl = 0.36;

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%PARAMETROS P%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
MUOP= 126e-4; %m2/Vs
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%KP%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
KP=58e-6;% A/V^2
KPmax=68e-6;
KPmin=48e-6;
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%VTOP (V)%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```

```

%%%%%%%%%%corto (10x0.35)
VTOPc = -0.65;
VTOPmaxc = -0.75;
VTOPminc = -0.55;
%%%%%%%%%%largo (10x10)
VTOP1 = -0.68;
VTOPmax1 = -0.78;
VTOPmin1 = -0.58;

%%%%%%%%%%SEGUNDA ITERACIÓN%%%%%%%%%%
%%%%%%%%%%LAMBDA%%%%%%%%%%
VDS1L=2;
VDS2L=2.5;

ID1LM2=575.7721E-6;
ID2LM2=576.9411E-6;
ID1LM4=-36.4608E-6;
ID2LM4=-36.5891E-6;
ID1LM6=-1.5308E-3;
ID2LM6=-1.5362E-3;
ID1LM7=7.5781E-3;
ID2LM7=7.5935E-3;

LAMBDA M2=(ID1LM2-ID2LM2)/(VDS1L*ID2LM2-VDS2L*ID1LM2);
LAMBDA M4=(ID1LM4-ID2LM4)/(VDS1L*ID2LM4-VDS2L*ID1LM4);
LAMBDA M6=(ID1LM6-ID2LM6)/(VDS1L*ID2LM6-VDS2L*ID1LM6);
LAMBDA M7=(ID1LM7-ID2LM7)/(VDS1L*ID2LM7-VDS2L*ID1LM7);

%%%%%%%%%%
%%%%%%%%%%INICIO DE LA RUTINA%%%%%%%%%%
Ccmin=0.22*CL; % Se calcula el capacitor de compensación de miller(mayor o igual)
Cc=Ccmin*KCc;

I5=SR*Cc;
I1=I5/2;
I2=I5/2;
I3=-I1;
I4=-I2; %I3=I4

S3=I5/(KP*(VDD -Vinmax-abs(VTOPmaxc)+VTONminc)^2);
S4=S3;
S3;
L3=L;
W3=L3*S3;
L3=L3*K3;

```

```

W3=W3*K3;

S4=S3;
W4=W3;
L4=L3;

gm3=sqrt(2*KP*S3*abs(I3));
gm4=sqrt(2*KP*S3*abs(I4));

Cgs3=0.667*L3*W3*Cox;
p3= -gm3/(Cgs3);
p3=abs(p3)/(2*pi);%en hz

gm1=GB*2*pi*Cc;
S1=(gm1^2)/(2*KN*I1);
L1=L;
W1=L1*S1;
L1=L1*K1;
W1=W1*K1;

S2=S1;
W2=W1;
L2=L1;

gm2=sqrt(2*S2*KN*I2);
BETA1=KN*S1;

VDS5sat=Vinmin-VSS-sqrt(I5/BETA1)-VT0Nmax1; %se ajustó al final vt0c-1
S5=(2*I5)/(KN*VDS5sat^2);
L5=L;
W5=L5*S5;
L5=L5*K5;
W5=W5*K5;

gm6min=10*gm1; %mayor igual
gm6=2.2*gm2*(CL/Cc);

p2=-gm6/CL;
p2=abs(p2)/(2*pi);

z1=gm6/Cc;
z1=z1/(2*pi);

S6=S4*(gm6/gm4);
L6=L;

```



```

disp('OPCIONES:')
disp('1. La opción más recomendable es aumentar Cc ya sea aumentando el factor
de escalamiento KCc sin modificar CL,')
disp ('o aumentando CL. El incremento de Cc provocará el aumento de todas
las corrientes.')
```

disp ('2. Modificar el requerimiento de GB (aumentarlo)')

```

else
    disp('SE CUMPLE LA CONDICIÓN 1: S3 es positivo.')
```

end

```

%%%%%%%%%%2
if (abs(p3)>10*GB)
    disp('SE CUMPLE LA CONDICIÓN 2: Cumple con la condición de p3>10GB')
```

else

```

    disp('NO SE CUMPLE LA CONDICIÓN 2: p3 es menor a 10GB')
```

end

```

%%%%%%%%%%3
if (VDS5sat <0)
    disp('NO SE CUMPLE LA CONDICIÓN 3 :')
```

disp (' VDS5 es negativo. Si S5 es muy grande, probablemente esto sea la causa.')

```

    disp (' Puede ser que los requerimientos para el ICMR sean muy exigentes.')
```

disp (' Las opciones son: reducir I5(CL), incrementar S1 , aumentar el ')

```

    disp (' requerimiento de GB, o ajustar el ICMR (disminuir |Vinmin|)')
```

elseif (VDS5sat <100e-3)

```

    disp('NO SE CUMPLE LA CONDICIÓN 3 :')
```

disp (' VDS5 es menor a los 100mV. Si S5 es muy grande, probablemente esto sea la causa.')

```

    disp (' Puede ser que los requerimientos para el ICMR sean muy exigentes.')
```

disp (' Las opciones son: reducir I5(CL), incrementar S1 , aumentar el ')

```

    disp (' requerimiento de GB, o ajustar el ICMR (disminuir |Vinmin|)')
```

else

```

    disp('SE CUMPLE LA CONDICIÓN 3: VDS5 es mayor o igual a los 100mV')
```

end

```

%%%%%%%%%%4
if ( gm6 < gm6min)
    disp('NO SE CUMPLE LA CONDICIÓN 4 : gm6<10gm1')
```

else

```

    disp('SE CUMPLE LA CONDICIÓN 4: gm6<=10gm1')
```

end

```

%%%%%%%%%%5
if ( I6a > I6b)
    disp('NO SE CUMPLE LA CONDICIÓN 5 : S6 debe incrementarse, incremente Cc,
        varíe CL o aumente GB, o la relación entre VDD y el ICMR')
else
    disp('SE CUMPLE LA CONDICIÓN 5: I6a <= I6b')
end

%%%%%%%%%% Verificación del output range%%%%%%%%%%

if ( Voutmin > Vminout)
    disp('NO SE CUMPLE LA CONDICIÓN 6a: No se cumple con el requerimiento para
        el Vout min')
else
    disp('SE CUMPLE LA CONDICIÓN 6a: Se cumple con el requerimiento para
        el Vout min')
end

if ( Voutmax > Vmaxout)
    disp('NO SE CUMPLE LA CONDICIÓN 6b : No se cumple con el requerimiento para el
        Vout max')
else
    disp('SE CUMPLE LA CONDICIÓN 6b: Se cumple con el requerimiento para el Vout max')
end

%%%%%%%%%%RESULTADOS%%%%%%%%%%
p2
rp2gb=p2/GB
p3
rp3gb=p3/GB
z1
rz1gb=z1/GB
rgm6gm1=gm6/gm1
I5
Av
AvDB
Pdis

S=[S1;S2;S3;S4;S5;S6;S7;S8];
W=[W1;W2;W3;W4;W5;W6;W7;W8];
L=[L1;L2;L3;L4;L5;L6;L7;L8];

R=[S,W,L]

```

Cc
Rs

LAMBDA=[LAMBDA2;LAMBDA4;LAMBDA6;LAMBDA7]

Apéndice D:

Resultados de la Rutina Implementada en Matlab para el Diseño del Op Amp de Dos Etapas.

En el capítulo 3 se detalla sobre la selección del factor de escalamiento de los transistores, que en lo único repercute (si el W y el L se escalan proporcionalmente) es en la ganancia del op amp. por lo pronto basta decir que se seleccionó el valor de K para todos los transistores, igual a seis y $KC_c = 3$. Además se incluyen los valores resultantes para λ .

A continuación se muestran los datos arrojados por MATLAB.

```
SE CUMPLE LA CONDICIÓN 1: S3 es positivo.
SE CUMPLE LA CONDICIÓN 2: Cumple con la condición de p3>10GB
SE CUMPLE LA CONDICIÓN 3: VDS5 es mayor o igual a los 100mV
NO SE CUMPLE LA CONDICIÓN 4 : gm6<10gm1
SE CUMPLE LA CONDICIÓN 5: I6a <= I6b
SE CUMPLE LA CONDICIÓN 6a: Se cumple con el requerimiento para el Vout min
SE CUMPLE LA CONDICIÓN 6b: Se cumple con el requerimiento para el Vout max
```

p2 =

11000000

rp2gb = p2/GB=

2.2

p3 =

5.4997e+007

rp3gb = p3/GB=

10.999

z1 =

1.6667e+007

rz1gb = z1/GB=

3.3333

$rgm6gm1 = gm6/gm1 =$

3.3333

I5 =

3.3e-005

Av =

3.0589e+005

AvDB =

109.71

Pdiss =

0.00077287

R =

	M	S	W	L
1	7.6635	4.5981e-005		6e-006
2	7.6635	4.5981e-005		6e-006
3	1.3467	8.08e-006		6e-006
4	1.3467	8.08e-006		6e-006
5	54.9222	2.9533e-005		6e-006
6	18.333	0.00011		6e-006
7	33.505	0.00020103		6e-006
8	4.9222	2.9533e-005		6e-006

Cc =

6.6e-012

Rs =

36944

LAMBDA =

LAMBDA2= 0.0040939

LAMBDA4= 0.0071382

LAMBDA6= 0.0071561

LAMBDA7= 0.0040977

>>

Ahora se muestran los resultados fijando $KC_c = 1$ y aumentando C_L de 10 a 30pF

SE CUMPLE LA CONDICIÓN 1: S3 es positivo.

SE CUMPLE LA CONDICIÓN 2: Cumple con la condición de $p3 > 10GB$

SE CUMPLE LA CONDICIÓN 3: VDS5 es mayor o igual a los 100mV

SE CUMPLE LA CONDICIÓN 4: $gm6 \leq 10gm1$

SE CUMPLE LA CONDICIÓN 5: $I6a \leq I6b$

SE CUMPLE LA CONDICIÓN 6a: Se cumple con el requerimiento para el Vout min

SE CUMPLE LA CONDICIÓN 6b: Se cumple con el requerimiento para el Vout max

p2 =

11000000

rp2gb = p2/GB=

2.2

p3 =

5.4997e+007

rp3gb = p3/GB=

10.999

z1 =

5e+007

rz1gb =z1/GB

10

rgm6gm1 =gm6/gm1

10

I5 =

3.3e-005

Av =

3.0589e+005

AvDB =

109.71

Pdiss =

0.0021206

R =

	S	W	L
1	7.6635	4.5981e-005	6e-006
2	7.6635	4.5981e-005	6e-006
3	1.3467	8.08e-006	6e-006
4	1.3467	8.08e-006	6e-006
5	4.9222	2.9533e-005	6e-006
6	54.999	0.00032999	6e-006
7	100.51	0.00060308	6e-006
8	4.9222	2.9533e-005	6e-006

Cc =

6.6e-012

Rs =

36944

LAMBDA =

0.0040939

0.0071382

0.0071561

0.0040977

>>

Apéndice E: Simulaciones.

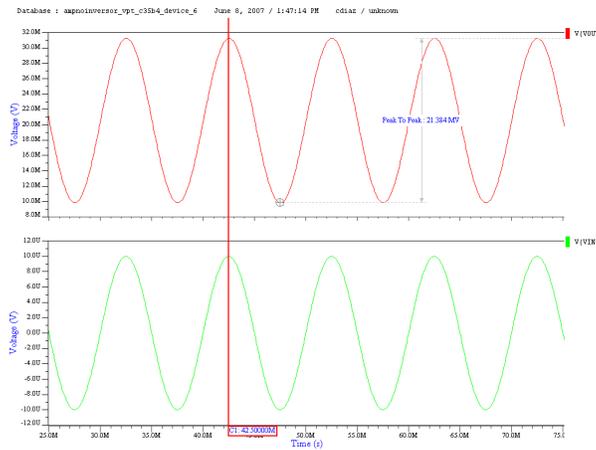


Figura 1: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1100$.

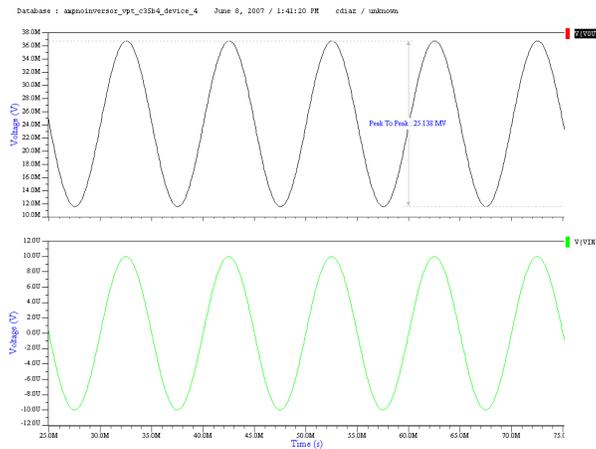


Figura 2: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1300$.

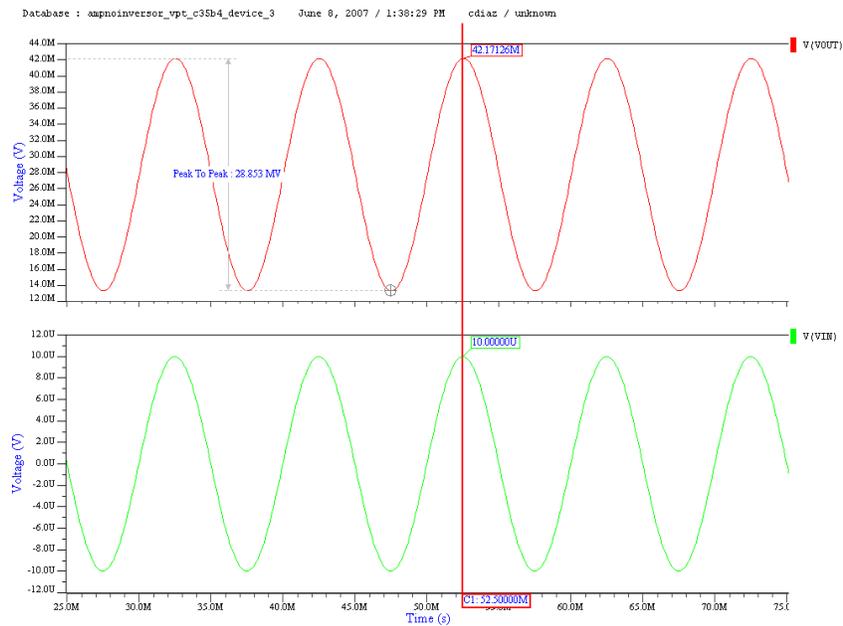


Figura 3: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1500$.

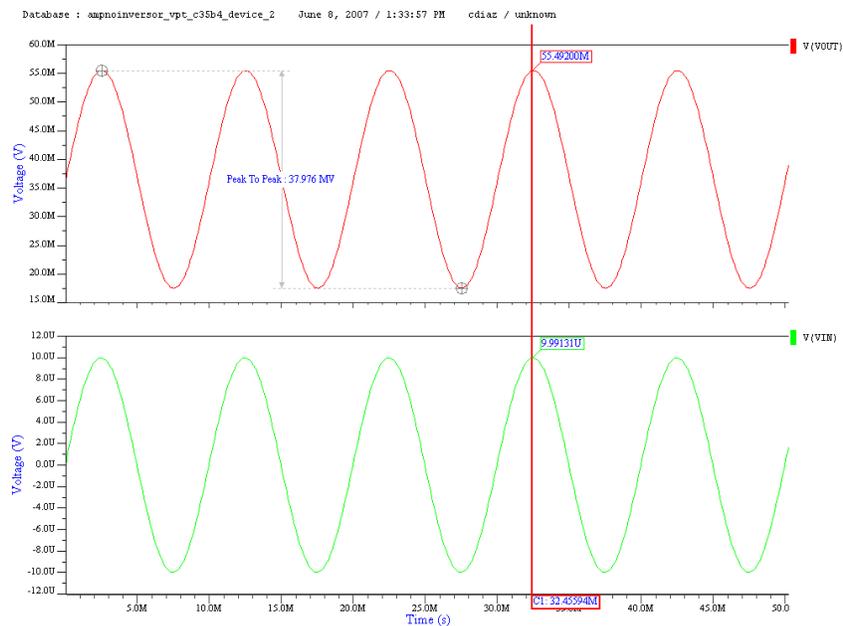


Figura 4: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=2000$.

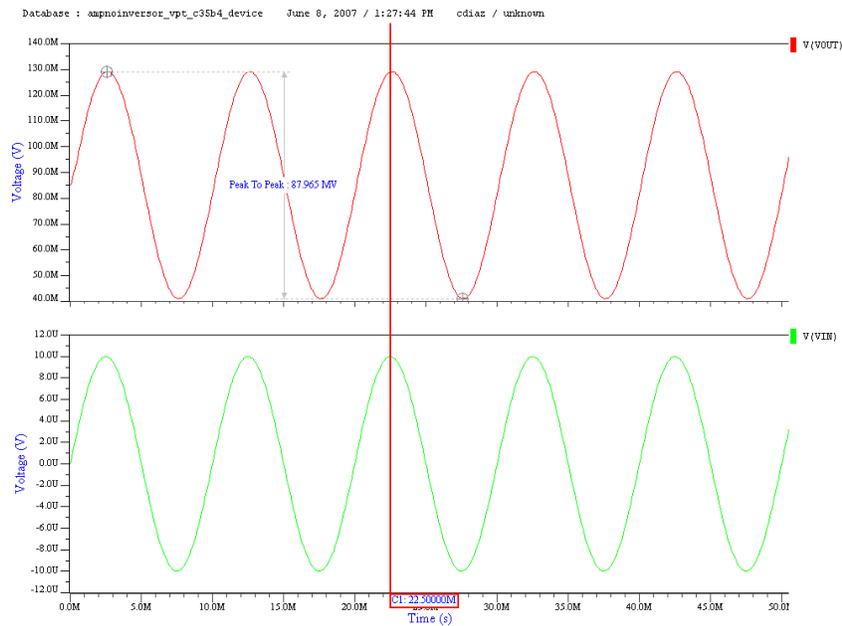


Figura 5: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=5000$.

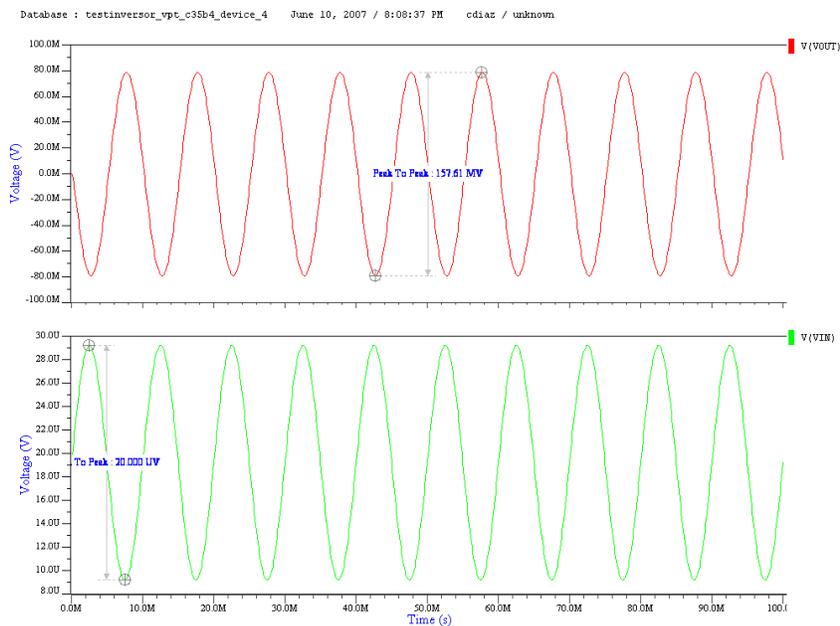


Figura 6: Resultado de la simulación para la configuración típica del amplificador inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=10000$.

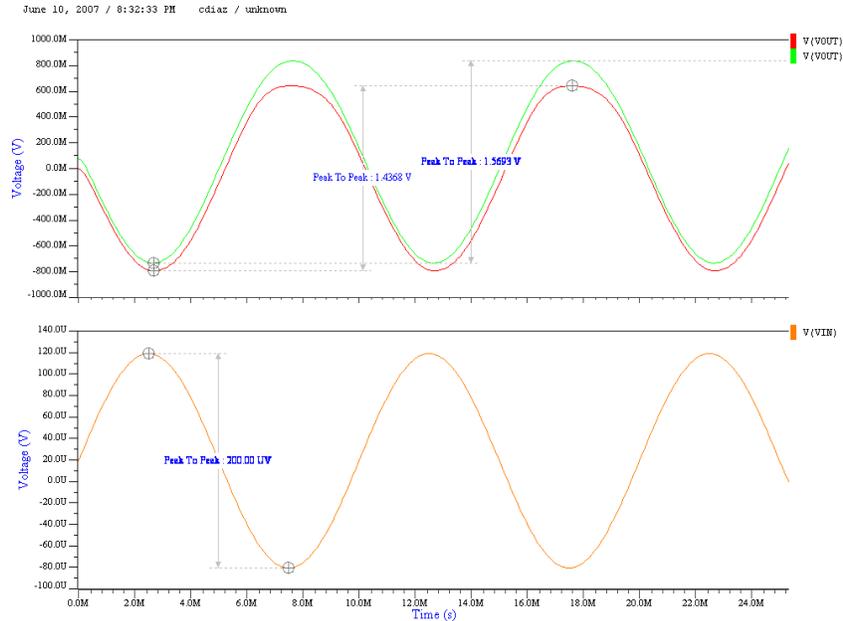


Figura 7: Resultado de la simulación para la configuración típica del amplificador inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=10000$. Se muestran dos señales de salida, para voltajes de alimentación de $\pm 1.5\text{V}$ y $\pm 2.5\text{V}$

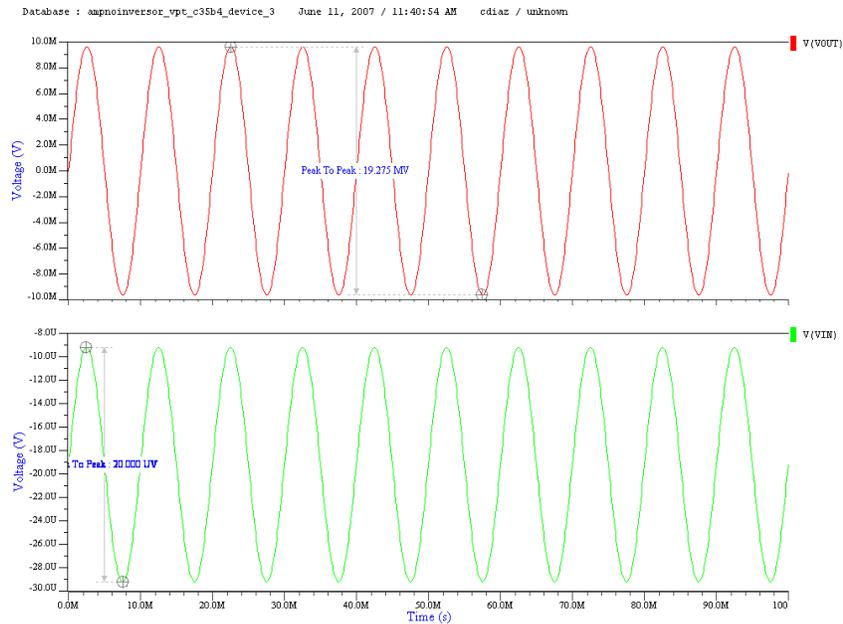


Figura 8: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$ y resistencia de carga de 100Ω .

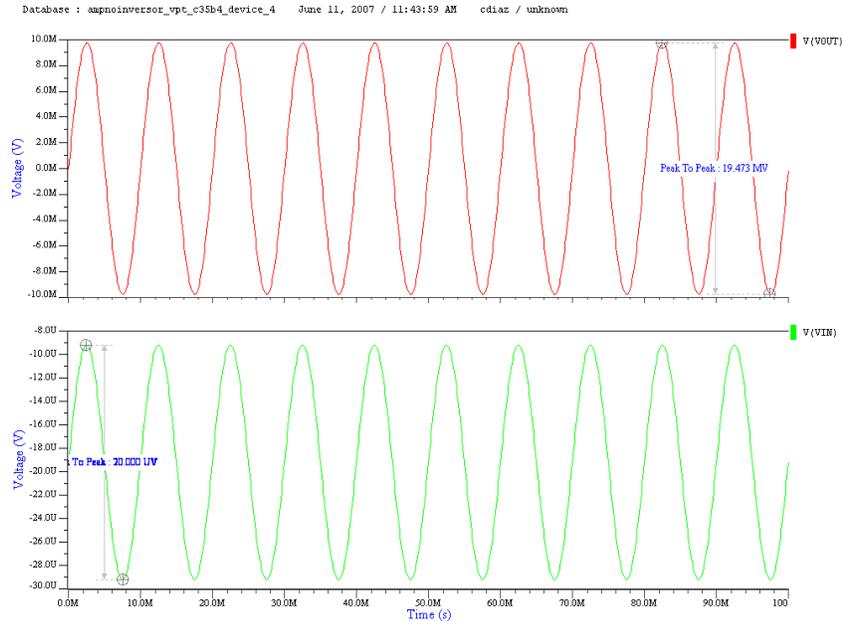


Figura 9: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$ y resistencia de carga de $1\text{M}\Omega$.

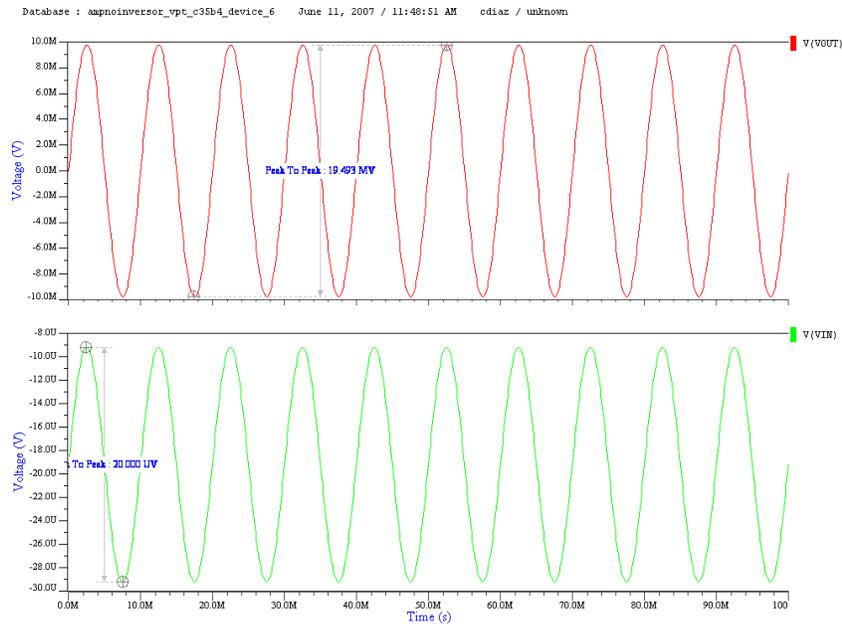


Figura 10: Resultado de la simulación para la configuración típica del amplificador no inversor. La señal de entrada es de 100 Hz, de $10\mu\text{V}$ pico, $20\mu\text{V}$ pp. Factor de amplificación $G=1000$ y resistencia de carga de $10\text{M}\Omega$.

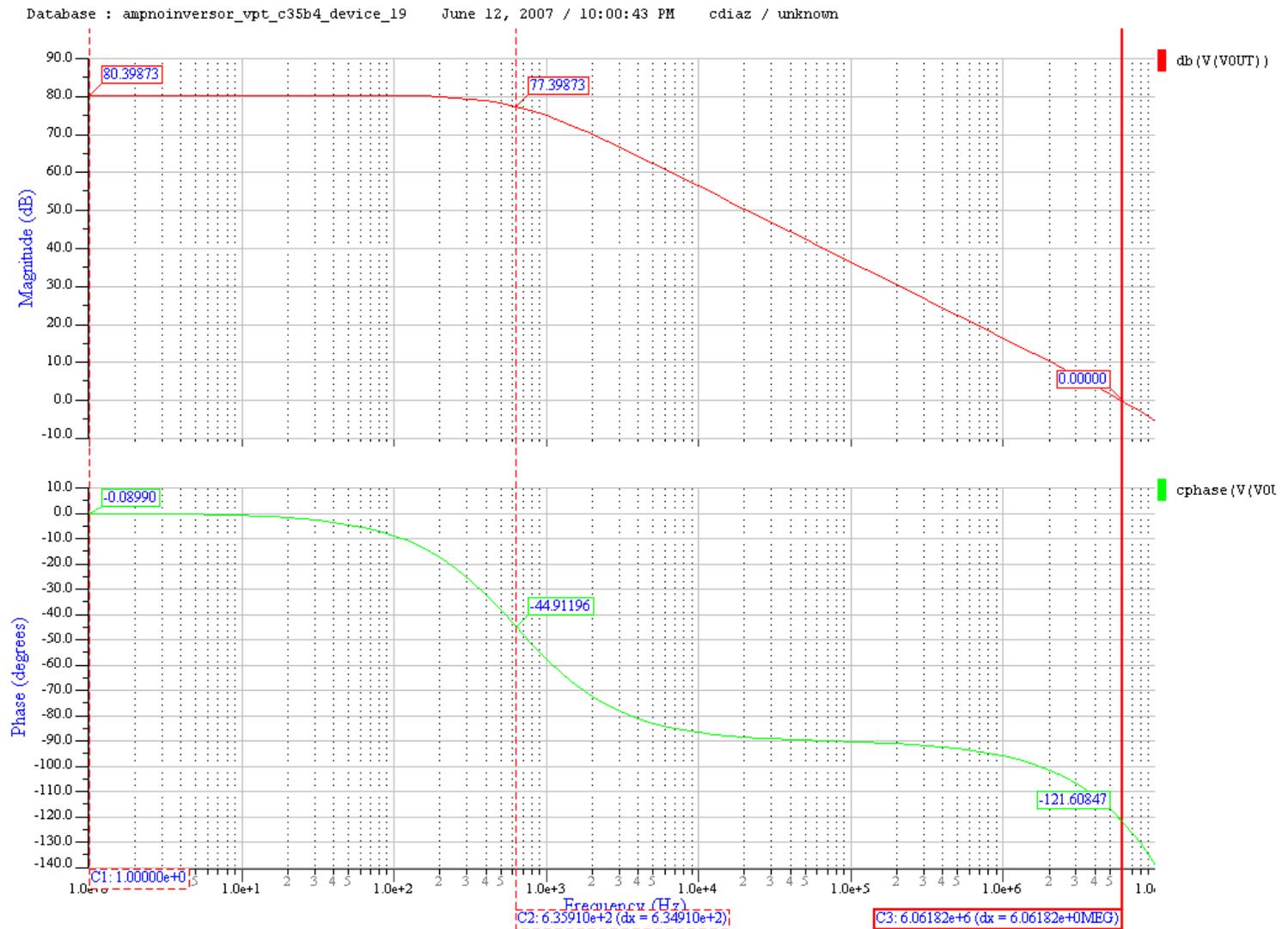


Figura 11: Simulación de la Ganancia y Ancho de Banda para el amplificador no inversor de señales de EEG ideal.

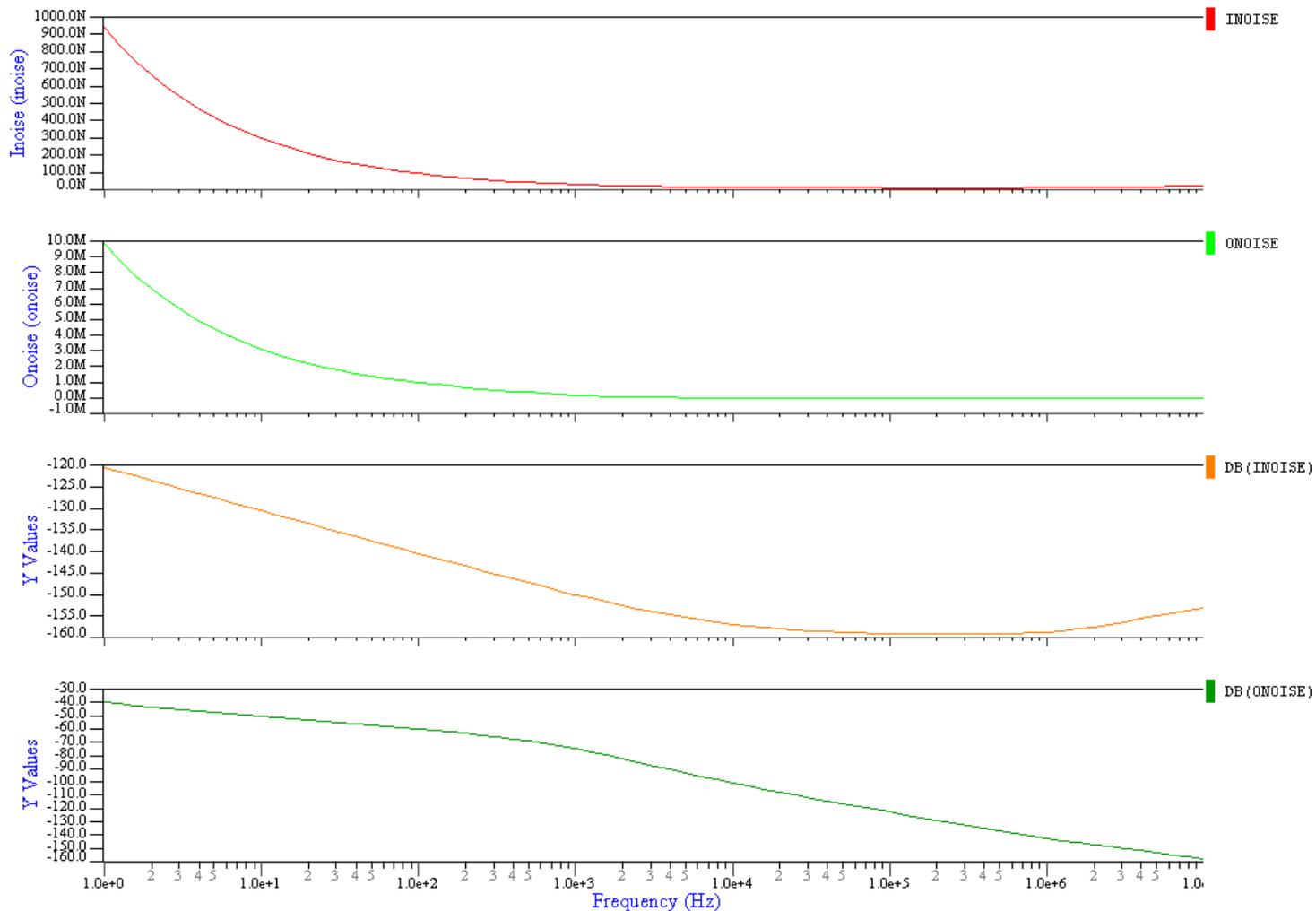


Figura 12: Simulación del ruido de entrada y salida para el amplificador no inversor de señales de EEG ideal.

Apéndice F:

Tarjetas de Adquisición de Señales de EEG de OLIMEX.

Es de suma importancia mencionar que las tarjetas están diseñadas para funcionar de manera óptima, pero su funcionamiento seguro no está garantizado. El diseño puede tener errores que afecten la seguridad física del usuario. Antes de empezar a usar las tarjetas es altamente recomendable si no es que obligatorio leer toda la información de la página Web del proyecto openEEG[3].

De la página Web del proyecto openEEG [3] puede accederse a una página Web de OLIMEX [23], empresa dedicada al diseño de dispositivos y artilugios electrónicos, donde aparece información sobre la venta de tarjetas para la adquisición de señales de EEG.

La diseño de las tarjetas que comercializa OLIMEX se basa en el diseño de fuente libre del proyecto OPENEEG [3].

Mucha gente está interesada en lo que es conocido como neuro retroalimentación o entrenamiento de EEG por retroalimentación, un método de entrenamiento mental genérico que hace que la persona entrenada sea consciente de la actividad general del cerebro. Este método muestra un gran potencial para mejorar muchas capacidades mentales y explorar la conciencia. Otras personas quieren experimentar con interfaces cerebro-computadora o simplemente desean observar su cerebro trabajando [23].

El objetivo del proyecto OpenEEG es hacer diagramas y software para hacer dispositivos de EEG hechos en casa, de manera gratuita. Esto con el propósito de guiar a personas inexpertas que deseen experimentar con el EEG. En las Figuras 13 y 14, se muestran las tarjetas vendidas por OLIMEX, la primera figura muestra la parte analógica y la segunda la digital.

Por parte del Departamento de Ingeniería Eléctrica se adquirieron dos pares tarjetas ya armadas (2 analógicas y dos digitales) y dos pares de circuitos impresos para armar adquiriendo las piezas necesarias otros dos pares de tarjetas. La labor llevada a cabo con las tarjetas fue probar su funcionamiento, para poder hacerlo se tuvieron que armar cables conectores, ya que no venían incluidos, los cables requeridos son los siguientes:

- El cable plano que conecta la tarjeta analógica de entrada con la digital
- El cable de Programación, que se conecta del puerto paralelo de la computadora a la tarjeta digital
- El cable serial, para la transmisión de datos.
- El cable de alimentación
- Los cables de los electrodos

Todo acerca del procedimiento de implementación de las tarjetas, cables conectores y demás; así como de la programación del microcontrolador se puede consultar de la página Web del proyecto openEEG [1].

Reciclando material de computadoras desarmadas se encontró un cable plano que coincidía para la interconexión entre tarjetas (de 34 pines). Se armó el cable serial, que conecta el puerto serial de la PC con la tarjeta digital. Para la correcta conexión de este cable se muestra a continuación la lista de asignación de colores respecto a los pines de conexión de la tarjeta:

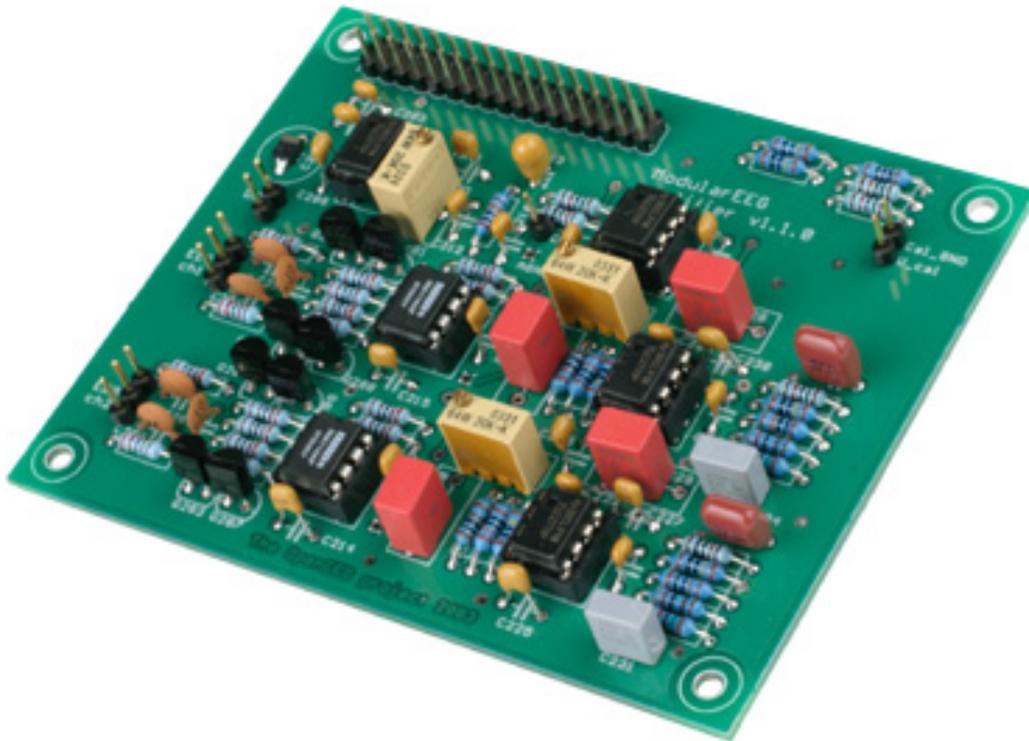


Figura 13: Tarjeta de adquisición de señales de EEG de OLIMEX, parte analógica. Imagen tomada de [23].

Cable Serial
Rojo-GND1
Negro-TXD
Amarillo-RXD

Se armó un cable programador con la configuración que se muestra en la página Web[1] resultó que el microcontrolador ya venía programado, y se encontró un conector de dos pines útil para emplearlo como el cable de alimentación.

Lo siguiente fue descargar uno de los programas recomendados para probar el funcionamiento de las tarjetas, se optó por el software de BioEra. Se instaló, se hicieron todas las conexiones necesarias y después se tiene que abrir o diseñar un sistema a partir de bloques de software (al estilo Lab-View de National Instruments o Symulink de MATLAB). Se abrió un sistema predeterminado y se comenzó a correr; al tocar los electrodos conectados en la entrada se detectó la actividad en el monitor de la PC, lo que significa que las tarjetas funcionan. Además el microcontrolador ya venía programado, pero se puede programar con otras rutinas incluidas en el *firmware* del proyecto, que se puede descargar desde la página [2].

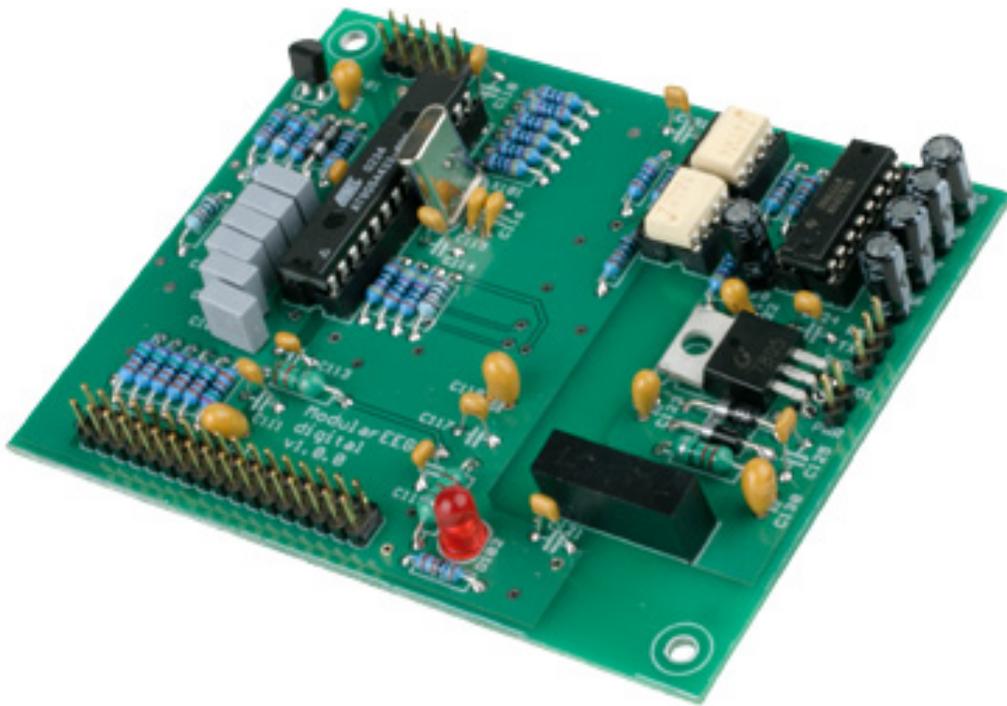


Figura 14: Tarjeta de adquisición de señales de EEG de OLIMEX, parte digital. Imagen tomada de [23].

Bibliografía

- [1] Openeeg, building the modulareeg. Website, 2003. http://openeeg.sourceforge.net/doc/modeeg/modeeg_building.html.
- [2] sourceforge.net@openeeg - eeg hardware and software. Website, 2003. <http://sourceforge.net/projects/openeeg>.
- [3] Openeeg. Website, 2007. <http://openeeg.sourceforge.net/doc/index.html>.
- [4] P. Mathys A.Ñonclercq. Reduction of power line interference using active electrodes and a driven-right-leg circuit in electroencephalographic recording with a minimum number of electrodes. pages 2247–2250, 2004.
- [5] A. Aguilar. Pagina de ing artemio aguilar. Website, 1997. <http://www-cet.mty.itesm.mx/~aaguilar/Miktex/index.html>.
- [6] P. E. Allen. Analog ic design, short courses and educational resources. 2003 short course notes. Website, 2003. <http://www.aicdesign.org/scnotes2003cmos.html>.
- [7] Austriamicrosystems. *Analog Standard Cell OP05B - CMOS Operational Amplifier datasheet*. http://asic.austriamicrosystems.com/databooks/c35a/op05b_c35_revb.pdf.
- [8] Austriamicrosystems. *DA-IC austriamicrosystems HIT-Kit Utilities for DA-IC*. http://asic.austriamicrosystems.com/hitkit/hk370/icstudio/da_ic_utilities.html.
- [9] Austriamicrosystems. *IC Station Layout & Verification Flow Schematic Driven Layout Design Flow*. http://asic.austriamicrosystems.com/hitkit/hk370/icstation/ic_sdl.html.
- [10] J. Echauz B. Litt. Review - prediction of epileptic seizures. *The Lancet Neurology*, 1(1):22–30, 2002.
- [11] Biosemi. Active electrodes. Website, 1997. http://www.biosemi.com/active_electrode.htm \ <http://www-psych.nmsu.edu/~jdkroger/lab/Manuals/Active2-manual-rev2.5.htm>.
- [12] S. Martínez D. Olguín, F. Bouchereau. Adaptive notch filter for eeg signals based on the lms algorithm with variable step-size parameter. conference on information sciences and systems, the johns hopkins university, march 1618. Technical report, ITESM campus Monterrey, 2005.
- [13] Department of Electrosience, Lund University. *parameters - 35_4met*. http://www.es.lth.se/ugradcourses/ICkonst/parameters_35_4met.pdf.

- [14] C. Rieke R. Andrzejak A. Kraskov P. David C. Elger K. Lehnertz F. Mormann, T. Kreuz. On the predictability of epileptic seizures. *Clinical Neurophysiology*, (116):569–587, 2005.
- [15] S. Pennisi G. Palmisiano, G. Palumbo. Design procedure for two-stage cmos transconductance operational amplifiers: A tutorial. *Analog Integrated Circuits and Signal Processing*, 27(3):179–189, 2001.
- [16] R. Harrison. Op-amp simulation. Website, 1997. <http://www.ece.utah.edu/~harrison/ece5720/opampsim1.pdf>.
- [17] Immrama Institute. The international 10-20 system of electrode placement. Website, 1997. <http://www.immrama.org/eeg/electrode.html>.
- [18] J. M. Brown J. J. Carr. *Instrumentation for Measuring Brain Function*, pages 369–393. Prentice Hall, 2001.
- [19] J. Chutichatuporn J. Mahattanakul. Design procedure for two-stage cmos opamp with flexible noise-power balancing scheme. *IEEE Transactions on circuits and systems-I regular papers*, 52(8):1508–1514, 2005.
- [20] P. Chan K. Ng. A cmos analog front-end ic for portable eeg/ecg monitoring applications. *IEEE Transactions on Circuits and Systems*, 52(11):2335–2347, 2005.
- [21] Mentor Graphics. *Eldo User' s Manual Software Version 6.61 Release 2005.3* ©. http://www-eng.lbl.gov/~jmbussat/Physics290E/Spring-2007/Eldo/eldo_ur.pdf.
- [22] N. Nelson S. Malhotra M. Loganathan J. Lauenstein J. Chaiyupatumpa E. Smela P. Abshire N. Reeves, Y. Liu. Integrated mems structures and cmos circuits for bioelectronic with single cells. *Circuits and Systems, 2004. ISCAS apos;04. Proceedings of the 2004 International Symposium on Volume 3*, 3(3):673–676, 2004.
- [23] OLIMEX. Open eeg project low cost open source eeg device. Website, 1997. <http://www.olimex.com/gadgets/index.html>.
- [24] D. Holberg P. Allen, editor. *CMOS Analog Circuit Design, 2nd Edition*. Oxford University Press, Oxford, New York, 2002.
- [25] D. Holberg P. Allen. *Design of a two-stage Op amp*, pages 276–278. Oxford University Press, Oxford, New York, 2002.
- [26] S. Lewis R. Meyer P. Gray, P. Hurst, editor. *Analysis and design of analog integrated circuits. Fourth Edition*. John Wiley & Sons, Inc., New York, 2001.
- [27] B. Razavi, editor. *Design of Analog Cmos Integrated Circuits* . McGraw-Hill Science Engineering, New York, 2000.
- [28] S. Martínez S. Acha, D. Olguín. Transmisión inalámbrica de señales electroencefalográficas. Technical report, ITESM campus Monterrey.
- [29] G. Ming P. Weihua C. Hongda S. Xiaohong, L. Jinbin. Simulation of a monolithically integrated cmos bioamplifier for eeg recordings. *IEEE Conference on Electron Devices and Solid-State Circuits*, pages 643–646, 2005.

- [30] E. Sánchez-Sinencio. Continuous-time filters from 0.1hz to 2.0ghz. *xvii* conference on design of circuits and integrated systems. santander, spain. Technical report, Texas A&M University, 2002. <http://amesp02.tamu.edu/~sanchez/Tutorial-Santander-2002.pdf>.
- [31] Grass Technologies. Aura®24 ambulatory eeg system. Website, 1997. <http://www.grasstechnologies.com/products/clinsystems/aura241.html>.
- [32] J. Kemmerly W. Hayt, editor. *Análisis de Circuitos en Ingeniería, Quinta Edición*. Mc Graw Hill, México, D.F., 1993.