

**Instituto Tecnológico y de Estudios Superiores de
Monterrey
Campus Monterrey**

**División de Tecnologías de Información y Electrónica
Programa de Graduados**



**Diseño de un Sistema de Control Mioeléctrico “manos libres” en
Tecnología CMOS para el Encendido Automático de una
Electrolaringe**

TESIS

Presentada como requisito parcial para obtener el grado académico de
**Maestría en Ciencias en Ingeniería Electrónica
Especialidad en Sistemas Electrónicos**

Zaira Pineda Rico

Monterrey, N.L., Febrero 23 de 2007

**Instituto Tecnológico y de Estudios Superiores de
Monterrey
Campus Monterrey**

**División de Tecnologías de Información y Electrónica
Programa de Graduados**

Los miembros del comité de tesis recomendamos que la presente tesis del Ing. Zaira Pineda Rico es aceptada como requisito parcial para obtener el grado académico de **Maestría en Ciencias en Ingeniería Electrónica con especialidad en Sistemas Electrónicos**.

Comité de Tesis

Asesor Dr. Graciano Dieck A.

Sinodal Dr. Alfonso Ávila O.

Sinodal Dr. Sergio O. Martínez C.

Dr. Graciano Dieck Assad
Director del Programa de Graduados en Tecnologías
de Información y Electrónica
Febrero de 2007

A mi familia

Gracias a las personas que contribuyeron a la realización de esta tesis: Dr. Graciano Dieck Assad por la oportunidad y confianza además de su constante asesoría académica, al Dr. Alfonso Ávila por todas sus atenciones durante mi estancia en el instituto, a J. Alfonso Sánchez de Lucio por su apoyo y las horas de trabajo compartidas, a Esther Collado y Farid Bautista por su asesoría y compañía, a Próspero López por sus atenciones como administrador del laboratorio de MEMS. A Greysel Ramos A., Francisco Martínez B., Roberto Magaña y Jorge León C. por su amistad. A Nidia, Verónica, Pamela, Pancho, Miguel, Rubén y Adrián que siempre están conmigo.

Resumen

En los últimos años las señales electromiográficas han sido ampliamente utilizadas como señales de control en el diseño de prótesis de brazos y piernas. Sabiendo que la electrolaringe es una prótesis de voz usada por más de la mitad de personas que sufren una laringotomía [2] y que se caracteriza por ser un dispositivo de encendido manual, en este trabajo se propone la implementación de un sistema de automatización manos libres. El sistema utiliza circuitos con capacitores conmutados para su fabricación en tecnología CMOS.

El diseño del sistema se divide en dos etapas: la etapa de adquisición y acondicionamiento de la señal electromiográfica y la etapa de control de la electrolaringe. Para la etapa de control se propone el uso de dos alternativas confiables: un microcontrolador y un FPGA (Field Programmable Gate Array). Cada una de las etapas del sistema de adquisición y acondicionamiento fue simulada con la plataforma ICStudio de Mentor Graphics. El sistema de control fue simulado para ambas alternativas usando el software de BASCOM-AVR de Atmel y ModelSim SE de Mentor Graphics, respectivamente.

El sistema completo propone un diseño sencillo, considerando los retos que representa el diseño de sistemas portátiles miniaturizados, con la finalidad de hacer de éste un producto disponible en el mercado capaz de brindar comodidad de uso y confiabilidad a los pacientes.

Índice general

1. Introducción	1
1.1. Definición del Problema	3
1.2. Objetivos	3
1.3. Antecedentes	4
1.4. Organización	6
2. Señales Electromiográficas y Acondicionamiento Electrónico	7
2.1. Señales Electromiográficas (EMG)	7
2.2. El transistor MOS	8
2.2.1. Integradores	8
2.3. Elementos de Circuitos SC	10
2.3.1. Interruptores	10
2.3.2. Capacitores	12
2.3.3. Elementos activos en circuitos SC	13
2.3.4. Resistencias y Transresistencias	13
2.4. Circuitos con capacitores conmutados	15
2.4.1. Amplificadores	17
2.4.2. Filtros de primer orden	20
3. Adquisición de señales EMG	22
3.1. Sistema de Adquisición para señales EMG	22
3.2. El amplificador operacional	24
3.2.1. El método g_m/I_D	25
3.3. El interruptor	28
3.4. El Bioamplificador: Amplificador Diferencial	29
3.5. El rectificador	30
3.6. Filtros	32
3.6.1. Filtro de paso alto	32

3.6.2.	Filtro de paso bajo	33
3.6.3.	Filtro con topología Sallen-Key	34
3.6.4.	La Salida del Sistema de Adquisición de datos	36
4.	El Control de la Electrolaringe	39
4.1.	El microcontrolador ATiny12	48
4.1.1.	Descripción de las terminales	49
4.2.	FPGA	50
5.	Pruebas y simulaciones aisladas del sistema de adquisición y acondicionamiento de la señal EMG	52
5.1.	Señales para la conmutación	53
5.2.	Los interruptores	54
5.3.	El amplificador operacional	54
5.4.	El Bioamplificador: Amplificador Diferencial	58
5.5.	Filtro de paso alto con $f_c = 70$ Hz	61
5.6.	Filtro de paso bajo con $f_c = 450$ Hz	63
5.7.	Rectificador de onda completa	66
5.8.	Filtro de paso bajo con $f_c = 3$ Hz	68
5.9.	El comparador de voltaje	70
6.	Pruebas y simulaciones integradas del sistema de adquisición y acondicionamiento de la señal EMG, y el sistema de control	72
6.1.	El sistema de adquisición y acondicionamiento de la señal EMG	73
6.1.1.	Respuesta del sistema a una señal con características similares a una señal EMG	73
6.1.2.	Respuesta del sistema a una señal EMG	76
6.2.	El sistema de control	81
6.2.1.	El microcontrolador ATiny12	81
6.2.2.	Control en VHDL para su implementación en un FPGA	81
7.	Conclusiones	87
	Apéndices	89
A.	Tabla para filtros Butterworth normalizados de paso bajo	89

B. Diseño de un op amp de dos etapas	90
B.1. Procedimiento de diseño de un op amp sin buffer	91
B.2. Compensación de Miller	93

Índice de figuras

2.1.	a) Electrodo de superficie y b) Algunos electrodos de aguja	8
2.2.	Símbolo del transistor MOS	9
2.3.	Diagrama circuital y símbolo lógico de un “transmission gate”. . .	11
2.4.	Resistencia equivalente obtenida de la secuencia de carga de un capacitor a través de dos interruptores.	14
2.5.	Transresistencia positiva con capacitores conmutados (izquierda) y circuito equivalente de transresistencia negativa (derecha)	15
2.6.	Formas de onda de salida de acuerdo a la fase del reloj para medio pulso senoidal.	16
2.7.	Amplificador de voltaje implementado con capacitores conmutados usando la emulación paralela de resistencia.	17
2.8.	El circuito de la derecha es un integrador no inversor, el de la izquierda es inversor.	19
2.9.	Filtro de paso bajo de primer orden.	20
2.10.	Filtro de paso alto de primer orden.	21
3.1.	Amplificación y formación de la envolvente lineal.	23
3.2.	Configuración del circuito usado para el diseño del amplificador operacional.	24
3.3.	Modelo NMOS nivel 3 [3]	27
3.4.	Modelo PMOS nivel 3 [3]	27
3.5.	Diagrama esquemático de los circuitos que forman el interruptor “transmission gate”.	29
3.6.	Amplificador sumador con capacitores conmutados.	30
3.7.	Circuito del rectificador inversor implementado en base a un circuito sumador con capacitores conmutados y dos diodos.	31
3.8.	Diagrama del filtro de paso alto.	33
3.9.	Diagrama del filtro de paso bajo.	34

3.10. Filtro anti-traslape Sallen-Key de ganancia unitaria.	35
3.11. Ubicación de los polos para un filtro Butterworth de tercer orden (n=3).	36
3.12. Inversores conectados en serie en modo complementario.	37
4.1. Diagrama de flujo del sistema de control. (<i>Temp</i> : Tiempo de espera, <i>MIC</i> : Micrófono, <i>EMG</i> : señal electromiográfica)	40
4.2. Secuencia Lógica del Diagrama de Flujo	40
4.3. Diagrama de tiempo que muestra el proceso de encendido de la electrolaringe cuando ésta se activa accidentalmente.	41
4.4. Diagrama de tiempo que muestra el proceso de encendido de la electrolaringe, y su apagado automático cuando el paciente deja de hablar.	41
4.5. Programa fuente en BASCOM para el control de encendido y apa- gado de la electrolaringe.	43
4.6. Programa del bloque central de control. Su función es encender y apagar la electrolaringe, enviar una señal de activación al bloque que envía las señales de conmutación y dar la señal de inicio al tiempo de espera de 3 segundos. Continua...	44
4.7. ...Proceso para generar el tiempo de espera de 3 segundos en períodos de 250 ms.	45
4.8. Programa del bloque que envía las señales de conmutación clk1 y clk2. El bloque cuenta con una señal de activación que hace que no se envíen las señales de conmutación cuando la electrolaringe está encendida.	46
4.9. Programa para la unión de los bloques de control central y señales de conmutación que conforman el control de encendido de la elec- trolaringe.	47
4.10. Configuración de las terminales del microcontrolador ATiny12. . .	49
4.11. Función de las terminales PB5 ...PB3 de acuerdo a las op- ciones del reloj	50
5.1. Diagrama de bloques del sistema de control de encendido automá- tico de la electrolaringe.	53
5.2. Señales de reloj usadas en las simulaciones para controlar la conmu- tación de los capacitores.	54
5.3. Configuración de transistores CMOS que conforman un “trans- mission gate”.	55

5.4. Valor de la relación (W/L) para cada transistor del amplificador operacional.	56
5.5. Respuesta en frecuencia del amplificador operacional diseñado con el método g_m/I_d . a) Magnitud de la ganancia, b) Respuesta en fase	56
5.6. Diagrama esquemático del amplificador operacional de dos etapas, con compensación de Miller.	57
5.7. Gráfica de la respuesta en frecuencia del amplificador operacional, obtenida a través de un análisis de AC en ICStudio.	58
5.8. Sistema de adquisición y acondicionamiento de la señal EMG: el Bioamplificador.	58
5.9. Diagrama esquemático del amplificador diferencial.	59
5.10. Señal diferencial de entrada (80mVpp) y señal de salida del amplificador diferencial con $ganancia = 8$	60
5.11. Comparación entre las señales de entrada y salida del amplificador diferencial.	60
5.12. Sistema de adquisición y acondicionamiento de la señal EMG: el filtro de paso alto	61
5.13. Diagrama del circuito del filtro de paso alto con capacitores conmutados usado en la simulación.	61
5.14. Respuesta del filtro de paso alto a una señal de entrada de 1 V a 80 Hz.	62
5.15. Respuesta del filtro de paso alto a una señal de frecuencia 400 Hz y 1 V de amplitud.	63
5.16. Sistema de adquisición y acondicionamiento de la señal EMG: el filtro de paso bajo	63
5.17. Diagrama esquemático del filtro de paso bajo con capacitores conmutados usado en la simulación.	64
5.18. Respuesta del filtro de paso bajo a una señal de entrada de 450 Hz y 1 V de amplitud.	65
5.19. Respuesta del filtro de paso bajo a una señal de entrada de 350 Hz y 1 V de amplitud.	65
5.20. Procesamiento de la señal EMG: el rectificador de onda completa .	66
5.21. Circuito del rectificador inversor diseñado en base a un amplificador sumador con capacitores conmutados. El amplificador inversor cambia la forma de onda de salida.	67
5.22. Señal senoidal de entrada de 1 V de amplitud y señal rectificadas de salida.	68

5.23. Procesamiento de la señal EMG: Formación de la envolvente lineal por medio del filtro de paso bajo de tercer orden	68
5.24. Circuito para el filtro convencional de tercer orden con frecuencia de corte de 3 Hz.	69
5.25. Respuesta en frecuencia del filtro convencional de tercer orden con frecuencia de corte de 3 Hz.	69
5.26. Procesamiento de la señal EMG: el comparador de voltaje.	70
5.27. Diagrama esquemático del inversor en modo complementario usado como comparador.	70
5.28. Punto de activación del primer inversor que conforma el inversor complementario.	71
5.29. Punto de activación de los dos inversores en serie que conforman el inversor complementario.	71
6.1. Señal con características similares a una señal EMG usada en las simulaciones.	73
6.2. Respuesta del amplificador diferencial a una señal con características similares a una señal EMG.	74
6.3. Respuesta del filtro de paso alto a una señal con características similares a una señal EMG.	74
6.4. Respuesta del filtro de paso bajo a una señal con características similares a una señal EMG previamente filtrada a frecuencias mayores de 80 Hz.	75
6.5. Respuesta del rectificador a una señal con características similares a una señal EMG.	75
6.6. Arriba: envolvente lineal obtenida por medio del filtro de paso bajo con frecuencia de corte de 3 Hz. Abajo: respuesta del inversor ante la envolvente, el inversor no se activa porque la amplitud de la envolvente es menor a 200 mV.	76
6.7. Respuesta del sistema de adquisición y acondicionamiento por etapas para una señal con características similares a una señal EMG.	77
6.8. Señal EMG utilizada en la simulación del sistema de adquisición final.	77
6.9. Respuesta del amplificador diferencial a una señal EMG. El amplificador tiene una ganancia de 10.	78
6.10. Señal EMG a través del filtro de paso bajo que elimina el ruido causado por la componente de DC y bajas frecuencias.	78
6.11. Señal EMG a través del filtro de paso bajo de 450 Hz.	79

6.12. Señal EMG rectificada con una ganancia de 8. El aumento en la ganancia es necesario porque al filtrar la señal para obtener la envolvente, la amplitud de la señal cae aproximadamente a 100 mV. Una señal de 100 mV no es suficiente para activar el comparador.	79
6.13. Envolvente lineal obtenida por medio del filtro de paso bajo con frecuencia de corte de 3 Hz.	80
6.14. Señal de salida del comparador. El pulso cuadrado se procesa por el sistema de control para encender la electrolaringe.	80
6.15. Estado de los puertos del ATiny12 cuando se genera una interrupción externa y se detecta la señal del micrófono en IB.3	82
6.16. Estado de los puertos del ATiny12 cuando se genera una interrupción externa y la señal del micrófono en IB.3 se hace cero.	83
6.17. Estado de los puertos del ATiny12 cuando monitorea la señal de encendido, las señales de reloj no son perceptibles por su corta duración.	84
6.18. Señales para la conmutación del sistema de adquisición y acondicionamiento de la señal EMG. Las señales de conmutación clk1 y clk2 se envían sólo cuando la electrolaringe está apagada. En este caso la electrolaringe se enciende con un cero lógico.	85
6.19. Estado de las señales importantes del programa de control al encender la electrolaringe. El conteo de los períodos de 250 ms continúa hasta alcanzar los 3 segundos, si durante este tiempo no existe señal del micrófono la electrolaringe se apaga.	85
6.20. Cuando termina el período de tolerancia, si el paciente está hablando (condición que se hace notoria a través de la señal MIC) entonces la electrolaringe continúa encendida.	86
6.21. Sin embargo, cuando se alcanza el período de tolerancia de 3 segundos y el paciente no ha hablado, entonces la electrolaringe se apaga automáticamente para ahorrar energía.	86
A.1. Filtro Butterworth de paso bajo	89

Capítulo 1

Introducción

La electrolaringe es un dispositivo capaz de ayudar a la emisión de voz en pacientes que han perdido la capacidad de expresarse verbalmente, ya sea por el padecimiento de enfermedades de tipo cancerígenas o a causa de accidentes que afectan directamente el estado de la laringe [12]. A través del enlace ingeniería-medicina se han encontrado diversas alternativas para crear dispositivos traductores de señales que permiten a estas personas expresarse de forma artificial. En esta línea se usa un dispositivo conocido como electrolaringe manual que se controla, como su nombre lo indica, con las manos. Esta característica hace que su uso resulte poco práctico.

El ITESM en su búsqueda por introducir nuevas tecnologías en el país, inició el desarrollo de un control automático para una electrolaringe basado en la medición y procesamiento de señales electromiográficas [2]. El sistema se desarrolla con el apoyo de médicos, haciendo pruebas con señales adquiridas de un músculo del brazo. Hasta ahora se ha logrado el diseño de un dispositivo efectivo con el uso de electrónica tradicional [2].

El objetivo de esta tesis es de implementar un prototipo de encendido automático de la electrolaringe, usando microelectrónica analógica con tecnología CMOS de baja potencia para un empaquetado en un circuito integrado de $0.35 \mu\text{m}$. Este circuito deberá ser capaz de adquirir la señal mioeléctrica de un músculo, filtrarla, amplificarla y procesarla para el control de la electrolaringe, a través de un sistema completo de adquisición de datos. Se propone el uso de circuitos con capacitores conmutados para aumentar la eficiencia y disminuir el consumo de potencia en el dispositivo.

A través de los años los circuitos con capacitores conmutados han tomado importancia en el diseño de circuitos integrados analógicos. Esto se debe principalmente a que su diseño depende del manejo de elementos sencillos como interruptores, capacitancias y elementos activos, como amplificadores operacionales o buffers de ganancia unitaria. Los sistemas diseñados con capacitores conmutados son usados frecuentemente en el área de comunicaciones, control y aplicaciones distintas de procesamiento de señales [7] por la agregada precisión en las constantes de tiempo, la disminución de tamaño en el circuito integrado y el uso eficiente de la energía disponible.

Los circuitos con capacitores conmutados son convenientes para implementar en tecnología CMOS porque sus características funcionales dependen de razones entre capacitancias y no de valores absolutos, lo que puede ser controlado en un proceso tecnológico [7]. La tecnología CMOS (Complementary Metal-Oxide Semiconductor) constituye una base sólida para implementar circuitos con señales de modo mixto porque promueve el ahorro de energía en modo digital y muestra alta flexibilidad con el acondicionamiento de señales provenientes de sensores y transductores [17]. Estas características hacen posible la implementación de sistemas microelectrónicos y microelectromecánicos (MEMS) completos, implantados en circuitos integrados y de alto desempeño. Además, provee al diseñador de una gran flexibilidad para separar las tareas de acondicionamiento y procesamiento de señales entre circuitos analógicos y digitales. También posee diversas ventajas sobre la electrónica tradicional, entre las que destacan [24]:

- Microsistemas completos de modo mixto y alto desempeño.
- Disminución del consumo de energía y del ruido inducido.
- Alta confiabilidad que permite la interconexión de diversos empaquetados.
- Alta velocidad y reducción de la distancia de interconexión entre los componentes del sistema.
- Presenta soluciones más económicas para nuevos diseños.

1.1. Definición del Problema

La electrolaringe manual es un sistema incómodo que requiere de entrenamiento previo del paciente para que éste llegue a controlarla de manera eficiente [12]. La existencia de un control automático mediante la adquisición y procesamiento de la señal electromiográfica (EMG) de un músculo, permite al paciente reproducir voz en forma más natural.

Llevar a cabo el diseño de circuitos integrados con el uso de tecnología CMOS implica tomar en cuenta diversas consideraciones, entre las que destacan estimar cada una de las interconexiones y simular los efectos en el dominio del tiempo. De tal forma que se pueda tener un diseño confiable, de bajo costo y con poca disipación de energía [17]. Por otro lado, en la implementación de dispositivos electrónicos con capacitores conmutados, se debe de asegurar que las señales de control no se traslapen.

Una de las características principales para el acondicionamiento de señales EMG es que en la medición del sensor no sólo influye en el biopotencial generado por la contracción muscular, sino que existen señales de ruido que afectan la señal recibida. Un amplificador con características de paso bajo controlado con ayuda de capacitores conmutados se propone como acondicionador de señales EMG. Las señales EMG llegan a tener valores máximos en milivolts pico a pico, por lo que la etapa de amplificación resultará necesaria al momento de manipular la información que éstas proporcionan [25].

1.2. Objetivos

El sistema de control de la electrolaringe capturará la señal EMG con la menor cantidad de ruido. Esta señal proporcionará información adecuada para continuar con el procesamiento antes de enviar las señales de encendido de la electrolaringe.

El sistema completo debe proveer un bajo consumo de potencia, lo que limita las condiciones de trabajo de los circuitos implicados en el diseño del control.

El control de una electrolaringe por medio de señales electromiográficas consiste principalmente en cuatro etapas distintas:

1. Adquisición de la señales electromiográficas en el músculo del brazo.
2. Filtrado, amplificación y rectificación de la señal obtenida.
3. Generación de una envolvente rápida de la señal para controlar el estado de encendido/apagado del transductor de voz de la electrolaringe.
4. Procesamiento de la señal proveniente de la envolvente para el control automático de la electrolaringe.

La envolvente rápida se obtiene al filtrar las altas frecuencias de la señal rectificada. Este proceso genera un nivel de voltaje de amplitud variable pero continuo en el tiempo, que permitirá medir la intensidad de la señal. De acuerdo al nivel de voltaje alcanzado, el control determinará si es necesario encender la electrolaringe.

1.3. Antecedentes

El análisis de las señales mioeléctricas así como la estimulación artificial de los músculos a través de impulsos eléctricos, ha contribuido al desarrollo de múltiples dispositivos cuyo propósito es disminuir las limitaciones que una prótesis laríngea causa en el paciente.

La detección de las señales EMG puede llevarse a cabo colocando electrodos sobre la piel, el voltaje obtenido se procesa usando un amplificador diferencial eficiente de tal forma que la señal de salida sea capaz de controlar dispositivos electrónicos o electromecánicos[2].

En 1990, con el fin de aportar una mejora a la electrolaringe manual existente en el mercado, la Universidad de Boston diseñó el PRTSS (*Portable Real Time Speech System*), el cual es un dispositivo sintetizador que mejora la voz producida por la electrolaringe. En la realización del proyecto se aprovecha la capacidad del microprocesador RISC 22MIPS R3000 y un chip DSP TMS 320C30 para el diseño de modelos probabilísticos usados en la predicción de palabras . Este dispositivo se coloca en el cinturón del paciente [16].

Susan H. Day [et. al], en la Universidad de Auburn, utilizó señales mioeléctricas de los músculos que dan forma al tracto vocal para desarrollar

un esquema de control para el reconocimiento de palabras. Este patrón logra el 70-80 % de reconocimiento para un grupo de 10 palabras [8].

En el *Center for Wireless Integrated MicroSystems* (WIMS) de la Universidad de Michigan, se ha hecho un gran número de aportaciones al área biomédica mediante el diseño de MEMS [10], entre estos proyectos destaca un dispositivo estimulador inalámbrico para los músculos de la laringe, el cual una vez insertado al músculo, puede excitarlo eléctricamente por telemetría [28].

Otra aportación importante fue hecha por Alzamora [et. al] en 1993 a través de *Implementation of a software model of the human glottis on a TMS32010 DSP to drive an artificial larynx* [4], donde el autor propone un generador de onda para controlar una prótesis de paladar. Esta prótesis está formada básicamente por un pequeño micrófono unido a un plato dental y originalmente se manipula con la lengua. La forma de onda se genera y se controla con un dispositivo electrónico externo, y es transmitida a un receptor en el plato dental.

Aunque la mayoría de estos dispositivos han sido enfocados en la mejora de la voz reproducida por la prótesis laríngea, existen controles mioeléctricos para el encendido de la electrolaringe desarrollados en electrónica tradicional. Tal es el caso de *Design and Implementation of a Hands-Free Electrolarynx Device Controlled by Neck Strip Muscle Electromyographic Activity* [12] donde se propone un sistema de adquisición de señales EMG y un control de encendido para una electrolaringe. Este trabajo aporta además un control de tono, el cual facilita al paciente entrenar la laringe para el uso de la prótesis y mejora la calidad de voz artificial reproducida.

El trabajo de tesis *Diseño de un Control Mioeléctrico de una Electrolaringe* [2], propone un sistema de control similar al propuesto por [12]. En este trabajo se controla de manera eficiente el encendido y apagado automático de una electrolaringe a través de secuencias lógicas y temporizadores, usando electrónica tradicional.

1.4. Organización

Esta tesis se ha organizado en siete capítulos que describen el desarrollo del dispositivo.

- El capítulo dos hace una breve revisión de los conceptos relacionados con las señales electromiográficas y el diseño de circuitos con capacitores conmutados.
- El capítulo tres describe paso a paso el diseño del sistema de adquisición y acondicionamiento de las señales electromiográficas.
- El capítulo cuatro describe el diseño del control para la electrolaringe a través de la programación tanto de un microcontrolador propuesto como de un FPGA.
- El capítulo cinco muestra los resultados de las simulaciones de los bloques funcionales usando ICStudio de Mentor Graphics.
- El capítulo seis muestra los resultados obtenidos al simular el circuito obtenido por la integración de los bloques funcionales que dan forma al sistema de adquisición y acondicionamiento de la señal EMG, así como aquellas realizadas sobre el programa fuente del microcontrolador y el FPGA, propuestos para controlar el encendido de la electrolaringe.
- Finalmente el capítulo siete describe las conclusiones referentes al trabajo desarrollado en esta tesis.

Capítulo 2

Señales Electromiográficas y Acondicionamiento Electrónico

2.1. Señales Electromiográficas (EMG)

Las fibras excitables del cuerpo humano registran variaciones de potencial en la membrana debido al intercambio de iones que se lleva a cabo a través de ella. Este intercambio ayuda a que la célula conserve un equilibrio iónico entre su medio interno y externo [22]. Las células musculares no quedan exentas de dichos intercambios y esta variación de potencial responde a los estados de contracción y relajación del músculo. Los impulsos eléctricos producidos en estas variaciones son conocidos como señales mioeléctricas o electromiográficas (EMG), y se encuentran en un rango de frecuencia desde 25 Hz hasta algunos cuantos kilohertz. La amplitud de la señal se encuentra en el rango de 100 μV a 90 mV dependiendo del punto de medición y del tipo de sensor utilizado [1].

La unidad contráctil de la musculatura del esqueleto es la fibra muscular, que es una célula cilíndrica de unos 50 μm de diámetro, y al ser estimulada se contrae desarrollando fuerza. Un músculo consiste en haces paralelos de fibras musculares. La activación de cada fibra muscular se hace a través del axón de la fibra nerviosa motriz que la inerva. Según la posición y la función del músculo, el número de fibras musculares inervadas por un mismo axón puede variar entre uno o más de mil [23].

Algunos tipos de electrodos empleados en la electromiografía son: de superficie, concéntricos de aguja, monopolares de aguja, fibra única y microelectrodos [23]. La figura 2.1 muestra electrodos de superficie y de aguja.

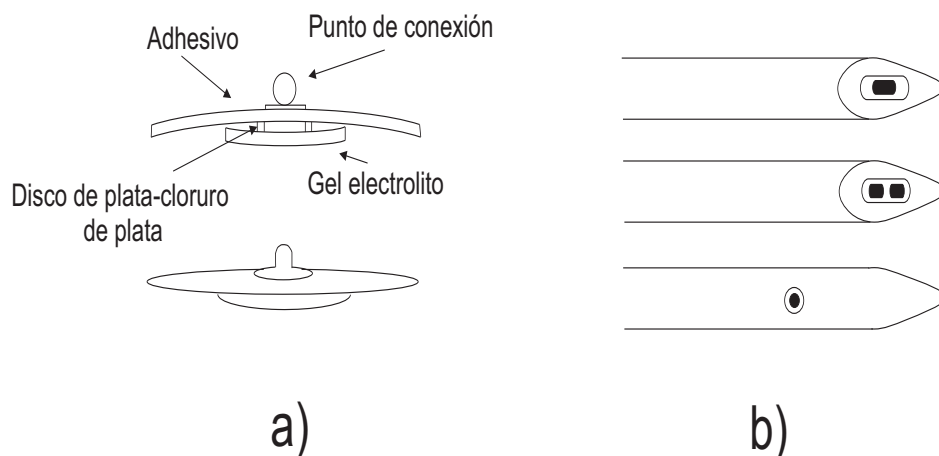


Figura 2.1: a) Electrodo de superficie y b) Algunos electrodos de aguja

2.2. El transistor MOS

El transistor MOS es protagonista del diseño de circuitos con tecnología CMOS. En este apartado se dará una breve descripción de este dispositivo.

2.2.1. Integradores

La figura 2.2 muestra el símbolo de tres terminales usado para el MOSFET. Por lo general se presupone que la conexión del “bulk” es en la fuente para ambos transistores. Existen dos tipos de MOSFET de acuerdo a la fabricación: el de canal-n (n-type) y el de canal-p (p-type).

Cuando se polariza la compuerta (“gate”), el transistor “conecta” el drenador (“drain”) con la fuente (“source”) permitiendo el paso de corriente (I_{DS} o I_D como se usará en este texto) a través de ellos. Una pequeña variación en el voltaje de la compuerta (V_G) puede modificar este flujo de

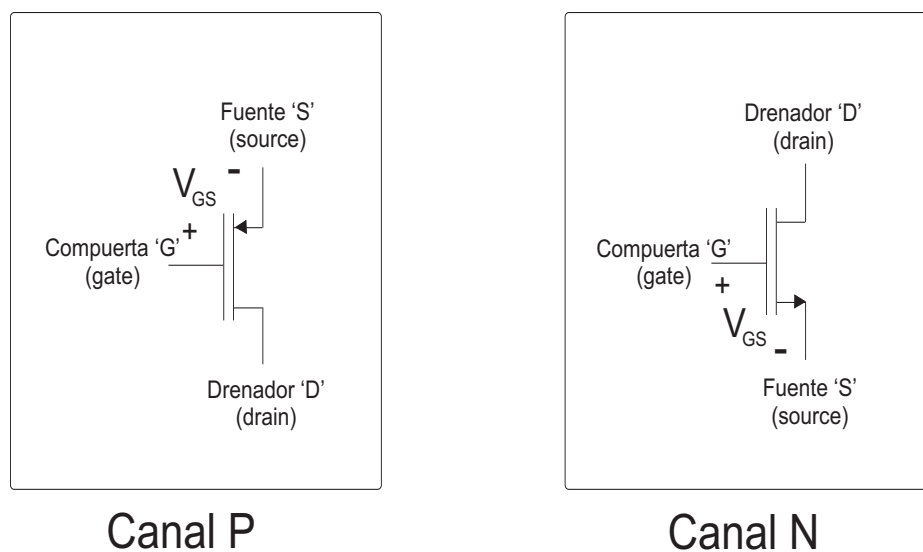


Figura 2.2: Símbolo del transistor MOS

corriente. Para que esta conexión ocurra, el voltaje en la compuerta debe alcanzar un determinado valor V_T (Voltaje umbral). El valor de V_T depende de la estructura física del MOSFET.

Al cambio de estado de “no conectado” a “conectado” se le conoce como *inversión*.

Existen tres regiones de inversión señalados en términos del voltaje entre compuerta y fuente (V_{GS}): inversión débil (“weak inversion”), inversión fuerte (“strong inversion”) e inversión moderada (“moderate inversion”) [27]. Si V_{GS} (voltaje compuerta-fuente) o V_{DS} (voltaje drenador-fuente) disminuyen, la corriente en el canal eventualmente se vuelve muy pequeña. El transistor tiene un comportamiento distinto en cada región de inversión. En la región de inversión débil la corriente I_D está relacionada exponencialmente con V_{GS} . En inversión fuerte I_D es aproximadamente cuadrática en V_{GS} . En región moderada el comportamiento de la corriente cambia gradualmente de exponencial a polinomial [27].

2.3. Elementos de Circuitos SC

La revolución en la integración de filtros electrónicos comenzó en los años setenta con los logros obtenidos en el uso de tecnología MOS VLSI (Metal-Oxide-Semiconductor Very Large Scale Integration). Por otro lado la fácil integración de interruptores, capacitores precisos y amplificadores operacionales, llevaron a una nueva clase de circuitos analógicos nombrados circuitos con capacitores conmutados (o circuitos SC por su nombre en inglés “Switched Capacitor Circuits”), los cuales contienen interruptores, capacitores y algunos elementos activos [7].

La posibilidad de reemplazar resistencias por configuraciones de interruptores y capacitores, hacen atractivo el uso de circuitos SC en los filtros activos analógicos [7].

Las principales ventajas de los circuitos SC son [3]:

- Buena aproximación de las constantes de tiempo.
- Linealidad de voltaje.
- Buenas características de temperatura.

Y entre las desventajas se puede mencionar [3]:

- Alimentación del reloj.
- Se requieren dos fases de reloj sin traslape.
- El ancho de banda de la señal debe ser mucho menor que la frecuencia del reloj.

Los circuitos SC operan como sistemas de procesamiento analógico pero en tiempo discreto [7].

2.3.1. Interruptores

Los interruptores en los circuitos SC cargan y descargan a los capacitores, generalmente se usa tecnología CMOS que consiste en “transmission gates”(TG). La figura 2.3 muestra TGs formados por la conexión de dos

transistores, uno tipo n y otro tipo p. Este tipo de interruptores disminuye la inyección de carga y reduce la variación del valor de la resistencia del estado de encendido en todo el rango de operación del voltaje drenador-fuente, a valores entre los 10 k Ω y 25 k Ω [7].



Figura 2.3: Diagrama circuital y símbolo lógico de un “transmission gate”.

Los interruptores integrados se pueden caracterizar por los siguientes efectos no ideales [7]:

- Resistencia del estado de encendido R_{on} .
- Resistencia del estado de apagado R_{off} .
- Alimentación a través del reloj.
- Ruido.

Cuando un capacitor C se carga a través de dos interruptores el tiempo de carga constante es $2R_{on}C \leq (1/5f)$, donde f es la frecuencia de muestreo. Entonces se obtiene:

$$R_{on} \leq \frac{1}{10fC} \quad (2.1)$$

R_{on} posee ruido generado por el switch, sin embargo este efecto es tan pequeño que casi siempre puede omitirse [7].

Los voltajes de compuerta que se aplica a ambos transistores son señales complementarias. Si la señal de control es un uno lógico (igual al voltaje de alimentación V_{DD}), entonces ambos transistores están prendidos y proveen una baja resistencia de conducción entre la entrada y la salida. Por el contrario si la señal de control es un cero lógico, ambos transistores estarán apagados y entrarán en un estado de alta impedancia o no conducción [15]. Para análisis a más detalle del circuito se investigará la relación corriente-voltaje del TG como función del voltaje de entrada (V_{in}) y el voltaje de salida (V_{out}).

Los voltajes entre drenador-fuente (V_{DS}) y compuerta-fuente (V_{GS}) de los transistores se relacionan por:

$$\text{nMOS} \implies \begin{cases} V_{DS,n} = V_{in} - V_{out} \\ V_{GS,n} = V_{in} - V_{out} \end{cases} \quad (2.2)$$

$$\text{pMOS} \implies \begin{cases} V_{DS,p} = V_{out} - V_{in} \\ V_{GS,p} = -V_{in} \end{cases} \quad (2.3)$$

La corriente total que fluye por la TG es la suma de las corrientes I_D de los transistores:

$$I_D = I_{DS,n} + I_{SD,p} \quad (2.4)$$

La resistencia equivalente para cada transistor es:

$$\begin{aligned} R_{eq,n} &= \frac{V_{in} - V_{out}}{I_{DS,n}} \\ R_{eq,p} &= \frac{V_{in} - V_{out}}{I_{DS,p}} \end{aligned} \quad (2.5)$$

La resistencia equivalente de la TG será la suma del paralelo de las dos resistencias, $R_{eq,n}$ y $R_{eq,p}$ [15].

2.3.2. Capacitores

En el diseño de circuitos SC los capacitores son fundamentales como dispositivos de carga. Se pueden construir de diferentes formas de acuerdo al proceso y a la aplicación. Para aplicaciones de muestreo, una de las características esperadas más importantes es la exactitud de la razón entre las capacitancias [3].

2.3.3. Elementos activos en circuitos SC

Los elementos activos típicos en los circuitos SC son los amplificadores operacionales (op amps) y los amplificadores operacionales de transconductancia (OTA). Los amplificadores limitan el rango de frecuencia de muestreo más alta y las frecuencias tope de los filtros. El ancho de banda del amplificador determina también qué tan grandes pueden ser las capacitancias. La velocidad de un amplificador (o ancho de banda) está determinado por la configuración usada y su diseño de alto desempeño. Hay dos requerimientos para que los amplificadores sean apropiados en los circuitos SC:

- La ganancia DC debe ser más grande que 68 dB aproximadamente.
- El ancho de banda debe ser al menos cuatro veces más grande que la frecuencia más alta del reloj (que corresponde a dos pulsos de reloj).

La ganancia finita en un amplificador se traduce en la degradación de las características del filtro. Ésta se traduce en baja selectividad (o factor Q , definido como la frecuencia de resonancia dividida por el ancho de banda $Q = \omega_0/BW$ [11]), un movimiento de la posición de los polos, un mayor rizado de paso de banda y un amplio ancho de banda. Un ancho de banda demasiado estrecho puede también degradar las características del filtro ya que los tiempos de estabilización serán muy grandes.

En la práctica, el amplificador debe cargar los capacitores asociados al circuito SC en aproximadamente la mitad del ancho de pulso del reloj, esto es para garantizar un restablecimiento bajo las peores condiciones.

Otra desventaja importante en los amplificadores operacionales es el voltaje de desvío en la salida. Para reducir el desvío de voltaje, los transistores de entrada del amplificador deben ser grandes (incrementando el ancho del canal de los transistores). Los efectos del voltaje de desvío pueden ser compensados usando estructuras especiales de filtrado y una conmutación apropiada [7].

2.3.4. Resistencias y Transresistencias

La configuración apropiada de interruptores y capacitores conmutados puede simular valores de resistencia. La figura 2.4 muestra un circuito SC

que emula una resistencia. A esta configuración se le conoce como emulación paralela de resistencia.

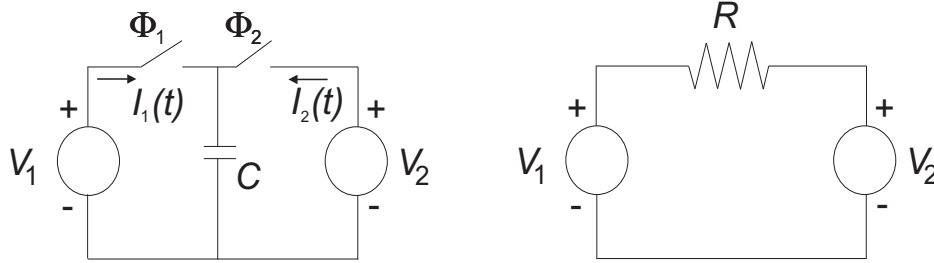


Figura 2.4: Resistencia equivalente obtenida de la secuencia de carga de un capacitor a través de dos interruptores.

Se asume que dos fases de reloj ϕ y $\bar{\phi}$ son aplicadas con pulsos de período T . Si se toma la relación entre los voltajes v_1 , v_2 y la carga total q que fluye por el circuito hasta un $t_n = T$. El incremento de la carga $\Delta q(t_n)$ se puede expresar como:

$$\Delta q(t_n) = q(t_n) - q(t_n - T) = C[v_1(t_n) - v_2(t_n)] \quad (2.6)$$

y la corriente efectiva como:

$$i(t_n) = \frac{\Delta q(t_n)}{T} = \frac{C}{T}[v_1(t_n) - v_2(t_n)] = R^{-1}[v_1(t_n) - v_2(t_n)] \quad (2.7)$$

Entonces, se obtiene la equivalencia de la resistencia:

$$R = \frac{T}{C} \quad (2.8)$$

Con ayuda de circuitos SC se pueden crear transresistencias, es decir configuraciones de 2 puertos que toman el voltaje aplicado en el primer puerto y crean una corriente en el otro [3]. La figura 2.5 muestra la emulación de una transresistencia negativa de T/C definida por:

$$R_T = \frac{v_1(t)}{i_2(t)} = \frac{v_1}{i_2(\text{promedio})} \quad (2.9)$$

Asumiendo que $v_1(t)$ es aproximadamente constante sobre un período de la frecuencia de reloj, se puede calcular:

$$\begin{aligned} i_2(\text{promedio}) &= \frac{1}{T} \int_{T/2}^T i_2(t) dt = \frac{q_2(T) - q_2(T/2)}{T} \\ &= \frac{Cv_c(T) - Cv_c(T/2)}{T} = \frac{-Cv_1}{T} \end{aligned} \quad (2.10)$$

Sustituyendo (2.9) en (2.10) se comprueba que $R_T = -T/C$ [3]. La figura 2.5 muestra transresistencias positiva y negativa, respectivamente.

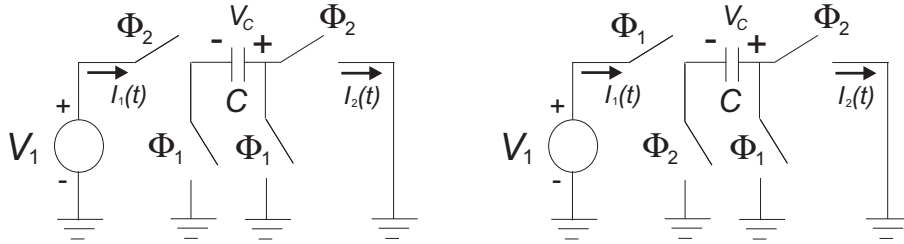


Figura 2.5: Transresistencia positiva con capacitores conmutados (izquierda) y circuito equivalente de transresistencia negativa (derecha)

2.4. Circuitos con capacitores conmutados

Los circuitos SC son también conocidos como “circuitos analógicos de muestreo” porque la señal de entrada del circuito es muestreada y retenida por una mitad del período T , dependiendo de la fase del reloj.

La figura 2.6 ilustra cómo la señal del sistema, para medio pulso senoidal, es igual a la suma de las formas de onda obtenidas en cada fase del reloj. Esta relación se puede escribir como:

$$V^* = V_{\phi_1}(t) + V_{\phi_2}(t) \quad (2.11)$$

Para un tiempo $t = nT/2$ la ecuación (2.11) se puede expresar:

$$V^*(nT/2) \Big|_{n=1,2,3,\dots} = V_{\phi_1} \left((n-1) \frac{T}{2} \right) \Big|_{n=1,3,5,\dots} + V_{\phi_2} \left((n-1) \frac{T}{2} \right) \Big|_{n=2,4,6,\dots} \quad (2.12)$$

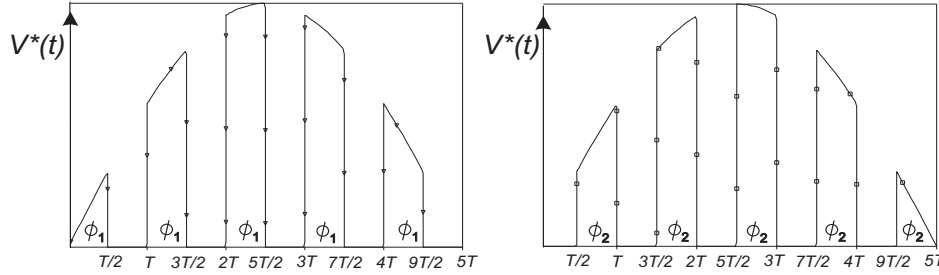


Figura 2.6: Formas de onda de salida de acuerdo a la fase del reloj para medio pulso senoidal.

Al analizar los circuitos SC en el dominio de la frecuencia es necesario transformar la frecuencia en el dominio del tiempo a un equivalente en el dominio de z . Para ilustrar esto es necesario considerar la transformada z por un lado de una secuencia $V(nT)$ definida como:

$$V(z) = \sum_{n=0}^{\infty} V(nT)z^{-n} = V(0) + V(T)z^{-1} + V(2T)z^{-2} + \dots \quad (2.13)$$

para todas las z para las cuales las series $V(z)$ convergen. Ahora, la ecuación 2.12 escrita en el dominio de z :

$$V^*(z) = V_{\phi_1}(z) + V_{\phi_2}(z) \quad (2.14)$$

En un circuito SC visto desde el punto de función en el dominio de z , tanto el voltaje de entrada V_i como el de salida V_o puede ser expresado en función de dos componentes: uno de ϕ_1 y otro de ϕ_2 . En general la función de transferencia se puede escribir como:

$$H^{ij} = \frac{V_o^j(z)}{V_i^i(z)} \quad (2.15)$$

donde i y j pueden ser ϕ_1 o ϕ_2 . Para realizar el análisis del circuito se recomienda escoger un período específico de la fase. Una vez que éste sea analizado entonces se tomará el siguiente período teniendo en cuenta las condiciones iniciales del análisis previo [3].

2.4.1. Amplificadores

Los amplificadores CMOS son más fáciles de implementar con una red capacitiva que con una red resistiva. Esto es porque para alcanzar una ganancia de voltaje alta, la resistencia de salida de lazo abierto del amplificador operacional debe ser muy grande, alcanzando cientos de kilo-ohms. Entonces se intuye que la resistencia de retroalimentación del circuito del amplificador reduce la ganancia de lazo abierto, degradando la precisión del circuito. Por otro lado con una red capacitiva, el capacitor de retroalimentación no reduce la ganancia de lazo abierto del amplificador si el voltaje de salida está dado el tiempo suficiente para estabilizarse [24]. A continuación se hace un acercamiento al diseño de los amplificadores inversores SC.

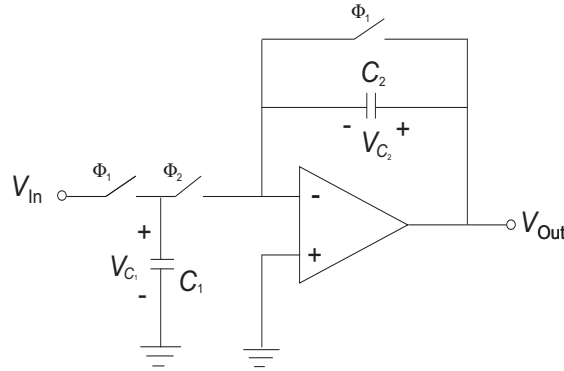


Figura 2.7: Amplificador de voltaje implementado con capacitores conmutados usando la emulación paralela de resistencia.

La figura 2.7 muestra un amplificador SC ilustrando las fases del reloj para guiar el análisis.

Se empieza con ϕ_1 en el intervalo de tiempo $(n-1)T$ a $(n-\frac{1}{2})T$. Durante este tiempo, C_1 se carga con $V_{in}^{\phi_1}(n-1)T$ y C_2 se descarga. En el siguiente período de reloj ϕ_2 , de $(n-\frac{1}{2})T$ a nT , el voltaje de salida es:

$$V_{out}^{\phi_2}(n-\frac{1}{2})T = -\left(\frac{C_1}{C_2}\right)V_{in}^{\phi_1}(n-1)T \quad (2.16)$$

Se convierte (2.16) al dominio de z :

$$z^{-1/2}V_{out}^{\phi_2}(z) = -\left(\frac{C_1}{C_2}\right)z^{-1}V_{in}^{\phi_1}(z) \quad (2.17)$$

multiplicando (2.17) por $z^{1/2}$ resulta:

$$V_{out}^{\phi_2}(z) = -\left(\frac{C_1}{C_2}\right)z^{-1/2}V_{in}^{\phi_1}(z) \quad (2.18)$$

Resolviendo para obtener la función de transferencia $\phi_1\phi_2$:

$$H^{\phi_1\phi_2}(z) = \frac{V_{out}^{\phi_2}(z)}{V_{in}^{\phi_1}(z)} = -\left(\frac{C_1}{C_2}\right)z^{-1/2} \quad (2.19)$$

Si se asume que la señal de entrada aplicada $V_{in}^{\phi_1}(n-1)T$ no cambia durante el período de fase ϕ_2 anterior (de $t = (n - \frac{3}{2})T$ a $t = (n - 1)T$):

$$H^{\phi_2\phi_2}(z) = \frac{V_{out}^{\phi_2}(z)}{V_{in}^{\phi_2}(z)} = -\left(\frac{C_1}{C_2}\right)z^{-1} \quad (2.20)$$

Para encontrar la respuesta en frecuencia se asume que los amplificadores operacionales son ideales y se sustituye z por $e^{j\omega T}$:

$$\begin{aligned} H^{\phi_1\phi_2}(e^{j\omega T}) &= \frac{V_{out}^{\phi_2}(e^{j\omega T})}{V_{in}^{\phi_1}(e^{j\omega T})} = -\left(\frac{C_1}{C_2}\right)e^{-j\omega T/2} \\ H^{\phi_2\phi_2}(e^{j\omega T}) &= \frac{V_{out}^{\phi_2}(e^{j\omega T})}{V_{in}^{\phi_2}(e^{j\omega T})} = -\left(\frac{C_1}{C_2}\right)e^{-j\omega T} \end{aligned} \quad (2.21)$$

El cambio de fase de (2.21) es:

$$\begin{aligned} Arg[H^{\phi_1\phi_2}(e^{j\omega T})] &= \pm 180^\circ - \omega T/2 \\ Arg[H^{\phi_2\phi_2}(e^{j\omega T})] &= \pm 180^\circ - \omega T \end{aligned} \quad (2.22)$$

El cambio de fase del amplificador inversor con capacitores conmutados experimenta un retraso extra a los $\pm 180^\circ$ de cambio de fase. En muchos cambios este exceso no será importante pero si este tipo de amplificador se coloca en un lazo de retroalimentación, se puede convertir en un factor crítico de inestabilidad [3].

La implementación de los integradores con capacitores conmutados representa la base de los circuitos de procesamiento de señales analógicas, ya que todo filtro puede reducirse a bloques de integradores inversores y no inversores [3].

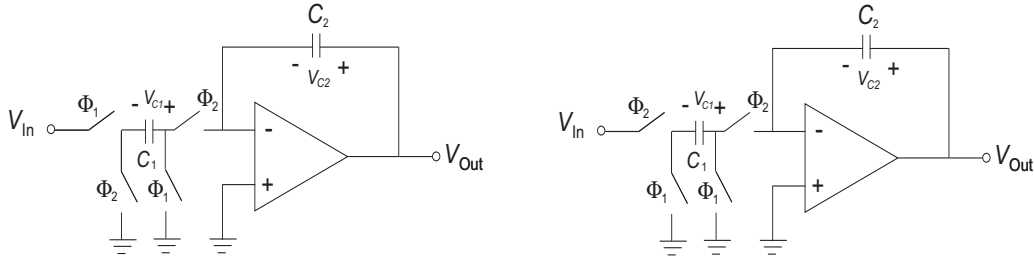


Figura 2.8: El circuito de la derecha es un integrador no inversor, el de la izquierda es inversor.

Las ecuaciones para la respuesta en frecuencia de los circuitos de la figura 2.8 y en el dominio de z para el integrador no inversor son:

$$H^{\phi_1\phi_1}(z) = \frac{V_{out}^{\phi_1}(z)}{V_{in}^{\phi_1}(z)} = \left(\frac{C_1}{C_2}\right) \frac{1}{z-1} \quad (2.23)$$

$$H^{\phi_1\phi_1}(e^{j\omega T}) = \frac{V_{out}^{\phi_1}(e^{j\omega T})}{V_{in}^{\phi_1}(e^{j\omega T})} = \left(\frac{C_1}{j\omega T C_2}\right) \frac{\omega T/2}{\text{sen}(\omega T/2)} (e^{-j\omega T}) \quad (2.24)$$

La frecuencia ω_I del integrador se puede expresar como:

$$\omega_I = \frac{C_1}{T C_2} \quad (2.25)$$

Y para el integrador inversor:

$$H^{\phi_2\phi_2}(z) = \frac{V_{out}^{\phi_2}(z)}{V_{in}^{\phi_2}(z)} = -\left(\frac{C_1}{C_2}\right) \frac{z}{z-1} \quad (2.26)$$

$$H^{\phi_2\phi_2}(e^{j\omega T}) = \frac{V_{out}^{\phi_2}(e^{j\omega T})}{V_{in}^{\phi_2}(e^{j\omega T})} = -\left(\frac{C_1}{j\omega T C_2}\right) \frac{\omega T/2}{\text{sen}(\omega T/2)} (e^{j\omega T}) \quad (2.27)$$

La respuesta en magnitud es idéntica en ambos tipos de integrador, sin embargo la respuesta en fase es positiva para el integrador inversor y negativa

para el no inversor.

$$\text{Arg}[H^{\phi_2\phi_2}(e^{j\omega T})] = \frac{\pi}{2} + \frac{\omega T}{2} \quad (2.28)$$

Los integradores con capacitores conmutados poseen algunas características no ideales, entre ellas están la alimentación del reloj, ganancia de voltaje diferencial finita, la ganancia de ancho de banda y la rapidez de respuesta (“slew rate” SR) del amplificador operacional [3].

2.4.2. Filtros de primer orden

Filtro de paso bajo

El circuito del filtro de paso bajo es igual al circuito del integrador más una resistencia en paralelo con el capacitor C , emulada con la conmutación del capacitor $\alpha_2 C$, el circuito se puede ver en la figura 2.9. Siguiendo el análisis del integrador no es difícil construir un modelo en el dominio de z para el filtro de paso bajo.

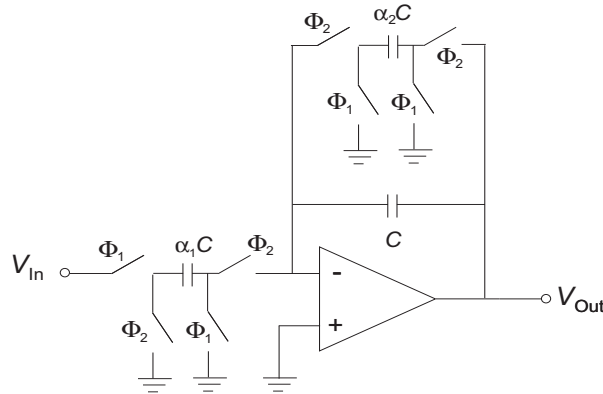


Figura 2.9: Filtro de paso bajo de primer orden.

Una manera sencilla para analizar este circuito es desconectar el capacitor $\alpha_2 C$ de la salida y acomodar el circuito en forma de un integrador sumador. Sumando las corrientes que fluyen por la terminal no inversora del amplificador operacional se define la ecuación 2.29 [3].

$$\alpha_2 C V_{out}^{\phi_2}(z) - \alpha_1 C z^{-1/2} V_{in}^{\phi_1} + C(1 - z^{-1}) V_{out}^{\phi_2} = 0 \quad (2.29)$$

La ecuación del modelo en el dominio de z para el filtro de paso bajo queda:

$$\frac{V_{out}^{\phi_1}(z)}{V_{in}^{\phi_1}(z)} = \frac{z^{-1/2}V_{out}^{\phi_2}(z)}{V_{in}^{\phi_1}(z)} = \frac{\frac{\alpha_1 z^{-1}}{1+\alpha_2}}{1 - \frac{z^{-1}}{1+\alpha_2}} \quad (2.30)$$

Filtro de paso alto

El circuito del filtro de paso alto se muestra en la figura 2.10. Al analizar este circuito no es necesario desconectar el capacitor $\alpha_2 C$ de la salida, porque el interruptor colocado antes de la entrada inversora del amplificador operacional hace que $\alpha_2 C$ y C se carguen sólo durante la fase de reloj ϕ_2 . Para obtener el modelo en el dominio de z de este filtro, se suman las corrientes en la entrada inversora del amplificador operacional.

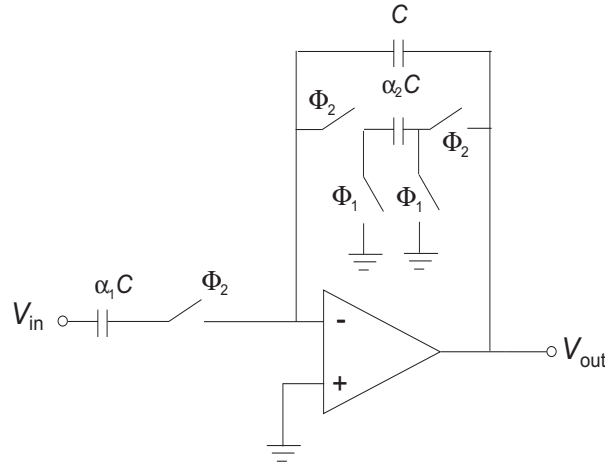


Figura 2.10: Filtro de paso alto de primer orden.

Entonces, sumando las corrientes en el nodo de la entrada inversora del amplificador operacional se puede encontrar la ecuación 2.31.

$$\alpha_1(1 - z^{-1})V_{in}^{\phi_2} + \alpha_2 V_{out}^{\phi_2}(z) + (1 - z^{-1})V_{out}^{\phi_2}(z) = 0 \quad (2.31)$$

La ecuación del modelo en el dominio de z para el filtro de paso alto queda:

$$\frac{V_{out}^{\phi_2}(z)}{V_{in}^{\phi_2}(z)} = \frac{\frac{\alpha_1}{\alpha_2+1}(1 - z^{-1})}{1 - \frac{1}{\alpha_2+1}z^{-1}} \quad (2.32)$$

Capítulo 3

Adquisición de señales EMG

3.1. Sistema de Adquisición para señales EMG

Las señales electromiográficas (EMG) requieren de amplificación de voltaje y corriente por ser señales del orden de microvolts. Los amplificadores de alta impedancia convierten una señal débil, de bajo voltaje, en una señal fuerte para su procesamiento [21].

Para procesar los biopotenciales se utilizan amplificadores de instrumentación de alta ganancia y alta impedancia. Al registrar los potenciales del músculo y las señales electrocardiográficas (ECG), se utilizan generalmente amplificadores diferenciales de ganancia media, es decir, amplificadores con factores de ganancia entre $\times 10$ y $\times 1000$ [6].

Los componentes de los amplificadores deben ser de bajo ruido y las dos entradas deben ser simétricas. Un parámetro que define el grado de simetría y la habilidad del amplificador de rechazar señales comunes es la Razón de Rechazo de Modo Común (CMRR por sus siglas en inglés) [21].

Los amplificadores para adquisición de datos en la instrumentación moderna son conocidos como “EMG front-end amplifiers” y se distinguen por su alta impedancia, alto CMRR y poco ruido.

Los sistemas de adquisición de datos para bioseñales, incluyen un filtro

de paso alto con frecuencia de corte cercana a los 10 y 20 Hz y un filtro de paso bajo con frecuencia de corte de 400 a 450 Hz. Estos filtros son utilizados para reducir el ruido y cualquier distorsión o error en los datos. En algunos casos se han utilizado filtros notch para reducir la interferencia de 50-60 Hz. Este último filtrado se recomienda sólo cuando se trabaja con la amplitud y potencia de la señal EMG [21], como es el caso en el presente proyecto.

Para el procesamiento de la señal, es común utilizar una envolvente lineal que emule la señal EMG. Esta envolvente representa la fuerza generada por el músculo y se obtiene tomando el valor absoluto de la señal EMG y pasándolo a través de un filtro de paso bajo con una frecuencia mínima de corte de 9 Hz [21].

La figura 5.1 muestra un diagrama de las etapas que forman el acondicionamiento analógico de la señal EMG.

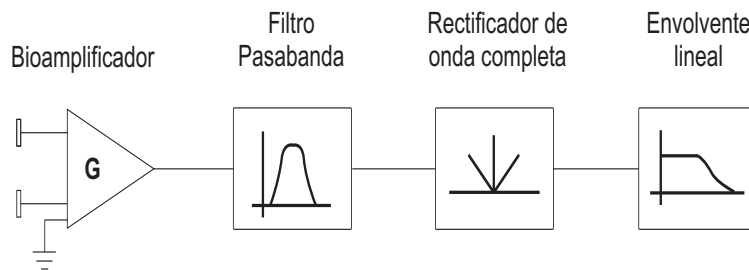


Figura 3.1: Amplificación y formación de la envolvente lineal.

Para cumplir con la función del filtro pasabanda se conectan dos filtros en serie, uno de paso alto y uno de paso bajo. La determinación de las frecuencias de corte respectivas dependen de la aplicación del sistema de adquisición de datos, para este caso y en consideración de [19, 20] se opta por utilizar un filtro de paso alto cuya frecuencia de corte se encuentre entre 70 y 90 Hz.

Por otro lado, la característica de paso bajo se cumplirá con un filtro que corte en la armónica más alta de la señal, siguiendo el teorema de Nyquist. Esta consideración se hace para evitar la pérdida de información, el “aliasing”. Para la mayoría de los músculos y la mayoría de las aplicaciones, la componente armónica más alta se encuentra en el rango de 400-450 Hz,

de ahí que el filtro de paso bajo se encuentre en ese rango.

Una vez delimitada, la señal EMG se rectifica para aprovechar su potencia y a partir de ahí se obtiene la envolvente lineal deseada. La envolvente proporcionará niveles de voltaje mejor referenciados.

3.2. El amplificador operacional

Para el diseño del amplificador operacional se utilizó una metodología basada en la relación g_m/I_D usada para el diseño de circuitos analógicos CMOS. La principal característica de esta metodología es que es válida para todas las regiones de operación del transistor MOS. Se utiliza generalmente en el diseño de circuitos de baja potencia [26]. La configuración usada al diseñar el amplificador operacional posee una etapa de entrada diferencial compuesta por transistores tipo p.

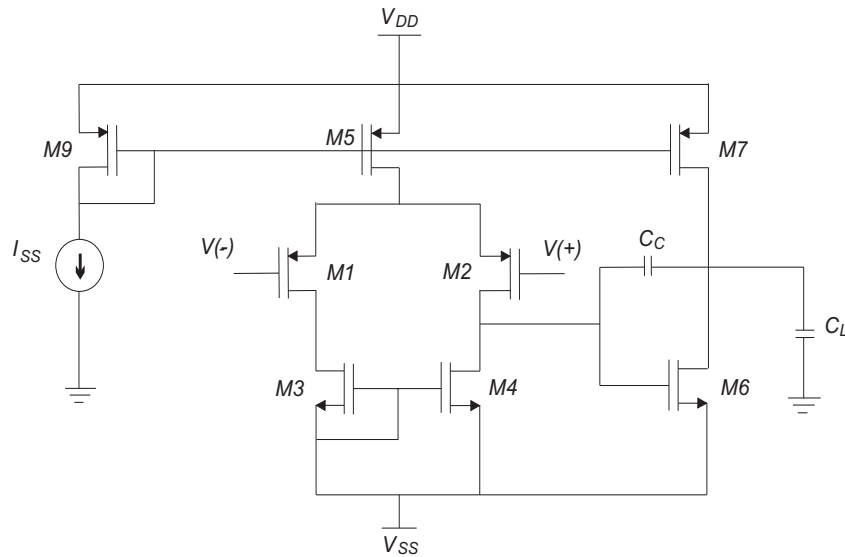


Figura 3.2: Configuración del circuito usado para el diseño del amplificador operacional.

I_D se define como la corriente de drenador y g_m es el valor de la transconductancia del transistor. La relación g_m/I_D es una medida de la eficiencia de generación de transconductancia en un transistor. A mayor

g_m/I_D , es mayor el valor de la transconductancia obtenida a una corriente constante [26].

Existen expresiones generales para parámetros de pequeña señal que son válidas para todos los tipos de inversión en la región de saturación [27]. A continuación se muestran algunas de estas expresiones esenciales para la obtención de la relación g_m/I_D :

$$\text{Corriente } I_D = I_Z \ln^2 \left[1 + \exp\left(\frac{V_{GS} - V_T}{2nU_T}\right) \right] \quad (3.1)$$

$$I_Z = \frac{W}{L} \mu C'_{ox} (2nU_T^2) \quad (3.2)$$

$$\text{Conductancia } g_m = \frac{I_D}{nU_T} \quad (3.3)$$

$$n = 1 + \frac{\gamma}{2\sqrt{2\phi_F + V_{SB}}} \quad (3.4)$$

n es un parámetro que define la concentración de electrones, típicamente $1 < n < 1.5$ [27]. Para efectos prácticos se toma $n = 1.4$ [3, 14]. U_T se define como el “voltaje térmico” ($U_T = 0.0259V$). V_{SB} es el voltaje del substrato o “Source Body Voltage”. V_T es el voltaje umbral del transistor. μ es la constante de proporcionalidad conocida como “movilidad”. C'_{ox} es el valor de la capacitancia del óxido por unidad de área. γ se define como el “body effect coefficient”. W y L son las medidas del ancho y largo del canal del transistor. ϕ_F es el “potencial de Fermi” definido como el potencial de contacto que se podría desarrollar entre los materiales extrínseco e intrínseco si los dos se pusieran en contacto y se estableciera un equilibrio térmico. [27].

3.2.1. El método g_m/I_D

La relación del valor de g_m/I_D con el modo de operación del transistor se puede obtener a partir de la ecuación 3.5.

$$\frac{g_m}{I_D} = \frac{1}{I_D} \frac{\delta I_D}{\delta V_G} = \frac{\delta(\ln I_D)}{\delta V_G} = \frac{\delta \left\{ \ln \left[\frac{I_D}{W/L} \right] \right\}}{\delta V_G} \quad (3.5)$$

La derivada es máxima en la región de inversión débil, donde la dependencia de I_D vs. V_G es exponencial. Por otro lado, la dependencia se vuelve cuadrática en la región de inversión fuerte.

El valor máximo está dado por $1/nU_T$, donde U_T es el voltaje térmico ($U_T = kT/q$). El valor de g_m/I_D decreta conforme el punto de operación se mueve hacia la inversión fuerte (cuando I_D o V_G decretan), permitiendo que el valor de g_m/I_D ayude a determinar el modo de operación del transistor [26].

Para obtener el modelo general, asumiendo que el transistor opera en saturación, existen expresiones válidas en todas las regiones de operación.

Primero se define una cantidad g_{ss} , conocida como la conductancia de la fuente del transistor en pequeña señal, en la ecuación 3.6.

$$g_{ss} = \left. \frac{\delta I_s}{\delta V_{SB}} \right|_{V_{GB}, V_{DB}} \quad (3.6)$$

Simplificando esta relación en términos de I_D para obtener el modelo general se puede llegar a los resultados mostrados en las ecuaciones 3.7 y 3.8

$$g_{ss} = \frac{I_D}{U_T} \frac{2}{1 + \sqrt{4\frac{I_D}{I_Z} + 1}} \quad (3.7)$$

$$g_m \approx \frac{g_{ss}}{n} = \frac{I_D}{nU_T} \frac{2}{1 + \sqrt{4\frac{I_D}{I_Z} + 1}} \quad (3.8)$$

Por medio de la relación I_D/I_Z , se puede determinar la región de operación del transistor. Siendo ésta de inversión fuerte si $I_D/I_Z > 10$, o de inversión débil si $I_D/I_Z < 10$ [27].

Obtención de parámetros

Si la ecuación de la ganancia de un amplificador de dos etapas es:

$$A_v = g_{m1}g_{m6}R_I R_{II}$$

Donde R_I es la resistencia equivalente de la primera etapa, R_{II} la resistencia de la segunda etapa, g_{m2} y g_{m6} son las transconductancias de M2 y M6 respectivamente, se puede definir la ganancia como:

$$A_v = g_{m2}g_{m6} \left(\frac{r_{o2}r_{o4}}{r_{o2} + r_{o4}} \right) \left(\frac{r_{o6}r_{o7}}{r_{o6} + r_{o7}} \right) \quad (3.9)$$

$$A_v = \left(\frac{1}{n_2} \right) \left(\frac{1}{n_6} \right) \left(\frac{1}{U_T} \right)^2 \left(\frac{1}{\lambda_2 + \lambda_4} \right) \left(\frac{1}{\lambda_6 + \lambda_7} \right)$$

Expresando $r_o = 1/\lambda I_D$ y usando los valores definidos por la siguiente tabla que contiene parámetros para un modelo usado en un “CMOS Bulk Process” típico [5] (tabla de la figura 3.3 y tabla de la figura 3.4):

$$A_v = \left(\frac{g_m}{I_D}\right)_1 \left(\frac{g_m}{I_D}\right)_6 \left(\frac{1}{0.026}\right)^2 \approx 2500 \left(\frac{g_m}{I_D}\right)_1 \left(\frac{g_m}{I_D}\right)_6 \text{ V/V}$$

Figura 3.3: Modelo NMOS nivel 3 [3]

TOX	=	140E-10	NSUB	=	3E16	GAMMA	=	0.4
PHI	=	0.7	VTO	=	0.7	DELTA	=	2.4
UO	=	660	ETA	=	0.1	THETA	=	0.1
KP	=	110E-6	LAMBDA	=	0.04	KAPPA	=	0.15
RSH	=	0	NFS	=	7E11	TPG	=	1
XJ	=	0.2E-6	LD	=	0.016E-6	CGDO	=	220E-12
CGSO	=	220E-12	CGBO	=	700E-12	CJ	=	770E-6
PB	=	1	MJ	=	0.5	CJSW	=	380E-12
MJSW	=	0.38						

Figura 3.4: Modelo PMOS nivel 3 [3]

TOX	=	140E-10	NSUB	=	6E16	GAMMA	=	0.57
PHI	=	0.8	VTO	=	-0.7	DELTA	=	1.25
UO	=	210	ETA	=	0.1	THETA	=	0.1
KP	=	110E-6	LAMBDA	=	0.05	KAPPA	=	2.5
RSH	=	0	NFS	=	6E11	TPG	=	1
XJ	=	0.2E-6	LD	=	0.015E-6	CGDO	=	220E-12
CGSO	=	220E-12	CGBO	=	700E-12	CJ	=	560E-6
PB	=	1	MJ	=	0.5	CJSW	=	350E-12
MJSW	=	0.35						

En base al valor máximo de la transconductancia, se buscan los valores permitidos para obtener la relación entre los W/L de los transistores. Este

valor se puede calcular con la ecuación 3.10.

$$g_m = \frac{I_D}{nU_T} \quad (3.10)$$

Conocer el valor máximo de la transconductancia de los transistores limita la búsqueda de la relación g_m/I_D . Esta información es esencial para encontrar la relación (W/L) de los transistores M1 y M6, los cuales determinan la ganancia del amplificador. Las ecuaciones 3.11, 3.12, 3.13 y 3.14 son referencias importantes para la obtención de esta información.

$$g_m/I_D = \frac{1}{nU_T} \frac{2}{1 + \sqrt{4IC + 1}} \quad (3.11)$$

$$IC = \left[\left(\frac{2}{nU_T(g_m/I_D)} - 1 \right)^2 - 1 \right] \frac{1}{4} \quad (3.12)$$

$$I_Z = I_D/IC \quad (3.13)$$

$$(W/L) = \frac{I_Z}{2n\mu C'_{ox} U_T^2} \quad (3.14)$$

IC es un parámetro de referencia que ayuda a determinar la región de operación del transistor. Si $IC > 10$ el transistor opera en inversión fuerte y opera en inversión débil si $IC < 10$ [27].

Una forma de encontrar la relación g_m/I_D más adecuada para cada transistor es considerando la contribución que cada uno tiene sobre el circuito del amplificador operacional. Partiendo de este análisis es factible encontrar las medidas para los transistores. Para aquellos transistores que no contribuyen con la ganancia y/o respuesta en frecuencia del amplificador, la relación (W/L) se convierte en un parámetro libre y generalmente es igual a uno [14].

Al tomar la relación entre las transconductancias se debe considerar a la par la importancia que cada una de ellas tiene en la estabilidad del amplificador operacional [14].

3.3. El interruptor

Para cubrir la necesidad de los interruptores encargados de la conmutación se propone el uso de “transmission gates” (TG). Los TGs están conformados por la conexión en paralelo de un transistor pMOS y uno nMOS. Para la polarización de las compuertas de ambos transistores se requieren señales

complementarias, por lo que para activar el interruptor con una sola señal se conecta un inversor para polarizar la compuerta del transistor pMOS. El circuito se muestra en la figura 3.5.

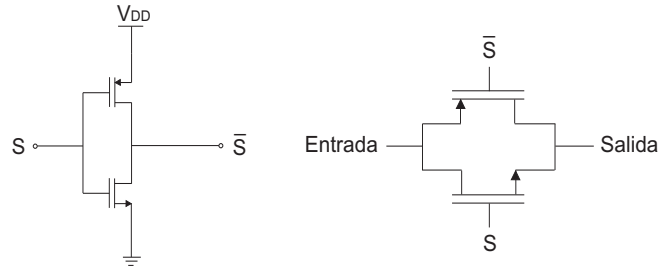


Figura 3.5: Diagrama esquemático de los circuitos que forman el interruptor “transmission gate”.

3.4. El Bioamplificador: Amplificador Diferencial

Un amplificador diferencial produce una salida de voltaje proporcional a la diferencia entre el voltaje aplicado en ambas terminales de entrada. Este tipo de amplificadores es muy útil porque rechaza los voltajes de modo común, amplificando la señal diferencial de interés. Se usan generalmente en circuitos donde la impedancia de la fuente es baja. Una opción alterna de amplificación que provee una impedancia de entrada mucho más grande es el amplificador de instrumentación.

Para reducir el número de componentes que lleva el diseño de un amplificador diferencial, se implementa un circuito sumador propuesto por Allen y Holberg en [3]. Esta configuración emula la función diferencial con el uso de transresistencias positivas y negativas. El diagrama del circuito se muestra en la figura 3.6.

Considerando las entradas por separado, se puede escribir:

$$V_{out1}^{\phi_2} \left(n - \frac{1}{2} \right) T = \alpha_1 C V_1^{\phi_1} (n - 1) T \quad (3.15)$$

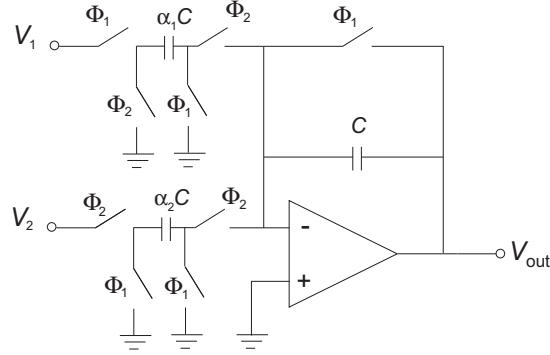


Figura 3.6: Amplificador sumador con capacitores conmutados.

$$V_{out2}^{\phi_2}(n - \frac{1}{2})T = -\alpha_2 C V_2^{\phi_2}(n - 1)T \quad (3.16)$$

Si $V_1^{\phi_1}(n - 1)T = V_1^{\phi_2}(n - \frac{3}{2})T$, la ecuación 3.15 se puede escribir como:

$$V_{out1}^{\phi_2}(n - \frac{1}{2})T = \alpha_1 C V_1^{\phi_2}(n - \frac{3}{2})T \quad (3.17)$$

Combinando las ecuaciones 3.16 y 3.17 se obtiene:

$$\begin{aligned} V_{out}^{\phi_2}(n - \frac{1}{2})T &= V_{out1}^{\phi_2}(n - \frac{1}{2})T + V_{out2}^{\phi_2}(n - \frac{1}{2})T \\ &= \alpha_1 C V_1^{\phi_2}(n - \frac{3}{2})T - \alpha_2 C V_2^{\phi_2}(n - 1)T \end{aligned} \quad (3.18)$$

La ecuación 3.19 describe el voltaje de salida del circuito sumador en función de z . De esta ecuación se puede determinar que la ganancia depende de la relación α_1/α_2 .

$$V_{out}^{\phi_2}(z) = \alpha_1 z^{-1} V_1^{\phi_2}(z) - \alpha_2 V_2^{\phi_2}(z) \quad (3.19)$$

3.5. El rectificador

El diseño del rectificador con capacitores conmutados está basado en la estructura de un circuito sumador con capacitores conmutados que, con ayuda de diodos, rectifica la señal en ambos períodos ϕ_1 y ϕ_2 . El circuito sumador

toma la señal a rectificar y, con ayuda de una transresistencia negativa (siguiendo el diseño del amplificador diferencial), suma la señal original con su inverso. Como los diodos permiten el paso únicamente de la parte positiva de la señal obtenida, el circuito entrega la señal rectificada.

Una ligera inconveniencia es que la señal de salida rectificada resulta invertida a causa de la configuración del sumador, por lo que se puede llamar a este diseño “rectificador inversor”. La figura 3.7 muestra el circuito del rectificador inversor.

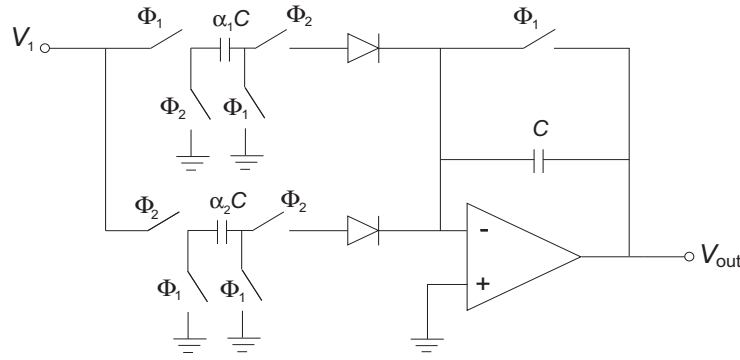


Figura 3.7: Circuito del rectificador inversor implementado en base a un circuito sumador con capacitores conmutados y dos diodos.

Para poder analizar este circuito en términos de z , se asume que los diodos están polarizados inversamente (abiertos) durante el período ϕ_1 y polarizados directamente (cerrados) durante el período ϕ_2 . Comenzando con la condición de que $V_{out} = V_{out1} + V_{out2}$ y relacionando las entradas de acuerdo a las fases de conmutación ϕ_1 y ϕ_2 , se llega a las ecuaciones 3.20 y 3.21.

$$V_{out1}^{\phi_2} \left(n - \frac{1}{2} \right) = \alpha_1 V_1^{\phi_1} (n - 1) T \quad (3.20)$$

$$V_{out2}^{\phi_2} \left(n - \frac{1}{2} \right) = -\alpha_2 V_1^{\phi_1} \left(n - \frac{1}{2} \right) T \quad (3.21)$$

Sabiendo que $V_1^{\phi_1} (n - 1) T = V_1^{\phi_2} \left(n - \frac{3}{2} \right) T$, la ecuación 3.20 se puede escribir como:

$$V_{out1}^{\phi_2} \left(n - \frac{1}{2} \right) = \alpha_1 V_1^{\phi_2} \left(n - \frac{3}{2} \right) T \quad (3.22)$$

Combinando las ecuaciones 3.21 y 3.22 se obtiene la suma de una señal con su inverso. La ecuación 3.24 describe la señal de salida en el dominio de z .

$$\begin{aligned} V_{out}^{\phi_2}(n - \frac{1}{2}) &= V_{out1}^{\phi_2}(n - \frac{1}{2})T + V_{out2}^{\phi_2}(n - \frac{1}{2})T \\ &= \alpha_1 V_1^{\phi_2}(n - \frac{3}{2})T - \alpha_2 V_1^{\phi_1}(n - \frac{1}{2})T \end{aligned} \quad (3.23)$$

$$V_{out}^{\phi_2}(z) = z^{-1}\alpha_1 V_1^{\phi_2}(z) - \alpha_2 V_1^{\phi_1}(z) \quad (3.24)$$

La presencia de los diodos en este circuito permite que sólo la parte positiva de las señales de entrada del circuito sumador sea procesada, en este caso la señal original y su inverso. Esta condición logra que la señal de salida sea equivalente al valor absoluto de la señal de entrada, acorde con la ecuación 3.24.

3.6. Filtros

3.6.1. Filtro de paso alto

El filtro de paso alto se utiliza para eliminar las componentes de DC de 60 Hz y ruido de bajas frecuencias. Para este trabajo donde las frecuencias bajas se pueden discriminar, se propone un filtro de paso alto con frecuencia de corte $f_c = 70$ Hz. La figura 3.8 muestra la configuración usada para el diseño de un filtro de paso alto. Se utiliza la función de transferencia en el dominio de z obtenida en 3.25, para encontrar los valores de α_1 y α_2 que permitan obtener las características deseadas en el filtro de paso alto:

$$\begin{aligned} H^{\phi_1\phi_2}(z) &= \frac{V_o^{\phi_1}(z)}{V_i^{\phi_2}(z)} = \frac{\frac{\alpha_1}{\alpha_2+1}(1-z^{-1})}{1 - \frac{1}{\alpha_2+1}} = \frac{-\alpha_1(1-z^{-1})}{\alpha_2+1-z^{-1}} \\ &= \frac{\frac{\alpha_1}{\alpha_2+1}(1-z^{-1})}{1 - \frac{1}{\alpha_2+1}z^{-1}} \end{aligned} \quad (3.25)$$

Reescribiendo la ecuación anterior si $z^{-1} = e^{-sT} \approx 1 - sT + ..$ si $sT = 1 - z^{-1}$:

$$H^{\phi_1\phi_2}(z) = \frac{-\alpha_1 sT}{\alpha_2 + sT} = \frac{-\alpha_1}{\alpha_2} \cdot \frac{sT}{1 + s\left(\frac{T}{\alpha_2}\right)} = -\alpha_1 \frac{s}{s + \left(\frac{\alpha_2}{T}\right)} \quad (3.26)$$

Si se espera una ganancia de 1, una frecuencia de corte de 70 Hz y la frecuencia del reloj es $f_c = 10$ kHz, el valor esperado para α_2 se determina por medio de:

$$\alpha_2 = \frac{\omega_{-3dB}}{f_c} = \frac{2\pi(70)}{10 \times 10^3} = 0.0439$$

La figura 3.8 muestra el circuito para el filtro de paso alto usando $C = 1$ nF.

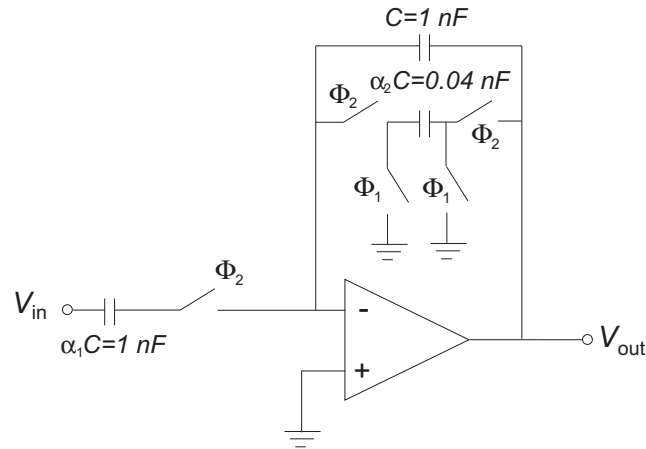


Figura 3.8: Diagrama del filtro de paso alto.

3.6.2. Filtro de paso bajo

La función del filtro de paso bajo es limitar el ancho de banda para las frecuencias de interés de la señal EMG. Para cubrir las necesidades del sistema de acondicionamiento, se busca que el filtro tenga una frecuencia de corte de 450 Hz de acuerdo a [21] y una ganancia unitaria.

Siguiendo el mismo principio de sustitución de $z^{-1} = e^{-sT}$ en la ecuación de la función de transferencia para el filtro de paso bajo (ecuación 2.30) se obtiene:

$$H^{\phi_1\phi_2}(z) = \frac{-\alpha_1}{\alpha_2 + sT} \quad (3.27)$$

Sustituyendo los valores para las características deseadas y tomando en cuenta la frecuencia de muestreo (frecuencia de las señales de conmutación)

de 10 KHz:

$$\frac{\alpha_1}{\alpha_2} = 1 \quad \alpha_2 = \frac{2\pi(450)}{10 \times 10^3} = 0.282 \quad \alpha_1 = 0.282$$

La figura 3.9 muestra el circuito con capacitores conmutados para un filtro de paso bajo con una capacitancia C de 1 nF.

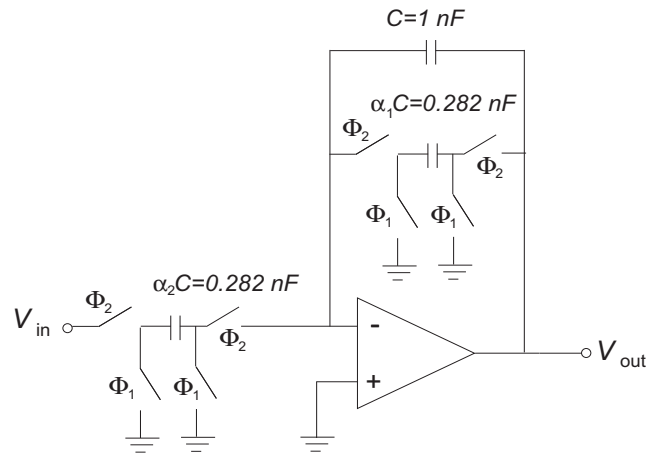


Figura 3.9: Diagrama del filtro de paso bajo.

3.6.3. Filtro con topología Sallen-Key

Para obtener una envolvente que permita tener niveles de voltaje detectables por el control, se pensó en un filtro de paso bajo con frecuencia de corte en 3 Hz. La salida del rectificador entrega una señal muestreada debido a la frecuencia de conmutación del circuito, el filtro de paso bajo quita la apariencia de señal muestreada al mismo tiempo que genera la envolvente lineal buscada.

El diseño del filtro que se propone para este proyecto, es conocido como estructura Sallen-Key y es uno de los más usados por su sencillez de diseño. La figura 3.10 muestra el circuito usado para implementar un par de polos conjugados. Las ecuaciones 3.28 muestran la relación necesaria entre los valores de resistencias y capacitores para determinar la ganancia y frecuencia de

corte del filtro. Si el filtro deseado tiene un polo real, se implementa aparte usando una red RC .

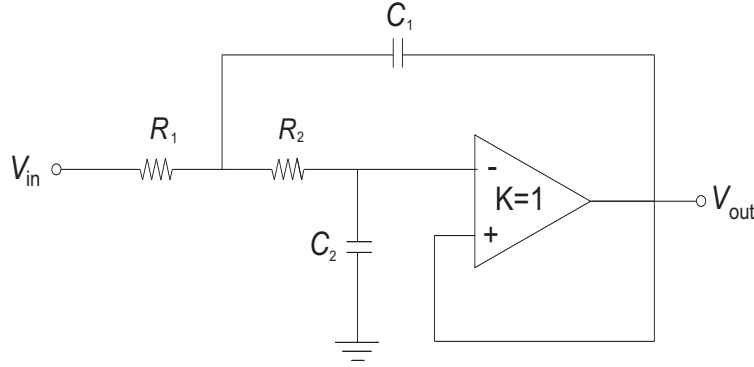


Figura 3.10: Filtro anti-traslape Sallen-Key de ganancia unitaria.

$$\frac{V_{out}(s)}{V_{in}(s)} = \left(\frac{1}{R_1 R_2 C_1 C_2 s^2 + C_2 (R_1 + R_2) s + 1} \right)$$

$$\omega_c = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$$

$$Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{C_2 (R_1 + R_2)} \quad (3.28)$$

Para el diseño de un filtro de 3 Hz a -3 dB, se consideran las ecuaciones que definen la ganancia máxima (ecuación 3.29) y la ganancia mínima (ecuación 3.30) deseadas. Con ayuda de estas ecuaciones se determina el orden (n) del filtro para una variación máxima de paso de banda ϵ . El valor de ϵ muestra la magnitud de la respuesta del filtro para diferentes valores de n [11].

$$A_{max} = 10 \log_{10}(1 + \epsilon^2) \quad (3.29)$$

$$A_{min} = 10 \log_{10}[1 + \epsilon^2 (\omega_s / \omega_c)^{2n}] \quad (3.30)$$

Siguiendo la tabla de localización de polos y factores cuadráticos para los filtros Butterworth descrita en [3, 11], y mostrada en el Apéndice A, se obtiene la ecuación de la función de transferencia normalizada (ecuación 3.31). La ubicación de los polos para un filtro Butterworth de tercer orden se puede apreciar en la figura 3.11.

$$|H(s)| = \left(\frac{1}{s_n + 1} \right) \left(\frac{1}{s_n^2 + s_n + 1} \right) \quad (3.31)$$

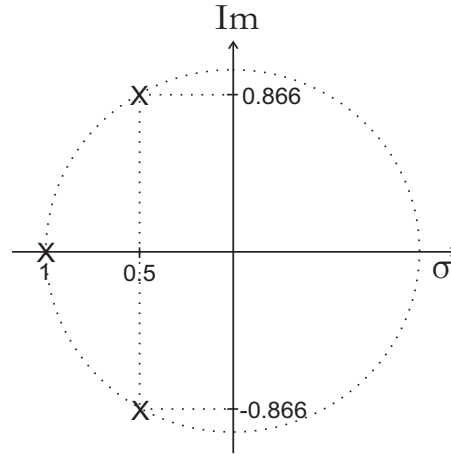


Figura 3.11: Ubicación de los polos para un filtro Butterworth de tercer orden ($n=3$).

Para este diseño, $\epsilon = 1$ si $A_{max} = -3$ dB y $n = 3$ si $A_{min} = -20$ dB a $f_s = 9$ Hz. Ya que el orden es impar, se agrega al circuito de la figura 3.10 una red RC , y siguiendo las especificaciones de diseño para una ganancia unitaria, los valores de los componentes quedan $R_1 = R_2 = R = 1.76$ M Ω y $C_1 = C_2 = C = 10$ nF.

3.6.4. La Salida del Sistema de Adquisición de datos

Se espera que el sistema de adquisición entregue un pulso equivalente a la serie de impulsos eléctricos generados al flexionar el músculo (señal EMG). La detección y medición de este pulso servirá como señal de activación del sistema de control.

Para obtener un pulso cuadrado a partir de la envolvente, se considera una configuración de transistores CMOS formando un inversor complementario. En un inversor complementario el voltaje de salida depende del nivel de voltaje existente en la entrada. Si el voltaje de entrada supera el voltaje

umbral definido para el circuito, aún si la señal de entrada tiene variaciones, la señal de salida será constante mientras el voltaje de entrada esté por arriba del umbral. Con ayuda de este circuito se podrán apreciar pulsos cuadrados positivos acordes a la señal del músculo. La configuración del inversor complementario se muestra en la figura 3.12.

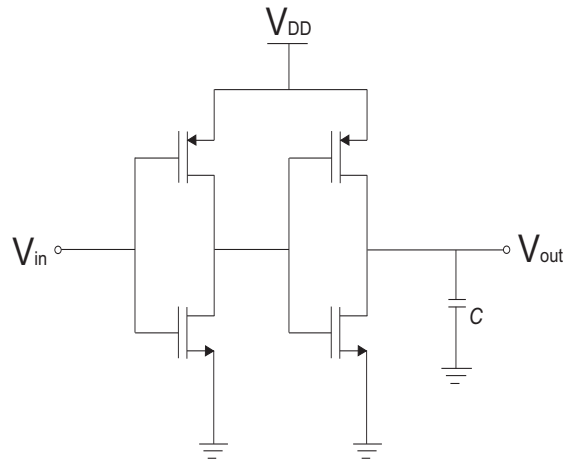


Figura 3.12: Inversores conectados en serie en modo complementario.

El Inversor CMOS

El inversor complementario se forma poniendo dos inversores CMOS en serie, por lo que la salida no cambia la polaridad de la señal de entrada sino que sólo la amplifica. En un inversor, cuando el voltaje de entrada es menor que el voltaje V_T (Voltaje umbral) del transistor nMOS, éste opera en corte y el pMOS opera en la región lineal, lo que hace a la corriente de salida prácticamente igual a cero, y al voltaje de salida igual al voltaje de alimentación (V_{DD}).

$$I_{D,n} = I_{D,p} = 0 \quad V_{out} = V_{DD} \quad (3.32)$$

Por otro lado, si el voltaje de entrada excede $V_{DD} + V_{T0,p}$ ($V_{T0,p} \rightarrow$ Voltaje umbral del MOSFET tipo p), el transistor pMOS se apaga y el nMOS opera en la región lineal. Igual que el caso anterior, la corriente es casi cero y el voltaje de salida es 0 V.

$$I_{D,n} = I_{D,p} = 0 \quad V_{out} = 0 \quad (3.33)$$

Ahora, para que el inversor opere se considera el modo de saturación en ambos transistores. Si el voltaje de entrada es mayor que $V_{T0,n}$ y $V_{out} \geq V_{in} - V_{T0,n}$ ($V_{T0,n} \rightarrow$ Voltaje umbral del MOSFET tipo n) el transistor nMOS opera en saturación, mientras que si $V_{in} < (V_{DD} + V_{T0,p})$ y $V_{out} \leq V_{in} - V_{T0,p}$ el transistor pMOS opera en saturación. Esto quiere decir que el inversor puede tener más de dos regiones de operación de acuerdo a las condiciones de los transistores nMOS y pMOS. El punto al cual ambos transistores trabajan en la región de saturación es conocido como voltaje de activación (V_{th}). A este voltaje el inversor entrega una señal de salida inversa a la señal de entrada, y está determinado por la ecuación 3.34.

$$V_{th} = \frac{V_{T0,n} + \sqrt{1/k_R}(V_{DD} + V_{T0,p})}{1 + \sqrt{1/k_R}}, \quad k_R = \frac{(K'(W/L))_n}{(K'(W/L))_p} \quad (3.34)$$

El V_{th} caracteriza el comportamiento de estado constante dependiente de la entrada y salida del inversor. Gracias a este parámetro se puede modificar el voltaje de activación del inversor de acuerdo a la relación $\sqrt{1/k_R}$. Por medio de la ecuación 3.34 y resolviendo para k_R :

$$k_R = \frac{K'(W/L)_n}{K'(W/L)_p} = \left(\frac{V_{DD} + V_{T0,p} - V_{th}}{V_{th} - V_{T0,n}} \right)^2 \quad (3.35)$$

El inversor CMOS permite una variación significativa del voltaje de alimentación sin que su operación se vea afectada. Tiene la capacidad de operar en condiciones críticas siempre que se cumpla que $V_{DD}^{min} = V_{T0,n} + |V_{T0,p}|$. Lo que significa que realiza su función mientras que al menos uno de los transistores permanezca en conducción [15].

Capítulo 4

El Control de la Electrolaringe

El sistema de encendido o apagado de la electrolaringe se diseñó en base a un conjunto de condiciones que pueden ser programadas en un microcontrolador o en un FPGA, (“field programmable gate array” que es un dispositivo semiconductor que contiene componentes lógicos programables e interconexiones programables entre ellos). La figura 4.1 muestra un diagrama de flujo donde se ilustran las condiciones y procedimientos de operación de la electrolaringe. Las señales de entrada del sistema de control son la señal EMG y la señal de micrófono [2]. Al detectar la señal EMG el control enciende la electrolaringe y espera 3 segundos, si durante este tiempo no recibe una señal de micrófono (que indica que la persona ha comenzado a hablar) la electrolaringe se apaga para ahorrar energía.

La secuencia lógica del diagrama de flujo se muestra en la figura 4.2. En el cuadro, $TEMP=1$ significa que el período de espera no ha finalizado, por lo que se sigue monitoreando el estado del micrófono. Del contenido de la figura 4.2 se puede concluir que para mantener la electrolaringe encendida $\overline{TEMP} \wedge \overline{MIC} = OFF$ y $TEMP \wedge (MIC \vee \overline{MIC}) = ON$.

Los diagramas de tiempo de las figuras 4.3 y 4.4, pueden servir de guía para entender la función básica del sistema de encendido de la electrolaringe explicado previamente. Para ambas figuras se define EMG como el pulso cuadrado que representa a la señal electromiográfica, TEMP como el temporizador encargado de medir los tres segundos de tolerancia dada antes de apagar la electrolaringe, MIC como la señal del micrófono que indica que el paciente está hablando ($MIC=1$) y ELGN como la señal para el

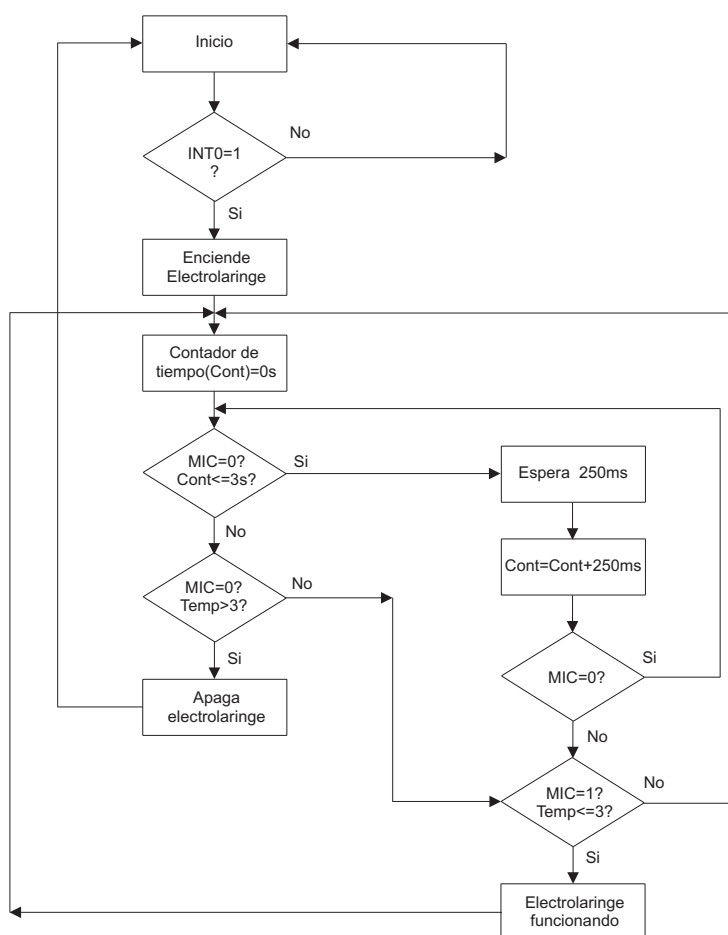


Figura 4.1: Diagrama de flujo del sistema de control. (*Temp*: Tiempo de espera, *MIC*: Micrófono, *EMG*: señal electromiográfica)

Figura 4.2: Secuencia Lógica del Diagrama de Flujo

TEMP	MIC	RST	Electrolaringe
1	1	NO	ON
0	0	SI	OFF
1	0	NO	ON

encendido ($ELGN=1$) y apagado ($ELGN=0$) de la electrolaringe. La figura 4.3 describe la rutina de encendido accidental de la electrolaringe, la cual se apaga después de que transcurren 3 segundos si no se detecta la señal del micrófono. La figura 4.4 describe el comportamiento del control a partir de que se recibe la orden de encendido ($EMG=1$) hasta que se apaga la electrolaringe después de usarla ($EMG=0$).

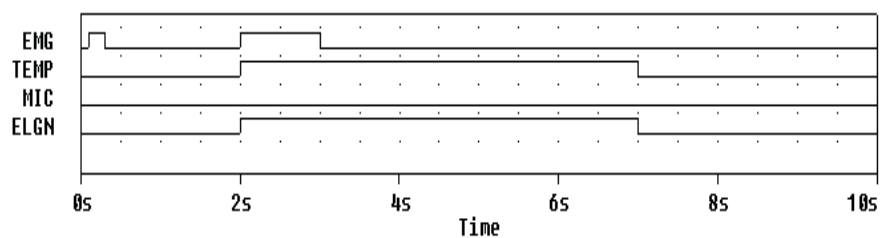


Figura 4.3: Diagrama de tiempo que muestra el proceso de encendido de la electrolaringe cuando ésta se activa accidentalmente.

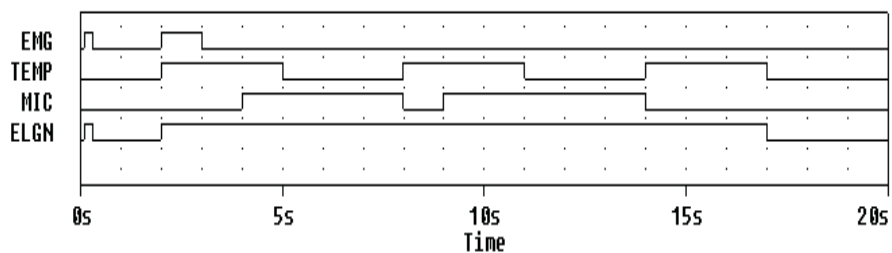


Figura 4.4: Diagrama de tiempo que muestra el proceso de encendido de la electrolaringe, y su apagado automático cuando el paciente deja de hablar.

Para la programación del sistema de control se consideran dos opciones. La primera es la programación de una serie de instrucciones en BASCOM AVR Studio, para un microcontrolador de 8 bits ATiny12 de ATMEL de muy bajo consumo de potencia. La segunda es la programación en VHDL para un FPGA. Ambos dispositivos tienen la capacidad para encargarse del monitoreo de los pulsos enviados por el sistema de adquisición de señales EMG, encendido y apagado de la electrolaringe y el envío de las señales de reloj utilizadas para la conmutación de los capacitores de la parte analógica.

El programa fuente propuesto para el control de encendido y apagado de la electrolaringe en BASCOM se muestra en la figura 4.5. El programa fuente en VHDL se encuentra descrito por bloques en las figuras 4.9, 4.6 y 4.7. La secuencia en BASCOM para el microcontrolador se probó con el simulador del programa BASCOM AVR Studio, mientras que la secuencia en VHDL se simuló usando “FPGA Advantage” de Mentor Graphics

```

-----
'
' Control de la electrolaringe.BAS
-----

$regfile = "AT12def.dat"
$crystal = 4000000
$lib "mcsbyte.lbx"

Config Portb = Output          ' salida para la secuencia de conmutados
Config Pinb.3 = Input         ' señal del micrófono
Config Int0 = Rising

Declare Sub Pulse()          ' declaración de rutina del envío de
                              ' señales para la conmutación

On Int0 Pulse

Enable Interrupts
Enable Int0

Do
Portb.4 = 0                  ' espera de señal de encendido

Portb.0 = 1
Waitus 10
Portb.1 = 1
Waitus 85
Portb.0 = 0
Waitus 10
Portb.1 = 0
Waitus 95
Loop

Pulse:                       ' Secuencia para encender la electrolaringe

Portb.4 = 1
Portb.0 = 0
Portb.1 = 0

Do                            ' monitoreo para el apagado
                              ' de la electrolaringe
  Do
    Waitms 250

    If Pinb.3 = 1 Then
      Timer0 = 0

    Else
      Timer0 = Timer0 + 1
    End If

    Loop Until Timer0 >= 13

  If Pinb.3 = 0 Then
    Portb.4 = 0
  End If

  Loop Until Portb.4 = 0

  Timer0 = 0
  Return

End

```

Figura 4.5: Programa fuente en BASCOM para el control de encendido y apagado de la electrolaringe.


```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

-- bloque de control central

ENTITY CTR_CTMP IS
port (
    EMG : in std_logic; -- entrada para señal EMG micrófono
    MIC : in std_logic; -- entrada para señal del micrófono
    CLK : in std_logic; -- entrada para señal de reloj
    y : inout integer range 0 to 13; --variable para contador de 3 seg
    ELX : out std_logic; -- señal de encendido de la electrolaringe
    ENa : out std_logic; -- activación de señales de conmutación
END ENTITY CTR_CTMP;

ARCHITECTURE ideal OF CTR_CTMP IS

signal TEMP : std_logic; -- bandera para contador de 3 seg
signal EN_CNT : std_logic; -- bandera para iniciar contador de 3 seg
type states is ('a','b'); -- estados a=apagado, b=encendido
signal edo_pres, edo_fut: states;

begin

estados: PROCESS (edo_pres,EMG,MIC,TEMP)
begin
case edo_pres is
when 'a' => ELX <= '0'; -- encendido de la electrolaringe
    EN_CNT <= '0'; -- activación el contador de 3 seg
    ENa <= '1'; -- activación de las señales de conmutación
    if EMG <= '0' then
edo_fut <= 'b';
    else
edo_fut <= 'a';
    end if;
    when 'b' => ELX <='1';
    EN_CNT <= '1';
    ENa <= '0';
    if (MIC <= '0' AND TEMP <= '0') then
edo_fut <= 'b';
    elsif (MIC <= '0' AND TEMP <= '1') then
edo_fut <= 'a';
    elsif (MIC <= '1' AND TEMP <= '0') then
edo_fut <= 'b';
    elsif (MIC <= '1' AND TEMP <= '1') then
edo_fut <= 'b';
    else
edo_fut <= 'b';
    end if;
end case;
END PROCESS estados;

```

Figura 4.6: Programa del bloque central de control. Su función es encender y apagar la electrolaringe, enviar una señal de activación al bloque que envía las señales de conmutación y dar la señal de inicio al tiempo de espera de 3 segundos. Continua...

```
relojtemp: PROCESS -- generación de los 3 seg
Begin
if (EN_CNT='1') then
    y <= y + 1;
    if (y < 12) then
        TEMP <= '0';
        wait for (250 ms);
    elsif (y >= 12) then
        TEMP <= '1';
        y <= 0;
        wait for (50 ms);
    end if;
    else    TEMP <= '0';
    y <= 0;
    wait for (1 ms);
end if;
END PROCESS relojtemp;

reloj: PROCESS(CLK) -- cambio de estado
begin

    if (CLK'event and CLK='1') then
        edo_pres <= edo_fut;
    end if;

END PROCESS reloj;

end ideal;
```

Figura 4.7: ...Proceso para generar el tiempo de espera de 3 segundos en períodos de 250 ms.

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

entity clks_en is
port (
enable : in std_logic; --activación de las señales de conmutación
clk1 : out std_logic; -- señal de conmutación 1
clk2 : out std_logic); -- señal de conmutación 2
end entity clks_en;

architecture ideal of clks_en is
begin
CreateClock : process
begin
if enable = '1' then
clk1 <= '0';
clk2 <= '0';
wait for (3 us); --delay de 2.5 us
clk1 <= '1';
clk2 <= '0';
wait for (44 us); --pulso de 45 us
clk1 <= '0';
clk2 <= '0';
wait for (6 us); -- delay de 2.5 us
clk1 <= '0';
clk2 <= '1';
wait for (44 us); -- pulso cero
clk1 <= '0';
clk2 <= '0';
wait for (3 us); --delay 2.5 us
Else
Clk1 <= '0';
clk2 <= '0';
wait for (50 us); -- pulso cero end if;
end process CreateClock;
end architecture ideal;
```

Figura 4.8: Programa del bloque que envía las señales de conmutación clk1 y clk2. El bloque cuenta con una señal de activación que hace que no se envíen las señales de conmutación cuando la electrolaringe está encendida.

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;
use ieee.math_real.all;
library tesis_lib;

ENTITY control IS
port(  EMG : in std_logic;
      MIC : in std_logic;
      CLK : in std_logic;
      ELX : out std_logic;
      y  : inout integer range 0 to 1000000;
      clk1 : out std_logic;
      clk2 : out std_logic);
END ENTITY control;

ARCHITECTURE ideal OF control IS

--variables auxiliares para la simulación
signal w1 :std_logic;

--declaración de componentes
COMPONENT clks_en
port ( enable : in std_logic;
      clk1 : out std_logic;
      clk2 : out std_logic);
END COMPONENT clks_en;

COMPONENT CTR_CTMP
port ( EMG,MIC,CLK: in std_logic;
      ENa : out std_logic;
      y : inout integer range 0 to 13;
      ELX : out std_logic);
END COMPONENT CTR_CTMP;

--Asociación de componentes con entidades y arquitecturas
FOR clks: clks_en USE entity tesis_lib.clks_en(ideal);
FOR control: CTR_CTMP USE entity tesis_lib.CTR_CTMP(ideal);

--instanciación de componentes
begin clks: clks_en
  port map( enable => w1,
           clk1 => clk1,
           clk2 => clk2 );

control: CTR_CTMP
  port map( ENa => w1,
           y => y,
           EMG => EMG,
           MIC => MIC,
           CLK => CLK,
           ELX => ELX );

END ARCHITECTURE ideal;

```

Figura 4.9: Programa para la unión de los bloques de control central y señales de conmutación que conforman el control de encendido de la electrolaringe.

4.1. El microcontrolador ATiny12

El microcontrolador ATiny12 es un microcontrolador de 8 bits con 1 Kb de memoria flash. Ejecuta instrucciones en un ciclo de reloj combinándolas con 32 registros de propósito general. Estos 32 registros están conectados directamente con la Unidad Lógica Aritmética (ALU), permitiendo el acceso a dos registros independientes usando una sola instrucción.

Algunas de sus principales características se enlistan a continuación.

- Utiliza la arquitectura RISC de AVR
- Alto rendimiento y Arquitectura RISC de 8 bits de baja potencia
 - 90 instrucciones
 - 32×8 registros de propósito general
- Programa no volátil y memoria de datos
 - 1 Kb de memoria Flash programable en sistema
 - 64 bytes de Memoria de datos programable EEPROM
 - Candado programable para el programa en memoria Flash y seguridad de los datos en la memoria EEPROM
- Características especiales
 - Fuentes de interrupción internas y externas
 - Oscilador RC interno calibrado
- Tecnología CMOS de baja potencia y alta velocidad
- Empaquetado de 8 terminales
- Voltage de operación de 1.8 V a 5.5 V
- Frecuencia de 0 a 8 MHz
- Temporizador/Contador de 8 bits
- Seis líneas configurables de entrada/salida

- Temporizador “Watchdog” con oscilador interno

La figura 4.10 muestra la configuración de las terminales del microcontrolador ATiny12.

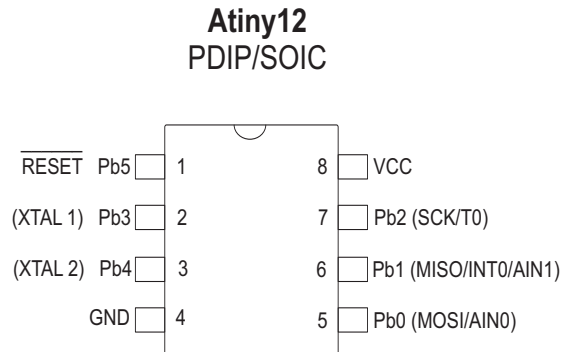


Figura 4.10: Configuración de las terminales del microcontrolador ATiny12.

4.1.1. Descripción de las terminales

VCC Voltaje de alimentación

GND Conexión a tierra

Port B (PB5 ... PB0) El puerto B es un puerto de entrada/salida (I/O) de 6 bits. El uso de las terminales PB5...0 como entradas o salidas está limitado dependiendo del “reset” y las configuraciones del reloj, como muestra el la figura 4.11

XTAL 1 Entrada al amplificador oscilador inversor y entrada al reloj interno.

XTAL 2 Salida del amplificador oscilador inversor

$\overline{\text{RESET}}$ Entrada de reset. Aplicando un nivel bajo de voltaje en esta terminal por más de 50 nanosegundos, se genera un reset.

Opción de reloj	PB5	PB4	PB3
Reset externo activo	en uso	-	-
Reset externo no activo	Entrada/I/O	-	-
Cristal Externo	-	en uso	en uso
Resonador de Cerámica Externo	-	en uso	en uso
Oscilador RC Externo	-	I/O	en uso
Reloj Externo	-	I/O	en uso
Oscilador RC Interno	-	I/O	I/O

Figura 4.11: Función de las terminales PB5 . . . PB3 de acuerdo a las opciones del reloj

4.2. FPGA

El FPGA o “field-programmable gate arrays” es un dispositivo semiconductor que contiene componentes lógicos programables e interconexiones programables entre ellos. La organización de compuertas lógicas, acceso a memoria y otros tipos de componentes varían de acuerdo al fabricante. Sin embargo, a pesar de las diferentes arquitecturas que existen, en todos los FPGAs las interconexiones están organizadas en forma matricial [18].

Todas las estructuras para FPGAs disponibles en el mercado están compuestas por estructuras básicas, éstas consisten en varios bloques de celdas lógicas acompañadas por un gran número de interconexiones. Un bloque lógico o celda lógica contiene SRAMs, PALs, compuertas NAND, multiplexores y flip-flops, entre otros. Las líneas de interconexión están conectadas tanto horizontal como verticalmente a las entradas y salidas de los bloques lógicos por interruptores programables. Así mismo, los FPGA contienen distintos tipos de bloques de control para señales externas de entrada y salida [18].

La última tendencia en FPGAs combina los bloques lógicos e interconexiones tradicionales con microprocesadores y distintos periféricos, para formar un sistema completo programable en un solo empaquetado. Entre estos dispositivos se puede mencionar el Xilinx Virtex-II PRO y el ATMEL FPSLIC. Otra innovación consiste en usar núcleos de procesadores como el Xilinx Microblaze y Picoblaze, el Altera Nios y LatticeMicro32, entre otros.

El avance tecnológico en FPGAs ha permitido su aplicación en las áreas automotriz, aeroespacial, médica, audio, video, tecnología móvil, etc.

Capítulo 5

Pruebas y simulaciones aisladas del sistema de adquisición y acondicionamiento de la señal EMG

En este capítulo se describen las pruebas y simulaciones aisladas de los componentes que forman el sistema de adquisición y acondicionamiento de la señal EMG. Además se muestran los diagramas esquemáticos de cada uno de los circuitos en tecnología CMOS, así como algunos bloques agregados. Cada uno de los módulos fue simulado por medio de la plataforma ICStudio de Mentor Graphics, antes de proceder a unificar el sistema. El diagrama de la figura 5.1, muestra los elementos que componen el sistema de control propuesto para el encendido de la electrolaringe.

Cada módulo del diagrama representa una etapa del procesamiento de la señal, encontrando por orden:

- Amplificador Diferencial
- Filtro de paso alto con $f_c = 70$ Hz
- Filtro de paso bajo con $f_c = 400$ Hz
- Rectificador de onda completa
- Filtro de paso bajo con $f_c = 3$ Hz

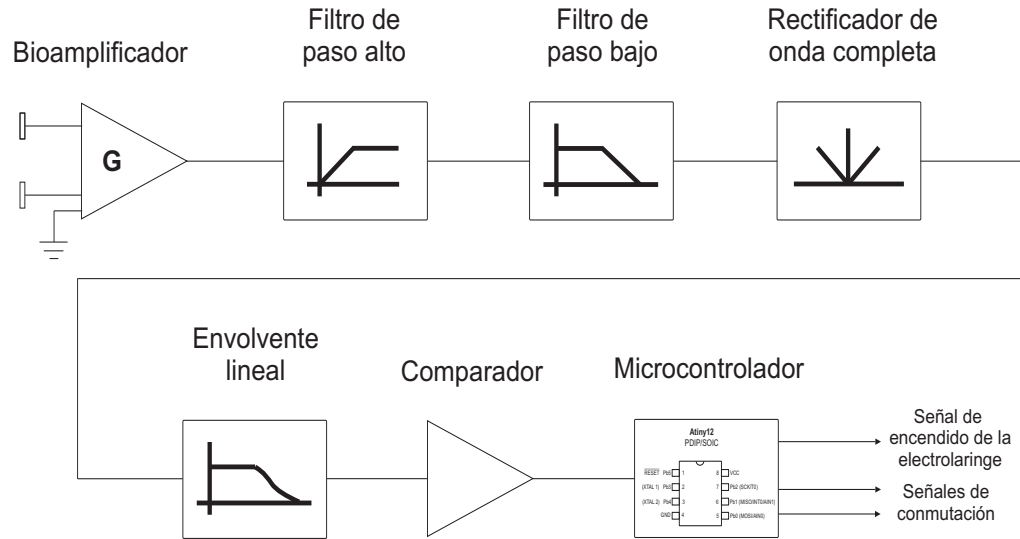


Figura 5.1: Diagrama de bloques del sistema de control de encendido automático de la electrolaringe.

- Comparador
- Sistema de Control a través del microcontrolador

Las simulaciones de respuesta en magnitud y fase se hacen a través de un análisis de AC, mientras que las gráficas de respuesta a una señal de entrada específica se hacen usando un análisis transitorio. Para obtener la frecuencia a -3 dB de los filtros con capacitores conmutados se toma en cuenta el hecho de que a la frecuencia de corte el sistema entrega aproximadamente un 75 % de la señal de entrada.

5.1. Señales para la conmutación

Para realizar la conmutación se usaron dos señales de reloj a una frecuencia de 10 KHz: clk1 y clk2. La frecuencia de conmutación (10 KHz) debe ser mucho mayor a la frecuencia de la señal aplicada a los circuitos de capacitores conmutados (400-450 Hz), de acuerdo con la condición de sobremuestreo $f_{señal} \ll f_{reloj}$ [3]. Las señales de reloj están desfasadas entre sí y no se traslapan, estas son dos condiciones esenciales en el diseño de circuitos

con capacitores conmutados [25, 3]. La figura 5.2 muestra las señales de reloj para el sistema.

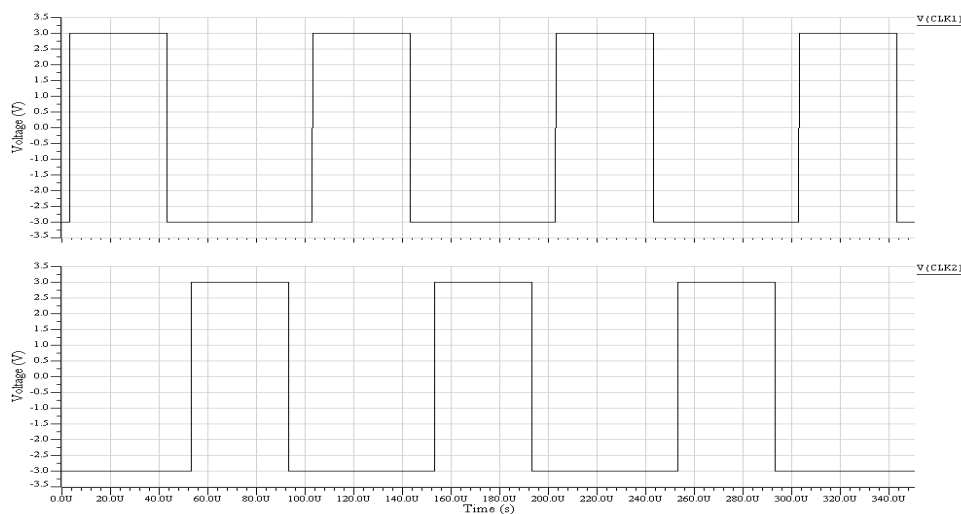


Figura 5.2: Señales de reloj usadas en las simulaciones para controlar la conmutación de los capacitores.

5.2. Los interruptores

Los interruptores están diseñados con tres elementos: un transistor tipo n, un transistor tipo p y un inversor. El inversor prepara la señal de control del interruptor para la activación del transistor tipo p. La figura 5.3 muestra el diagrama esquemático completo de un interruptor “transmission gate”. Todos los interruptores utilizados en la simulación usan este diseño.

5.3. El amplificador operacional

El amplificador operacional se diseñó con el método g_m/I_D , para una corriente de alimentación de $4 \mu\text{A}$, una capacitancia de carga $C_L = 4 \text{ pF}$ y un voltaje de alimentación de $\pm 3\text{V}$.

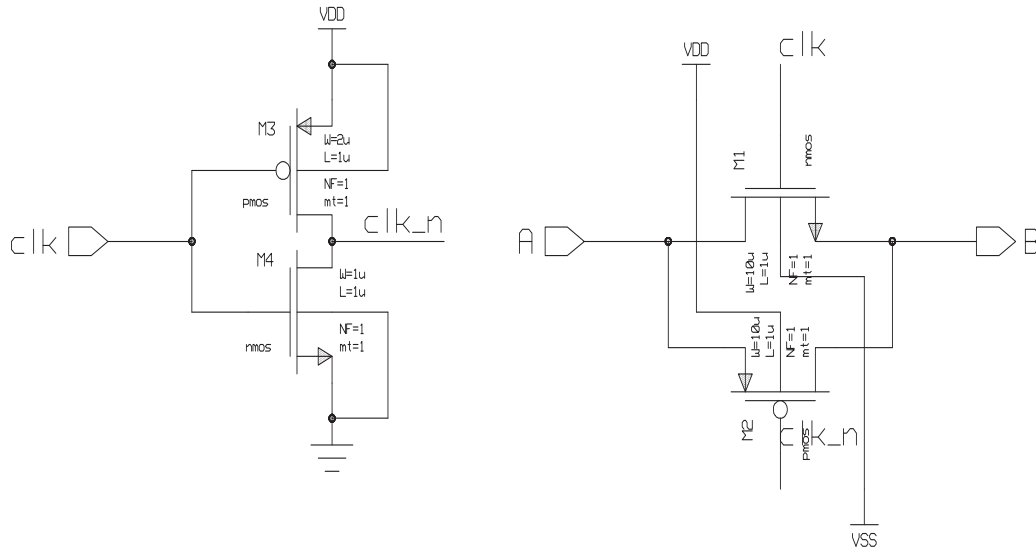


Figura 5.3: Configuración de transistores CMOS que conforman un “transmission gate”.

En la tabla de la figura 5.4 se muestran las medidas de (W/L) resultantes para cada transistor. Estas medidas fueron utilizadas en la simulación del circuito para obtener la respuesta en frecuencia del amplificador operacional. La gráfica de la magnitud y fase resultantes del análisis AC realizado en PSPICE se muestra en la figura 5.5. El amplificador operacional diseñado tiene una ganancia de 75 dB, un ancho de banda de ganancia unitaria de 1.98 MHz y un margen de fase de 85° . Sus características lo hacen apropiado para su utilización en este proyecto, ya que supera la ganancia mínima de 68 dB recomendada para circuitos SC y el ancho de banda de la ganancia unitaria es mucho mayor que la frecuencia de conmutación.

Al momento de simular el amplificador operacional en ICStudio, diseñado con el método g_m/I_d , el circuito no tuvo la misma respuesta satisfactoria obtenida al simularlo en PSPICE. Esto pudo ser debido a que el conjunto de modelos usados por ICStudio tienen parámetros predefinidos que no pueden ser modificados por el diseñador, por ejemplo: V_{T0} , K' , γ , λ , etc. Para solucionar este problema se diseñó un amplificador operacional de dos etapas con el método propuesto por Allen, Holberg y Gregorian en [3, 13].

Dispositivo	W/L (μm)	I_D (μA)	g_m/I_D (V^{-1})
M1, M2	55/1	2.131	17.83
M3, M4	1.25/10	2.131	1.78
M5	10/10	4.262	3.41
M6	1.25/10	2.139	1.81
M7	10/10	2.139	1.77
M9	10/10	4	3.64

Figura 5.4: Valor de la relación (W/L) para cada transistor del amplificador operacional.

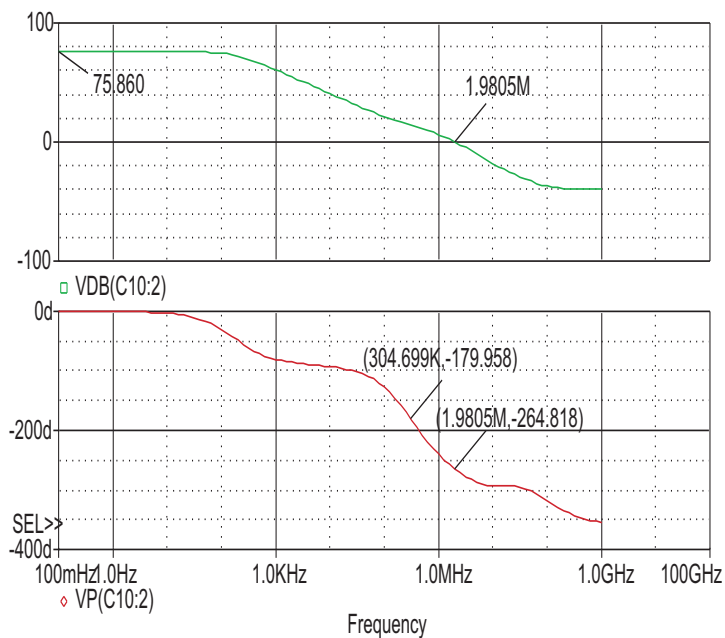


Figura 5.5: Respuesta en frecuencia del amplificador operacional diseñado con el método g_m/I_d . a) Magnitud de la ganancia, b) Respuesta en fase

En el Apéndice B se presenta el procedimiento de diseño, y los resultados obtenidos en la simulación de este dispositivo se muestran más adelante.

El amplificador operacional fue diseñado con las siguientes especificaciones: ganancia $A_v = 5000$, ancho de banda $GB = 1$ MHz, voltaje de alimentación ± 3 V, $SR = 5 \times 10^{-6}$, capacitor de carga de 10 pF y una corriente máxima de 15 μA .

El diagrama del circuito se puede ver en la figura 5.6, la estructura es idéntica a aquella mostrada para el diseño del amplificador por el método g_m/I_d . Para determinar la respuesta en frecuencia del amplificador se aplicó un análisis de AC implementado en ICStudio de Mentor Graphics. Los resultados se observan en la figura 5.7.

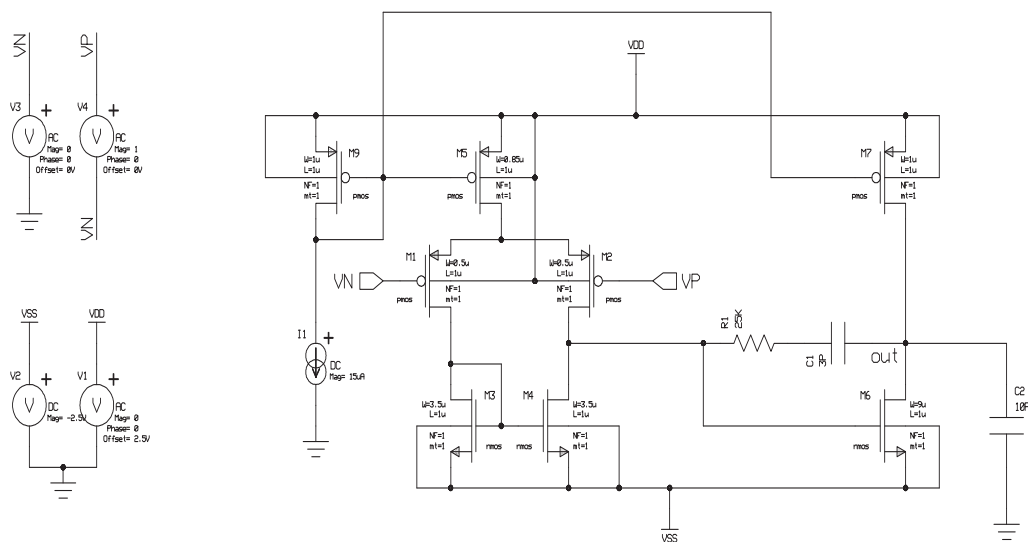


Figura 5.6: Diagrama esquemático del amplificador operacional de dos etapas, con compensación de Miller.

La ganancia de este amplificador es de aproximadamente 70 dB, un ancho de banda de ganancia unitaria de 955 KHz y un margen de fase de 97.72°. Aunque la ganancia y el ancho de banda de este amplificador son menores que los del amplificador operacional propuesto en este trabajo, este diseño también puede contribuir con resultados satisfactorios al proyecto por lo que se aprueba para su uso en cada uno de los circuitos del sistema de adquisición.

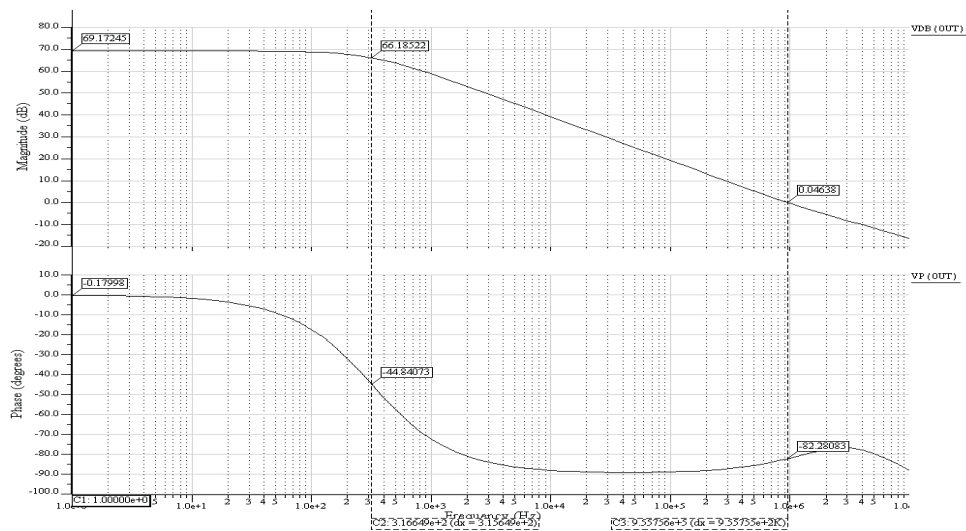


Figura 5.7: Gráfica de la respuesta en frecuencia del amplificador operacional, obtenida a través de un análisis de AC en ICStudio.

5.4. El Bioamplificador: Amplificador Diferencial

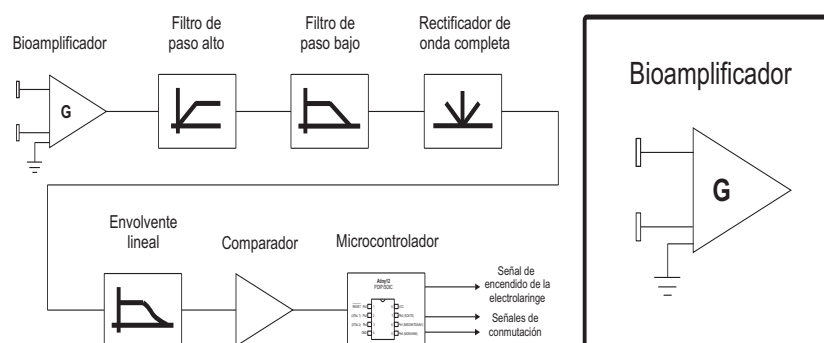


Figura 5.8: Sistema de adquisición y acondicionamiento de la señal EMG: el Bioamplificador.

El diseño del amplificador diferencial está basado en el circuito sumador con capacitores conmutados, propuesto por Allen y Holberg [3]. El diagrama completo del circuito usado en la simulación se muestra en la figura 5.9.

Para comprobar el funcionamiento adecuado del circuito se aplicó a la entrada una señal diferencial de 80 mVpp de amplitud a 400 Hz. Y se configuró, con el valor de los capacitores C , una ganancia diferencial de 8. La señal de salida del amplificador diferencial con capacitores conmutados tiene una pequeña pérdida en la amplitud durante el período positivo, pero mantiene una ligera compensación en el período negativo. Estos desperfectos son casi imperceptibles y pueden ignorarse. La figura 5.10 muestra la respuesta obtenida en la simulación, mientras que en la figura 5.11 se puede apreciar una comparación entre las señales de entrada y la señal de salida del circuito.

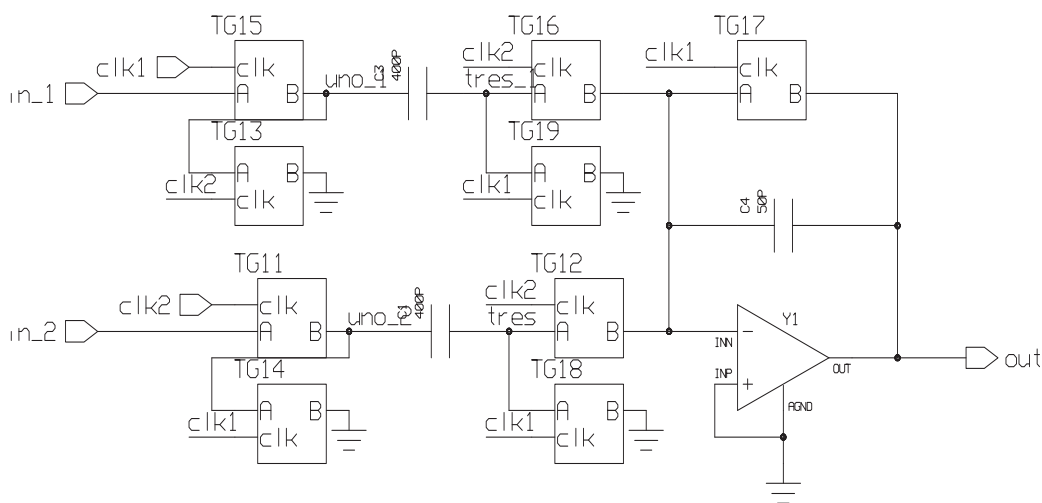


Figura 5.9: Diagrama esquemático del amplificador diferencial.

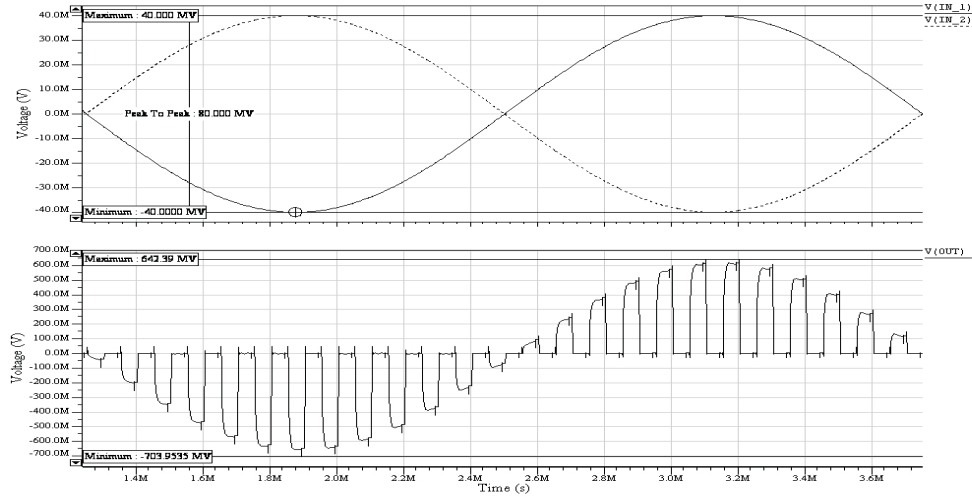


Figura 5.10: Señal diferencial de entrada (80mVpp) y señal de salida del amplificador diferencial con *ganancia* = 8.

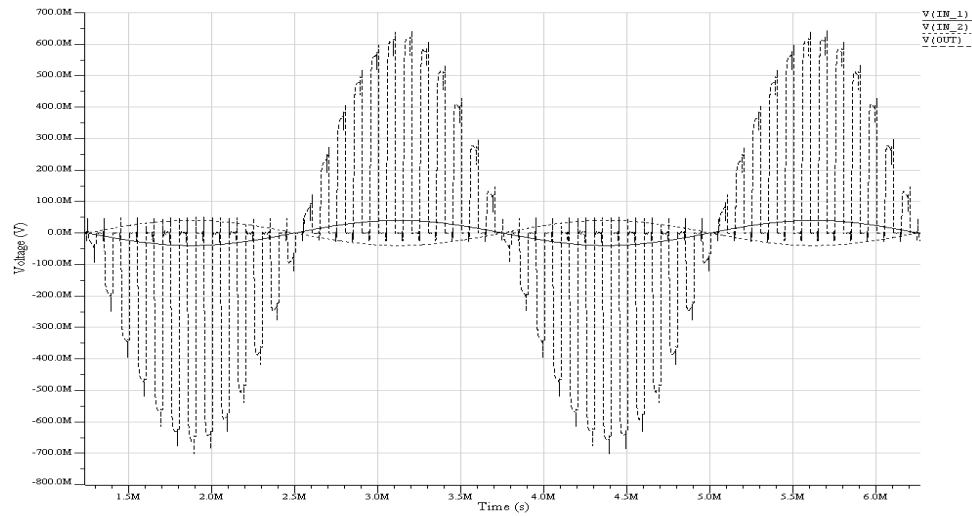


Figura 5.11: Comparación entre las señales de entrada y salida del amplificador diferencial.

5.5. Filtro de paso alto con $f_c = 70$ Hz

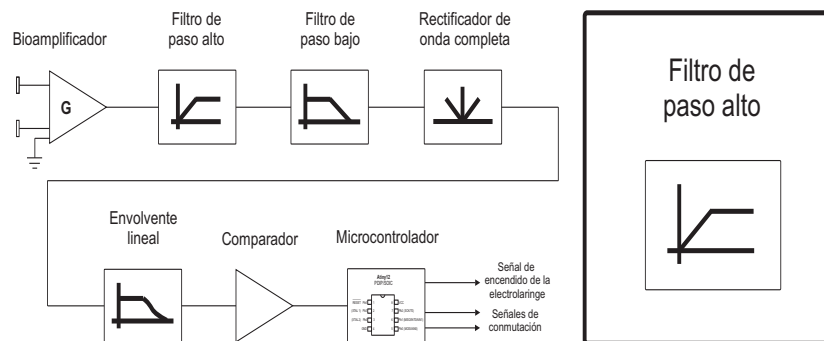


Figura 5.12: Sistema de adquisición y acondicionamiento de la señal EMG: el filtro de paso alto

El filtro de paso alto se diseñó para tener una frecuencia de 70 Hz a -3 dB, y ganancia unitaria. El diagrama esquemático se muestra en la figura 5.13.

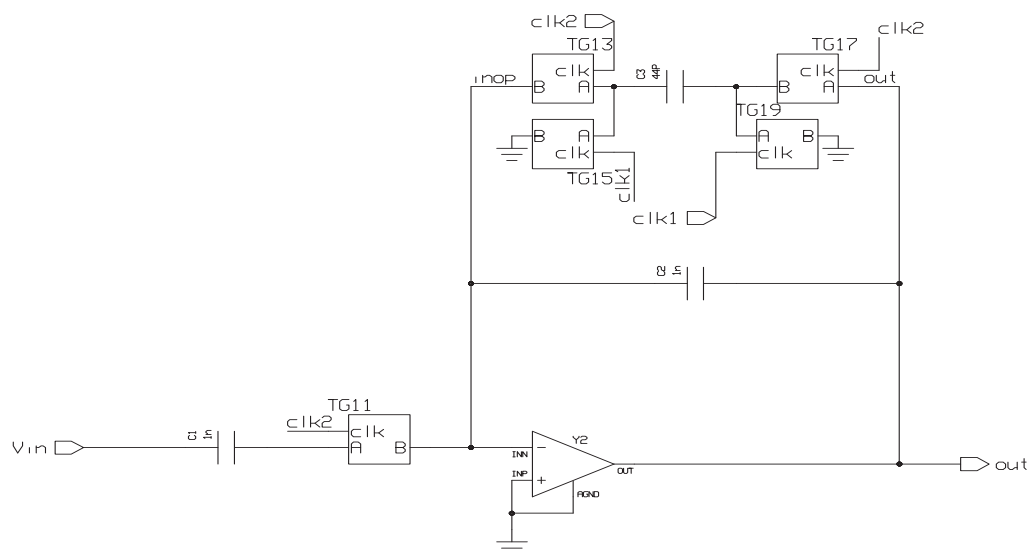


Figura 5.13: Diagrama del circuito del filtro de paso alto con capacitores conmutados usado en la simulación.

Para la simulación de este filtro se usaron varias señales de entrada de 1 V de amplitud entre los 60 y 80 Hz. Esto se hizo con el fin de identificar la frecuencia de corte del filtro. De acuerdo a los resultados obtenidos en las simulaciones se pudo determinar que la frecuencia de corte del filtro es de 80 Hz aproximadamente, lo que se puede ver en las gráficas 5.14 y 5.15. Si se observan las gráficas de la respuesta del filtro es posible notar el transitorio inicial. Se espera que este comportamiento no tenga repercusiones serias en el procesamiento de la señal, una vez que el sistema se unifique.

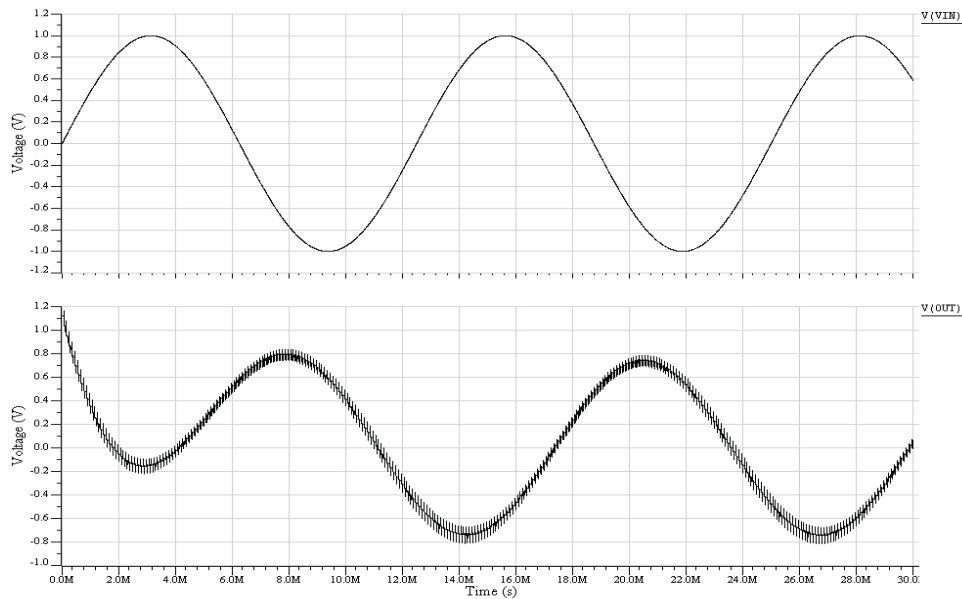


Figura 5.14: Respuesta del filtro de paso alto a una señal de entrada de 1 V a 80 Hz.

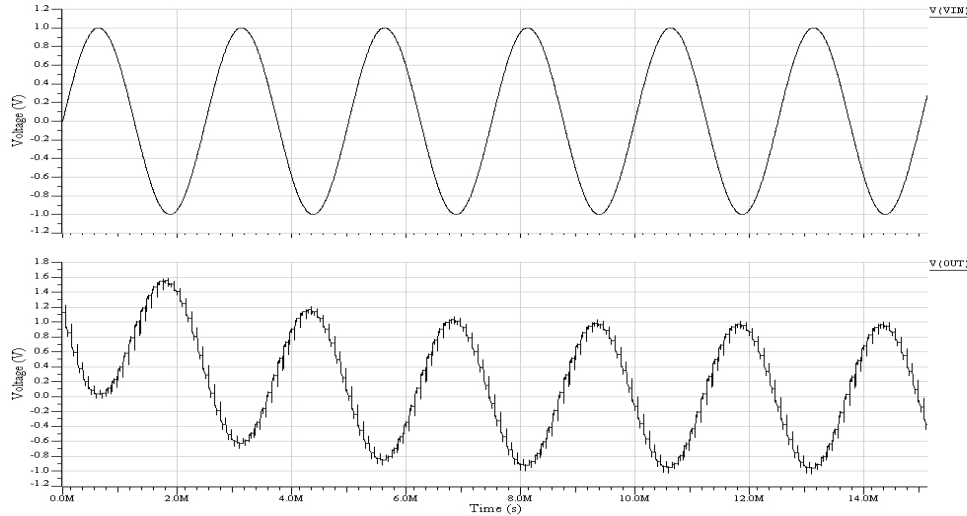


Figura 5.15: Respuesta del filtro de paso alto a una señal de frecuencia 400 Hz y 1 V de amplitud.

5.6. Filtro de paso bajo con $f_c = 450$ Hz

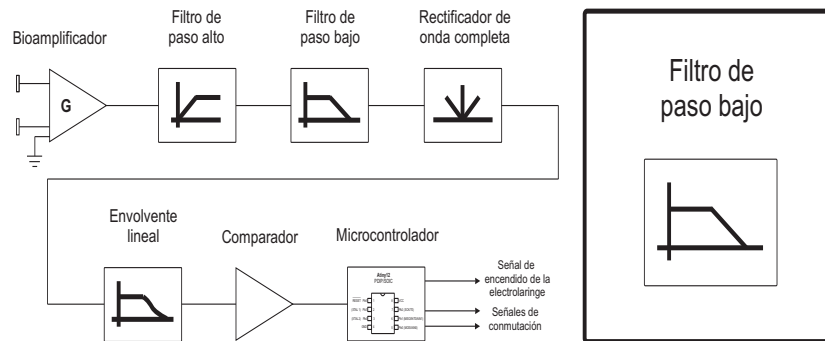


Figura 5.16: Sistema de adquisición y acondicionamiento de la señal EMG: el filtro de paso bajo

El filtro de paso bajo en serie con el filtro de paso alto, forman un filtro de

paso de banda capaz de rechazar señales indeseables de altas frecuencias y la componente de DC. El filtro de paso bajo permite solo el paso de frecuencias menores a los 450 Hz, ya que es entre 400 y 450 Hz donde se encuentran las componentes principales de la señal EMG [21]. La figura 5.17 muestra el circuito del filtro de paso bajo. Para identificar la frecuencia de corte del filtro se siguió el patrón de simulación usado en el filtro de paso bajo. Las señales de entrada aplicadas oscilaron entre los 350 y 500 Hz. De acuerdo a los datos mostrados en las figuras 5.19 y 5.18, se puede decir que la frecuencia de corte del filtro de paso bajo es aproximada a los 450 Hz. La respuesta de este filtro presenta también un pequeño transitorio, mucho menor al mostrado por el filtro de paso alto.

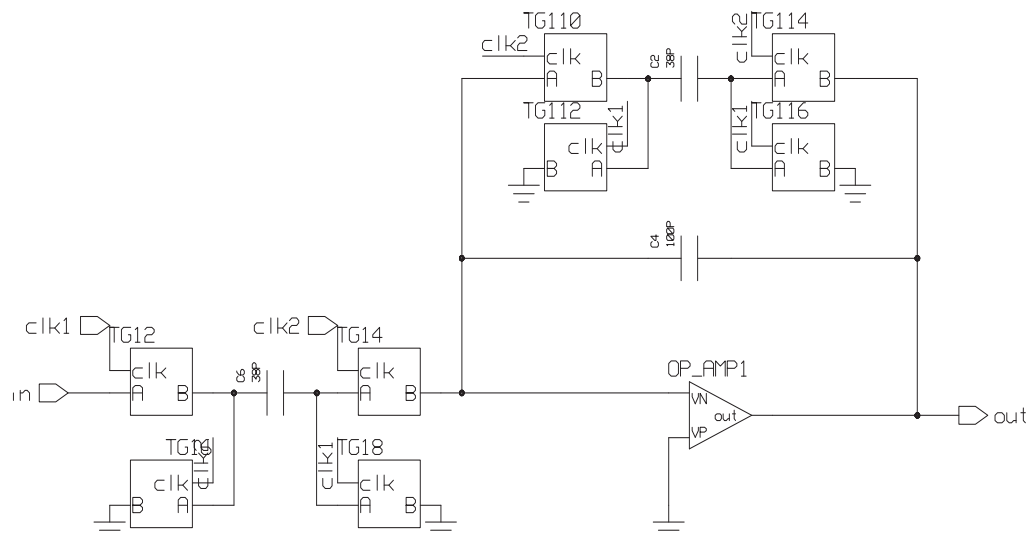


Figura 5.17: Diagrama esquemático del filtro de paso bajo con capacitores conmutados usado en la simulación.

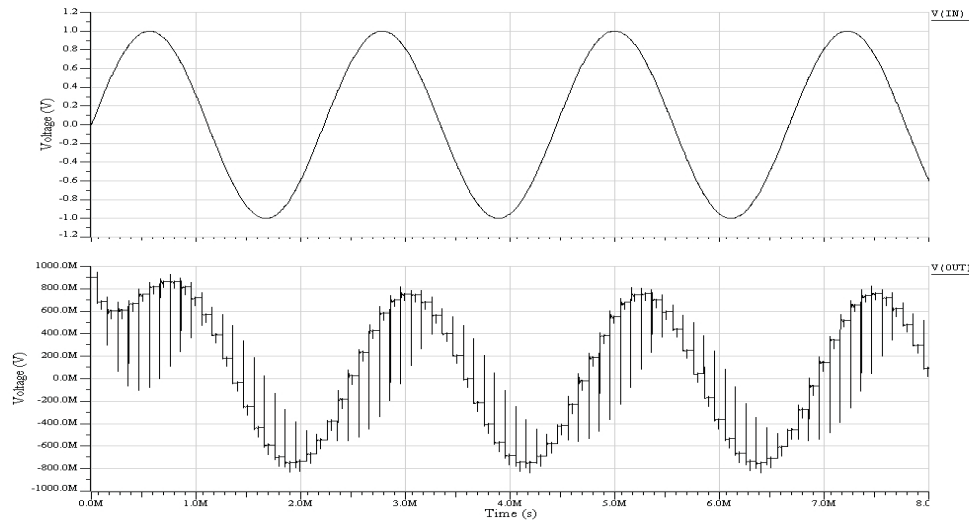


Figura 5.18: Respuesta del filtro de paso bajo a una señal de entrada de 450 Hz y 1 V de amplitud.

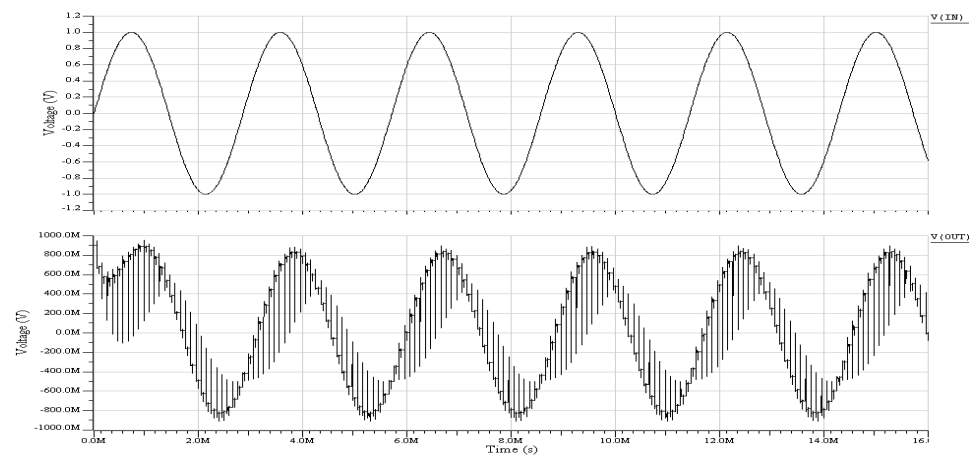


Figura 5.19: Respuesta del filtro de paso bajo a una señal de entrada de 350 Hz y 1 V de amplitud.

5.7. Rectificador de onda completa

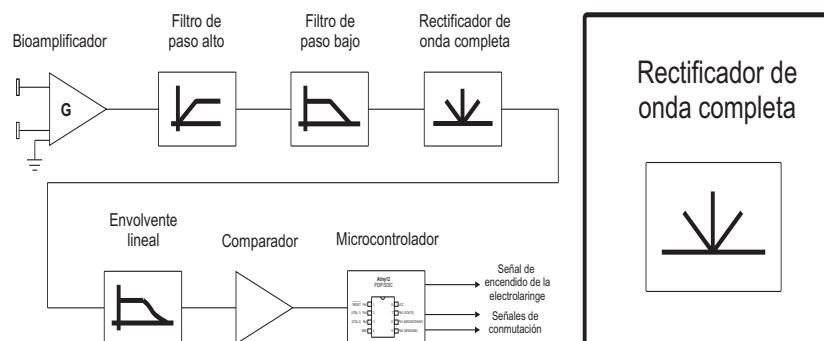


Figura 5.20: Procesamiento de la señal EMG: el rectificador de onda completa

El rectificador de onda completa permite la obtención del valor absoluto de la señal electromiográfica de forma que se pueda trabajar con toda su energía. El circuito diseñado como rectificador está basado en la estructura del sumador con capacitores conmutados propuesto por Allen y Holberg [3]. Esta configuración entrega una señal de salida invertida, sin embargo este detalle se corrigió colocando a la salida del rectificador un amplificador inversor. El circuito completo se puede ver en la figura 5.21.

La figura 5.22 muestra la relación entre la señal de entrada al rectificador y la respuesta del circuito. En esta gráfica se puede apreciar que el rectificador entrega alrededor del 75 % de la señal de entrada, este detalle se puede corregir haciendo un cambio en la ganancia del sistema. Se sugiere que esta ganancia sea definida al doble, ya que al someter a la señal a un doble filtrado ésta va perdiendo amplitud. Este detalle se discutirá al observar los resultados obtenidos al unificar el sistema.

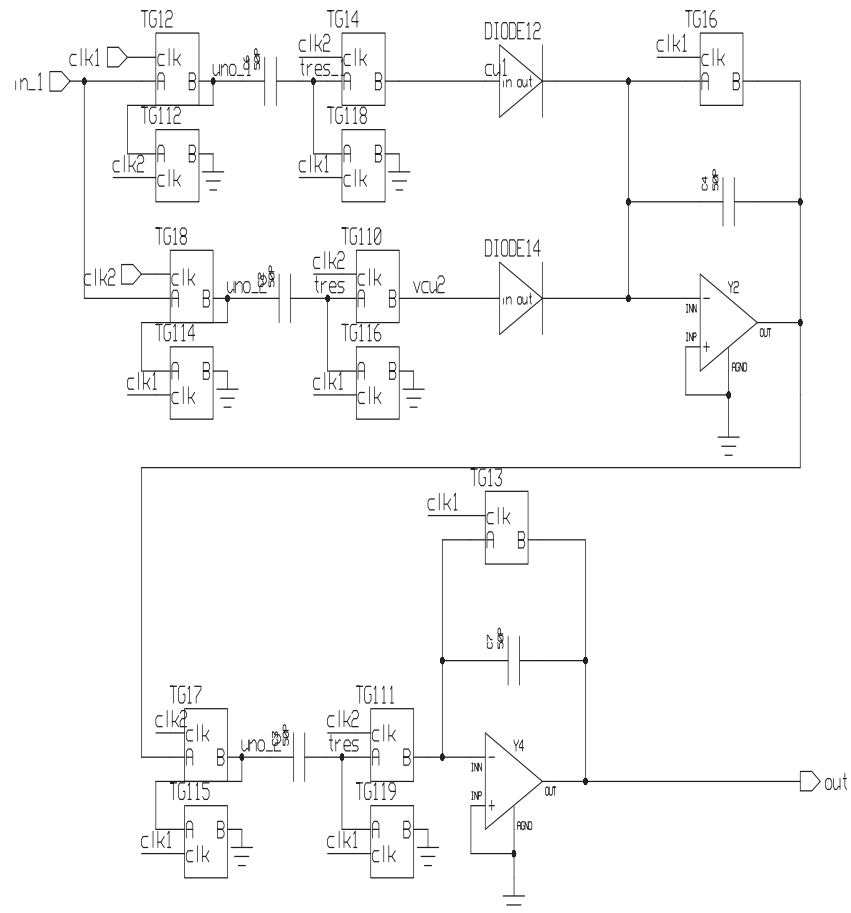


Figura 5.21: Circuito del rectificador inversor diseñado en base a un amplificador sumador con capacitores conmutados. El amplificador inversor cambia la forma de onda de salida.

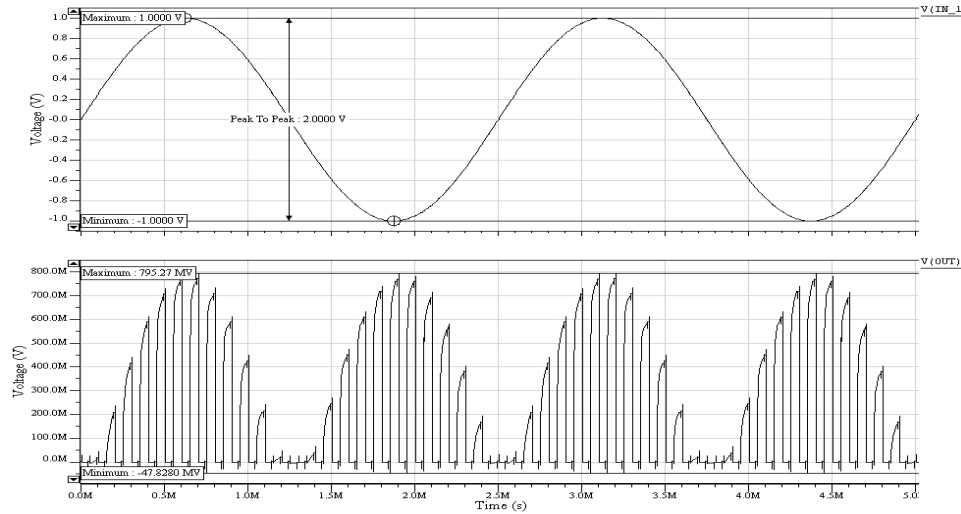


Figura 5.22: Señal senoidal de entrada de 1 V de amplitud y señal rectificada de salida.

5.8. Filtro de paso bajo con $f_c = 3 \text{ Hz}$

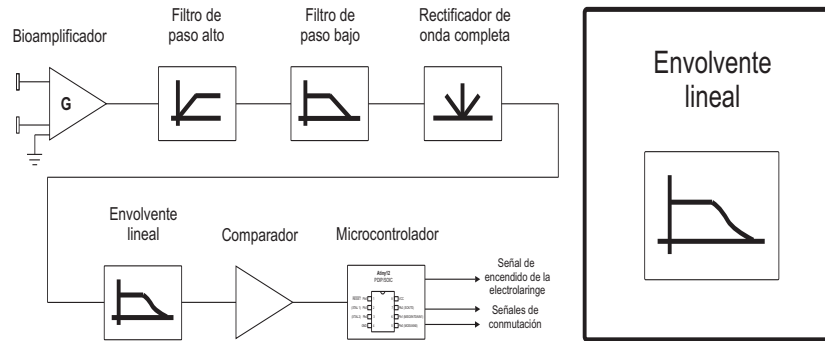


Figura 5.23: Procesamiento de la señal EMG: Formación de la envolvente lineal por medio del filtro de paso bajo de tercer orden

El filtro de paso bajo con frecuencia de 3 Hz a -3 dB se encarga de obtener la envolvente de la señal EMG rectificada que convierte la información de la señal en un nivel de voltaje variable. Este nivel de voltaje refleja los valores máximos de la señal EMG de forma continua y representa la fuerza generada por el músculo. El diagrama esquemático del filtro de paso bajo se ve en la figura 5.24, la gráfica de la respuesta en frecuencia obtenida en la simulación se observa en la figura 5.25.

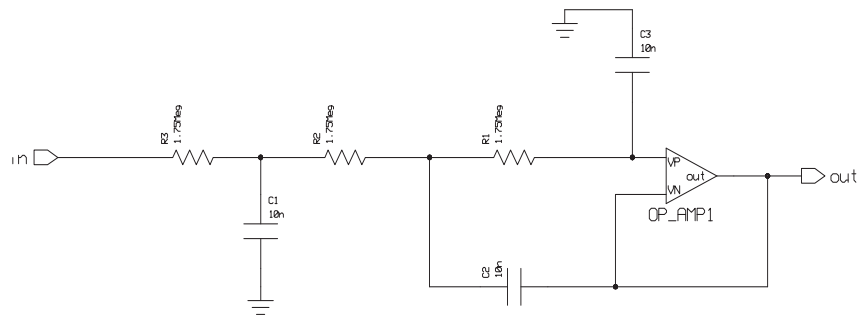


Figura 5.24: Circuito para el filtro convencional de tercer orden con frecuencia de corte de 3 Hz.

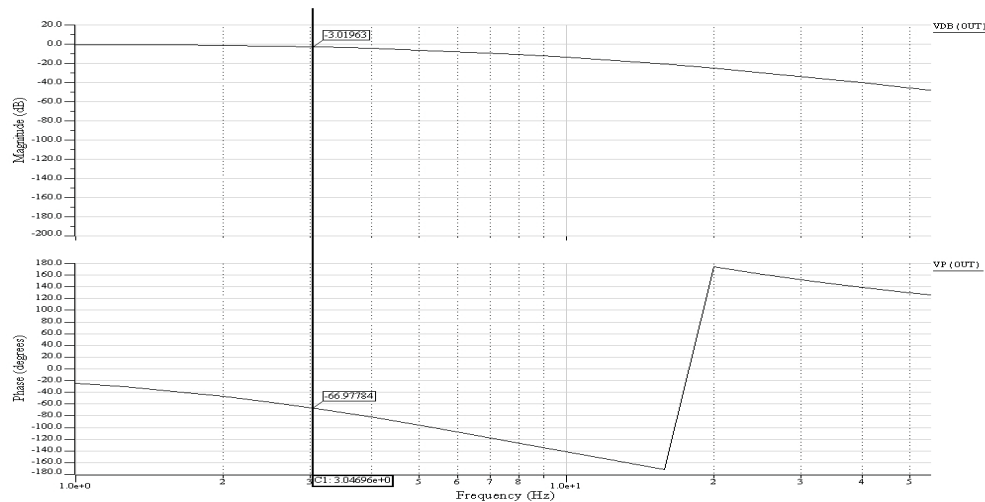


Figura 5.25: Respuesta en frecuencia del filtro convencional de tercer orden con frecuencia de corte de 3 Hz.

5.9. El comparador de voltaje

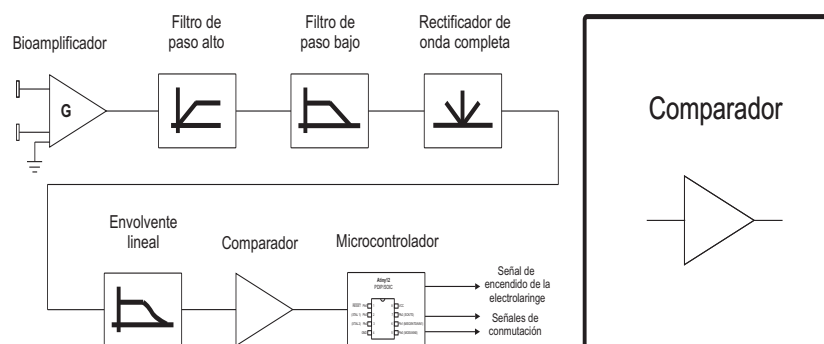


Figura 5.26: Procesamiento de la señal EMG: el comparador de voltaje.

La función del comparador de voltaje se realizó con la implementación de un inversor en modo complementario. La figura 5.27 muestra el diagrama del circuito. El circuito tiene un voltaje de activación de 200 mV, es decir que mientras la envoltura de la señal EMG tiene una amplitud de 200 mV, el inversor en modo complementario entrega un pulso de igual duración con 3 V de amplitud. Se realizó un análisis en DC que permitiera determinar el punto de activación del inversor diseñado, los resultados se muestran en las figuras 5.28 y 5.29.

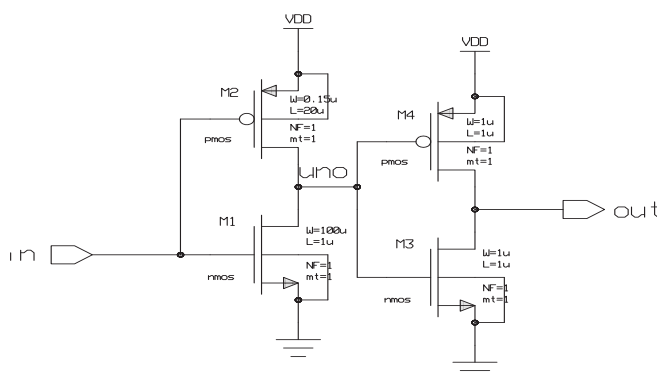


Figura 5.27: Diagrama esquemático del inversor en modo complementario usado como comparador.

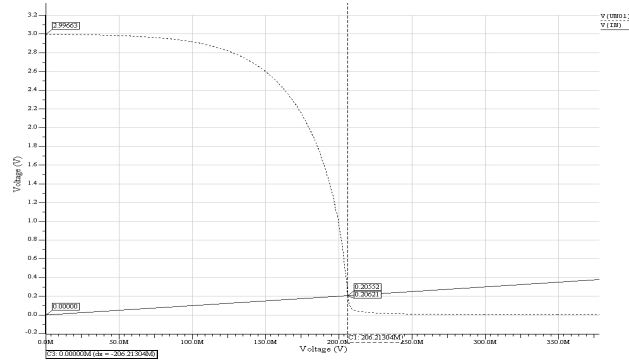


Figura 5.28: Punto de activación del primer inversor que conforma el inversor complementario.

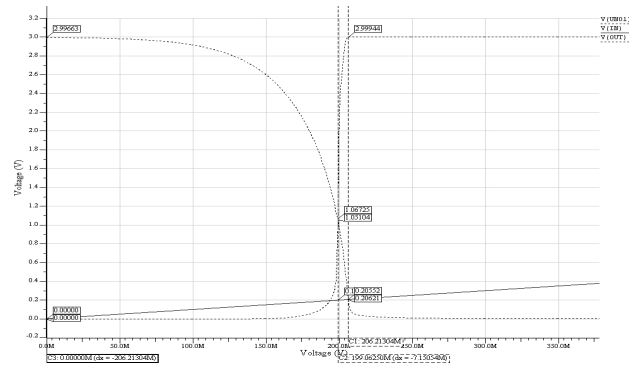


Figura 5.29: Punto de activación de los dos inversores en serie que conforman el inversor complementario.

Capítulo 6

Pruebas y simulaciones integradas del sistema de adquisición y acondicionamiento de la señal EMG, y el sistema de control

En este capítulo se muestran algunas simulaciones del sistema de adquisición y acondicionamiento de la señal EMG completo, así como del programa del sistema de control para el encendido de la electrolaringe. Para simular el sistema de adquisición y acondicionamiento se hicieron dos simulaciones: usando una señal con características similares a una señal electromiográfica y usando una señal electromiográfica. El sistema de control para la electrolaringe se simuló para ambas propuestas: el microcontrolador y el PFGA.

6.1. El sistema de adquisición y acondicionamiento de la señal EMG

6.1.1. Respuesta del sistema a una señal con características similares a una señal EMG

Las simulaciones realizadas en este apartado permiten apreciar la respuesta del sistema de adquisición a una señal con características similares a una señal electromiográfica. La señal usada en esta simulación se ve en la figura 6.1. El propósito de esta práctica es obtener información sobre el sistema que permita determinar las condiciones necesarias de ganancia de cada circuito para hacer ajustes a cada bloque. Esto es porque al hacer el diseño se asume que los circuitos tienen un comportamiento ideal que en la práctica no existe. Para definir el funcionamiento y deficiencias, se utilizaron macromodelos de cada una de las etapas; de forma que las etapas previas a cada bloque, excepto el bioamplificador, son representaciones ideales de los bloques originales. La amplitud de la envolvente obtenida no fue lo suficientemente grande para activar el comparador. Se espera obtener los resultados esperados al hacer las modificaciones prudentes que caractericen el diseño del sistema de adquisición.

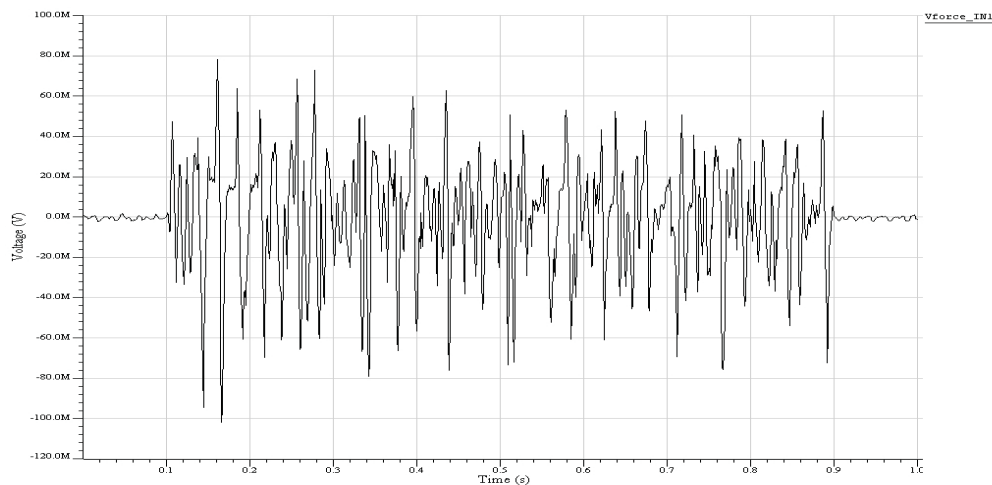


Figura 6.1: Señal con características similares a una señal EMG usada en las simulaciones.

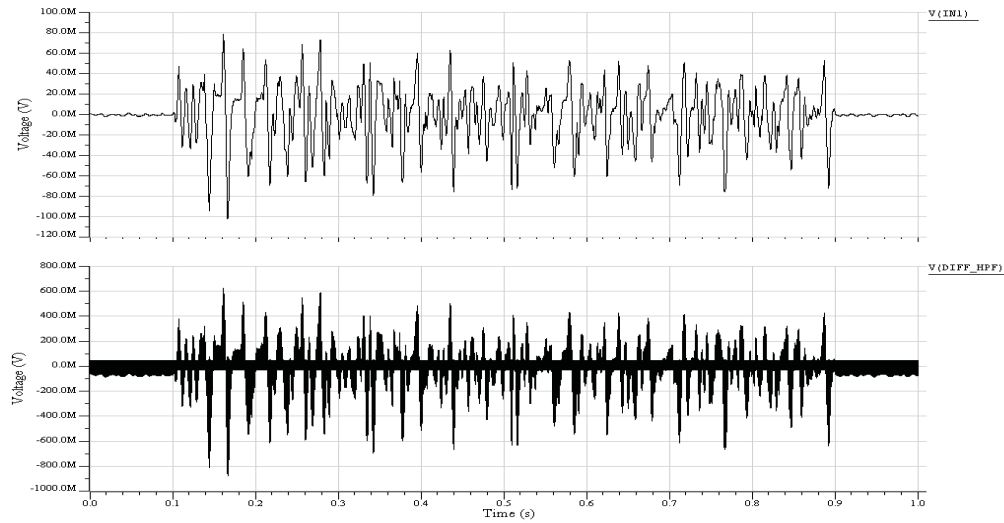


Figura 6.2: Respuesta del amplificador diferencial a una señal con características similares a una señal EMG.

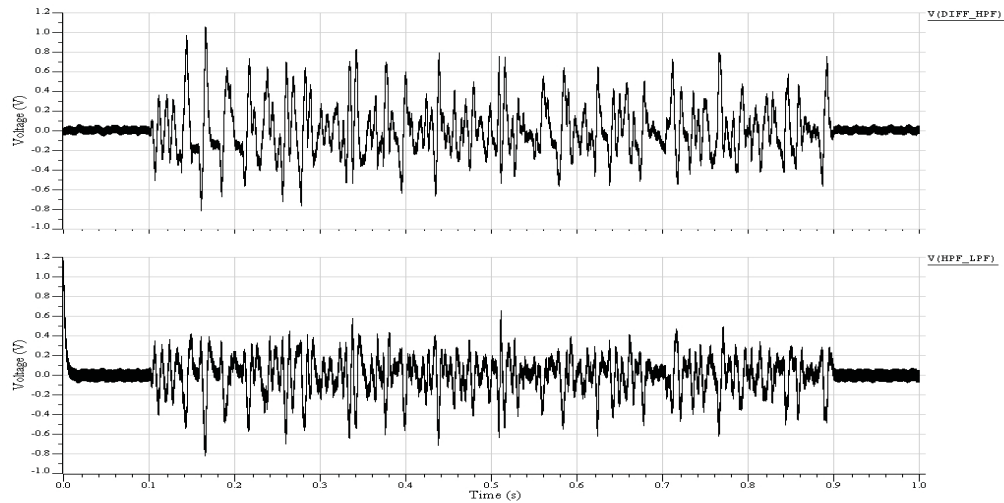


Figura 6.3: Respuesta del filtro de paso alto a una señal con características similares a una señal EMG.

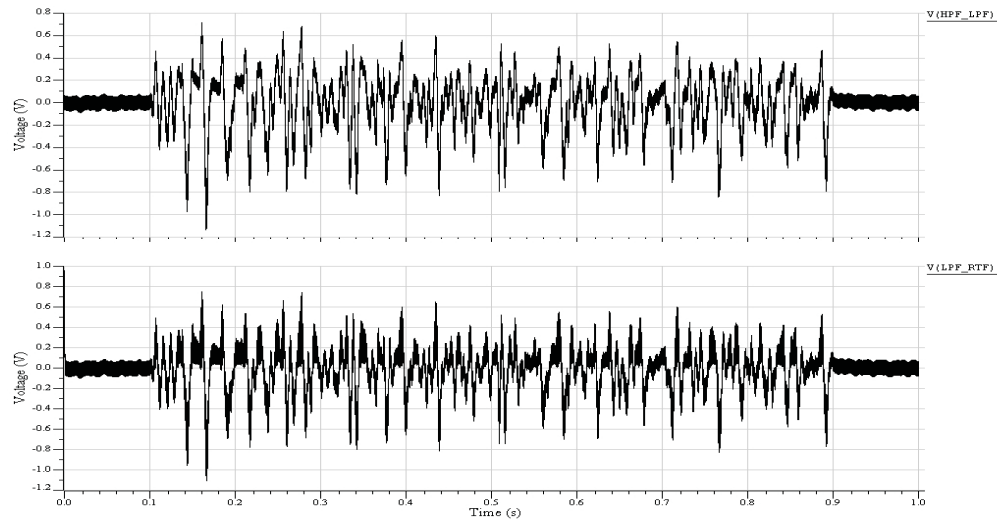


Figura 6.4: Respuesta del filtro de paso bajo a una señal con características similares a una señal EMG previamente filtrada a frecuencias mayores de 80 Hz.

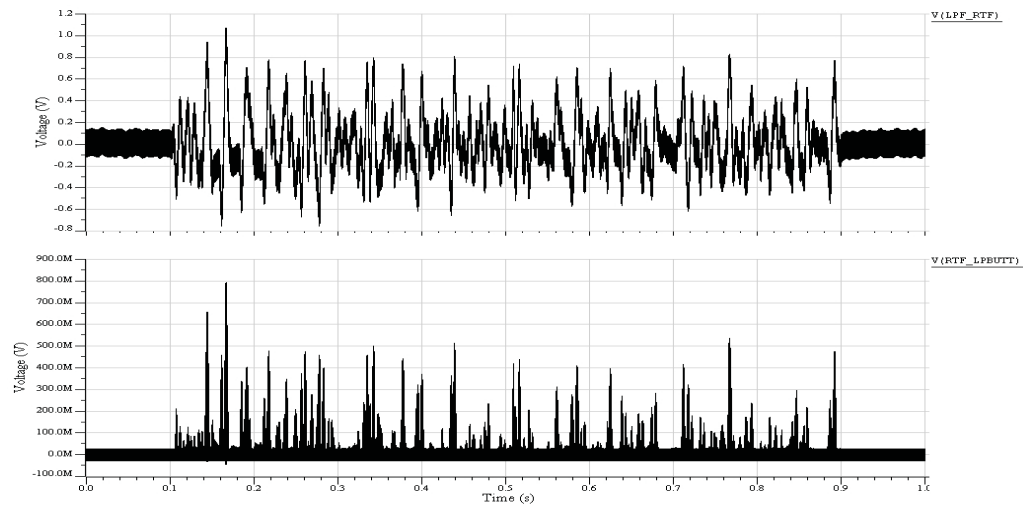


Figura 6.5: Respuesta del rectificador a una señal con características similares a una señal EMG.

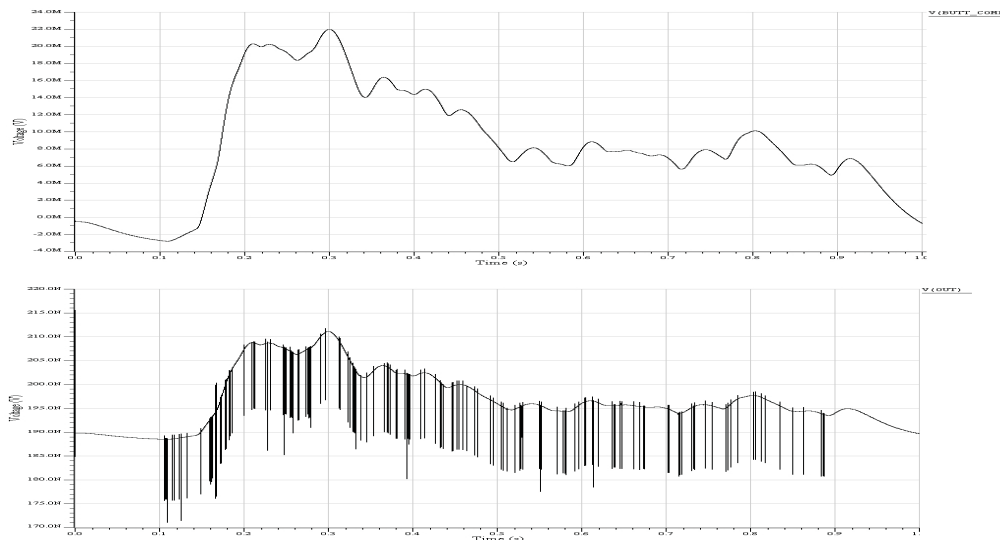


Figura 6.6: Arriba: envolvente lineal obtenida por medio del filtro de paso bajo con frecuencia de corte de 3 Hz. Abajo: respuesta del inversor ante la envolvente, el inversor no se activa porque la amplitud de la envolvente es menor a 200 mV.

Los resultados de la simulación usando una señal con características similares a una señal EMG fueron de gran ayuda para terminar de caracterizar el sistema de adquisición. En el diagrama de la figura 6.7 se puede visualizar el funcionamiento de cada una de las etapas sin cambios.

6.1.2. Respuesta del sistema a una señal EMG

Después de realizar la práctica anterior que permitió determinar las deficiencias del sistema de adquisición y acondicionamiento, se hicieron cambios en la ganancia de algunos bloques. Se fijó la ganancia del amplificador diferencial en 10 y la ganancia del rectificador en 8, todo esto para disminuir las pérdidas a causa del filtrado, la rectificación y, principalmente, la obtención de la envolvente. Para dar validez al sistema modificado se utilizó una señal EMG para excitar el sistema. Esta señal se muestra en la figura 6.8 y fue obtenida en la página de “Clinical Biomechanics Research Group” de la universidad de Brighton (<http://biomech.brighton.ac.uk/help/emg/>).

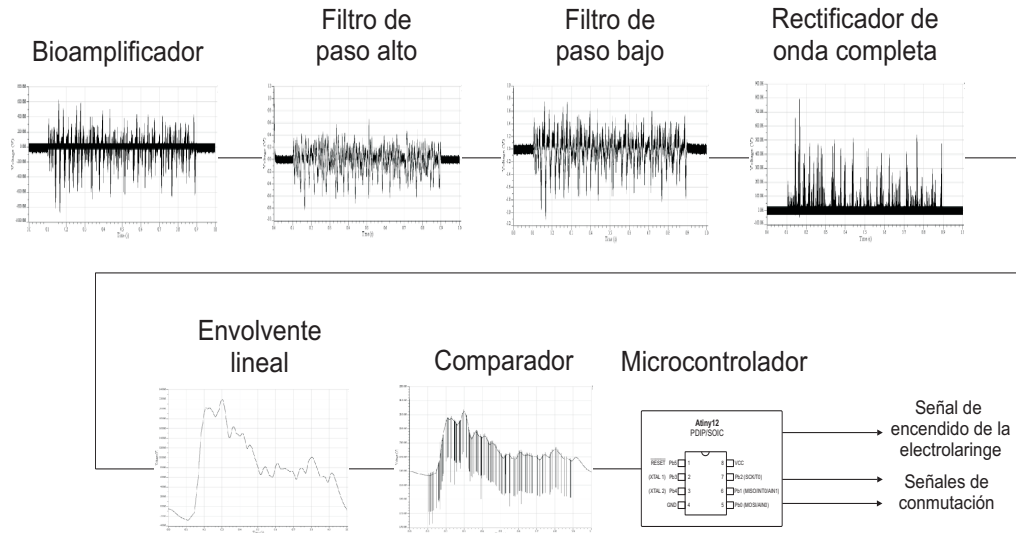


Figura 6.7: Respuesta del sistema de adquisición y acondicionamiento por etapas para una señal con características similares a una señal EMG.

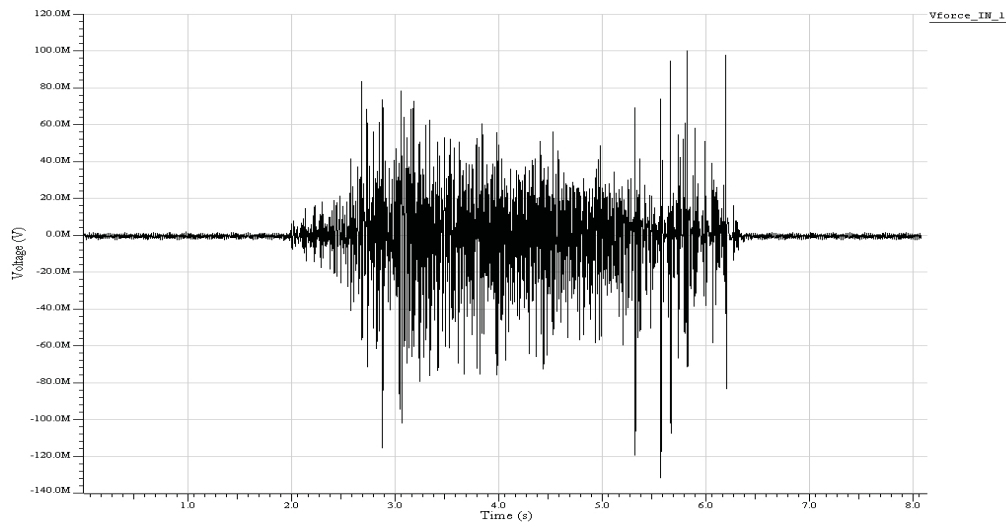


Figura 6.8: Señal EMG utilizada en la simulación del sistema de adquisición final.

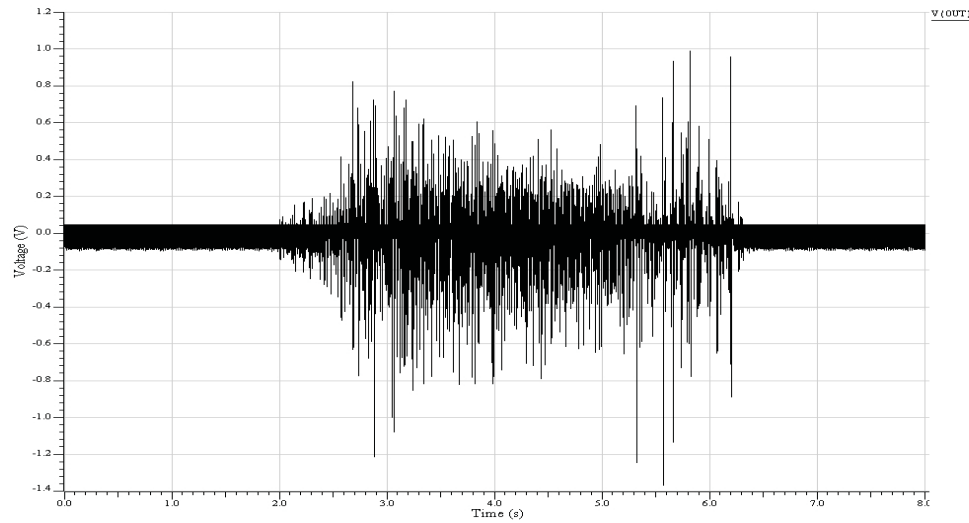


Figura 6.9: Respuesta del amplificador diferencial a una señal EMG. El amplificador tiene una ganancia de 10.

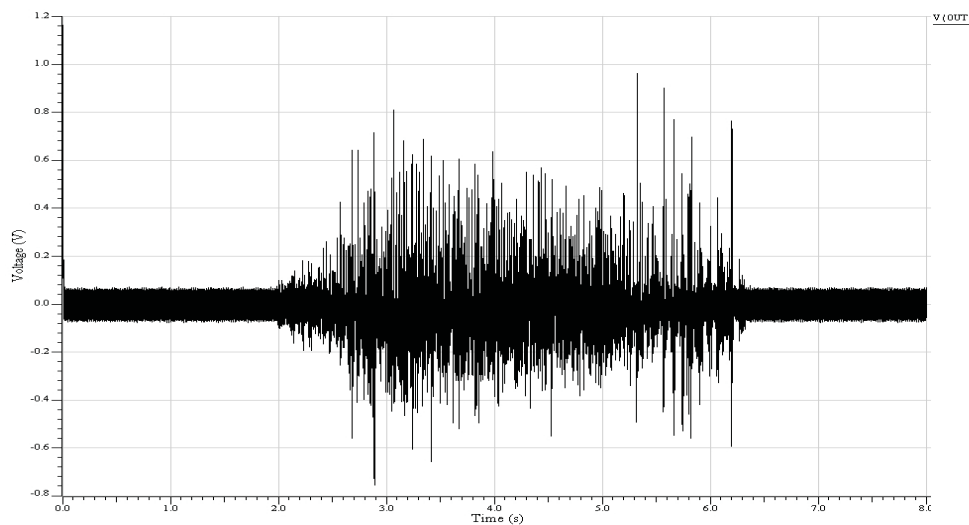


Figura 6.10: Señal EMG a través del filtro de paso bajo que elimina el ruido causado por la componente de DC y bajas frecuencias.

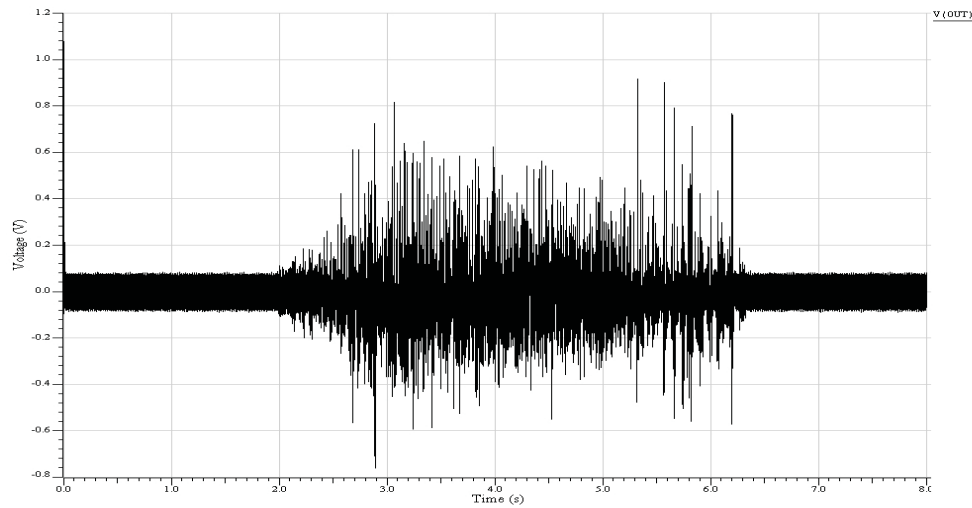


Figura 6.11: Señal EMG a través del filtro de paso bajo de 450 Hz.

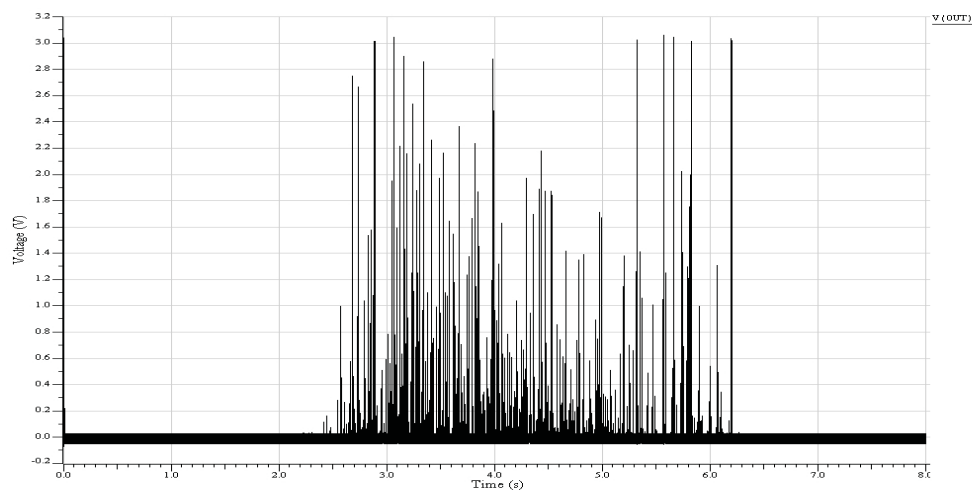


Figura 6.12: Señal EMG rectificada con una ganancia de 8. El aumento en la ganancia es necesario porque al filtrar la señal para obtener la envolvente, la amplitud de la señal cae aproximadamente a 100 mV. Una señal de 100 mV no es suficiente para activar el comparador.

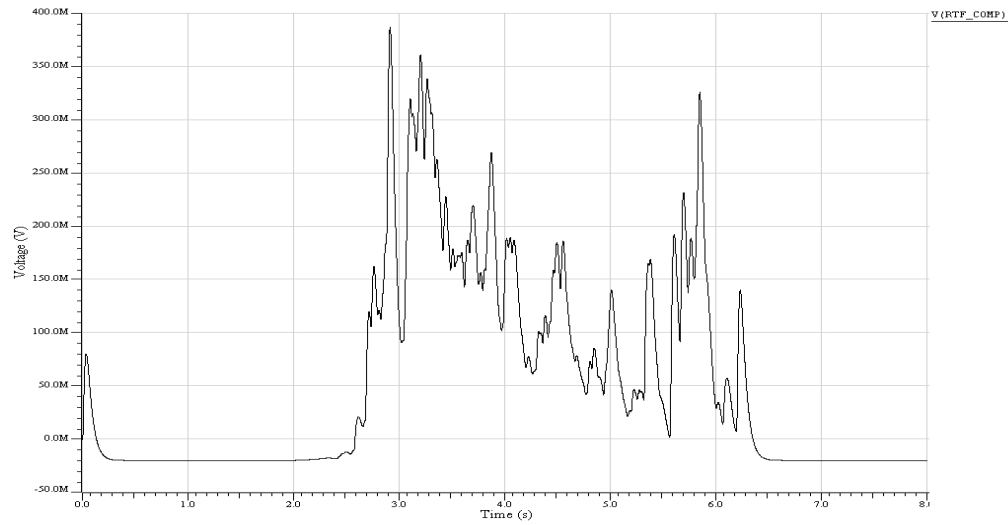


Figura 6.13: Envolvente lineal obtenida por medio del filtro de paso bajo con frecuencia de corte de 3 Hz.

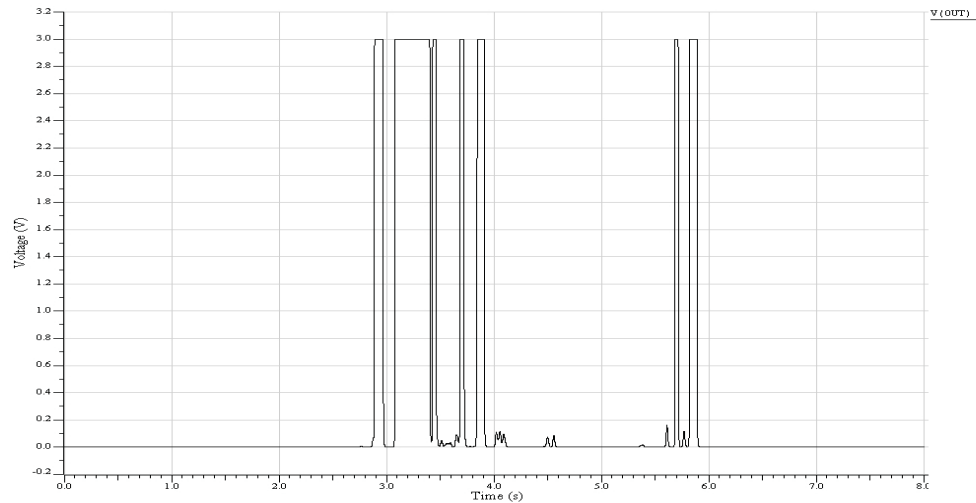


Figura 6.14: Señal de salida del comparador. El pulso cuadrado se procesa por el sistema de control para encender la electrolaringe.

6.2. El sistema de control

6.2.1. El microcontrolador ATiny12

Para simular el sistema de control implementado en un microcontrolador, se utilizó la interfaz de simulación del BASCOM AVR Studio. Esta interfaz es gráfica y muestra el estado de los puertos, registros y banderas cuando se registran cambios en alguna de las entradas definidas o se genera una interrupción. El puerto PB representa la configuración del puerto como salida, mientras que IB representa la configuración del puerto como entrada.

En la figura 6.15 se ve el estado de los puertos cuando ocurre una interrupción externa, esta interrupción representa el pulso generado por el sistema de adquisición cuando se registra una señal electromiográfica. Manualmente la entrada IB.3 fue puesta en uno para simular la señal del micrófono. El sistema prende la electrolaringe con PB.4 y entra en el ciclo del temporizador para determinar el apagado pertinente de la electrolaringe cuando el paciente deja de hablar. En la figura 6.16, la señal de micrófono (IB.3) se hace cero, y el sistema entra en el ciclo del temporizador antes de apagar la prótesis laringea. La figura 6.17 muestra el sistema cuando se apaga la electrolaringe, en este momento el programa sale del temporizador y entra al ciclo de envío de señales de reloj y monitoreo del pulso que controla el encendido de la electrolaringe.

6.2.2. Control en VHDL para su implementación en un FPGA

Para la simulación de los bloques programados en VHDL para el control de encendido de la electrolaringe, se utilizó ModelSim SE Plus 6.1c de Mentor Graphics. Los gráficos obtenidos se muestran en las figuras 6.18, 6.19, 6.20 y 6.21. “EMG” es el pulso que envía el sistema de adquisición, “MIC” es la señal del micrófono, “clk1” y “clk2” son las señales de conmutación, “ELX” es la señal para el encendido de la electrolaringe y “250ms” representa el conteo de 3 segundos en períodos de 250 milisegundos a partir del encendido.

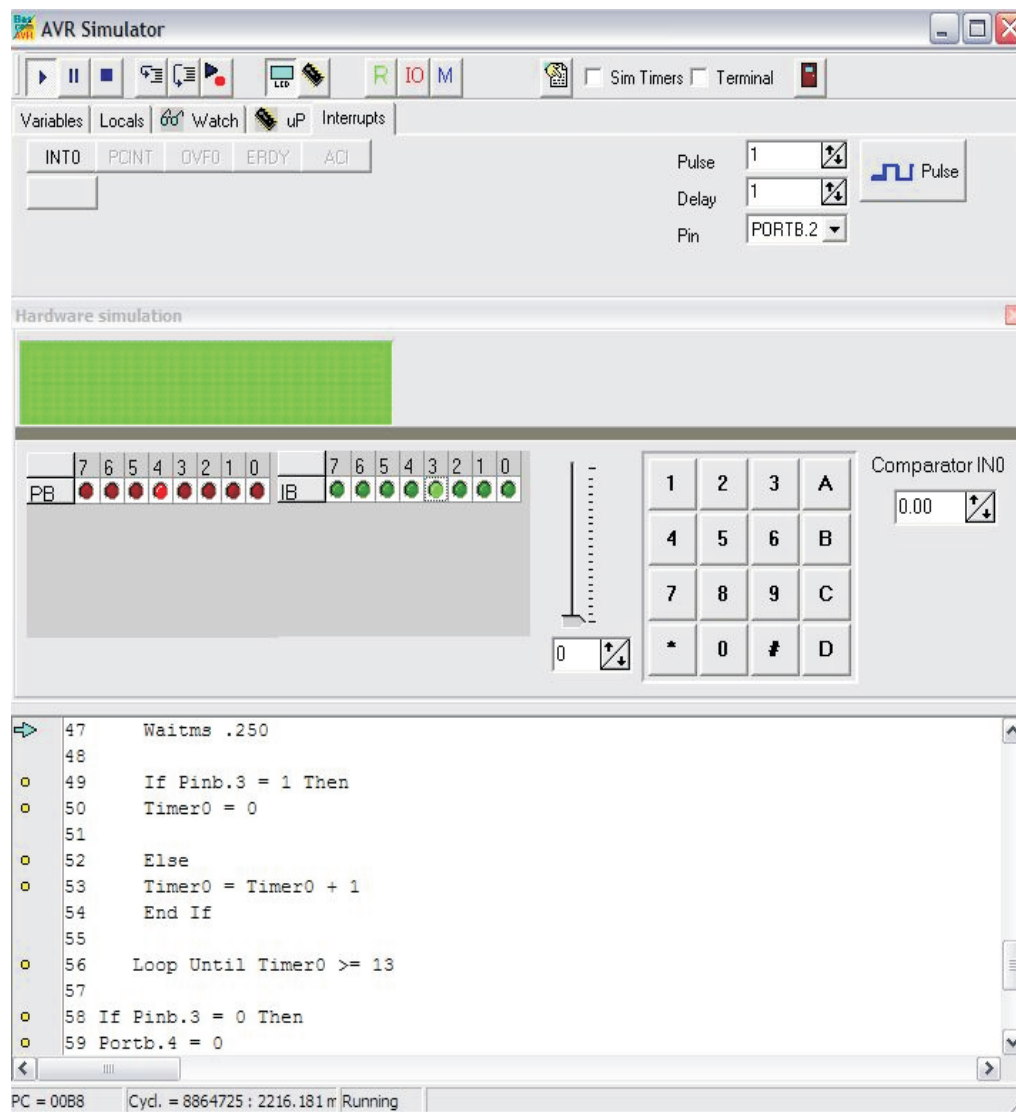


Figura 6.15: Estado de los puertos del ATiny12 cuando se genera una interrupción externa y se detecta la señal del micrófono en IB.3

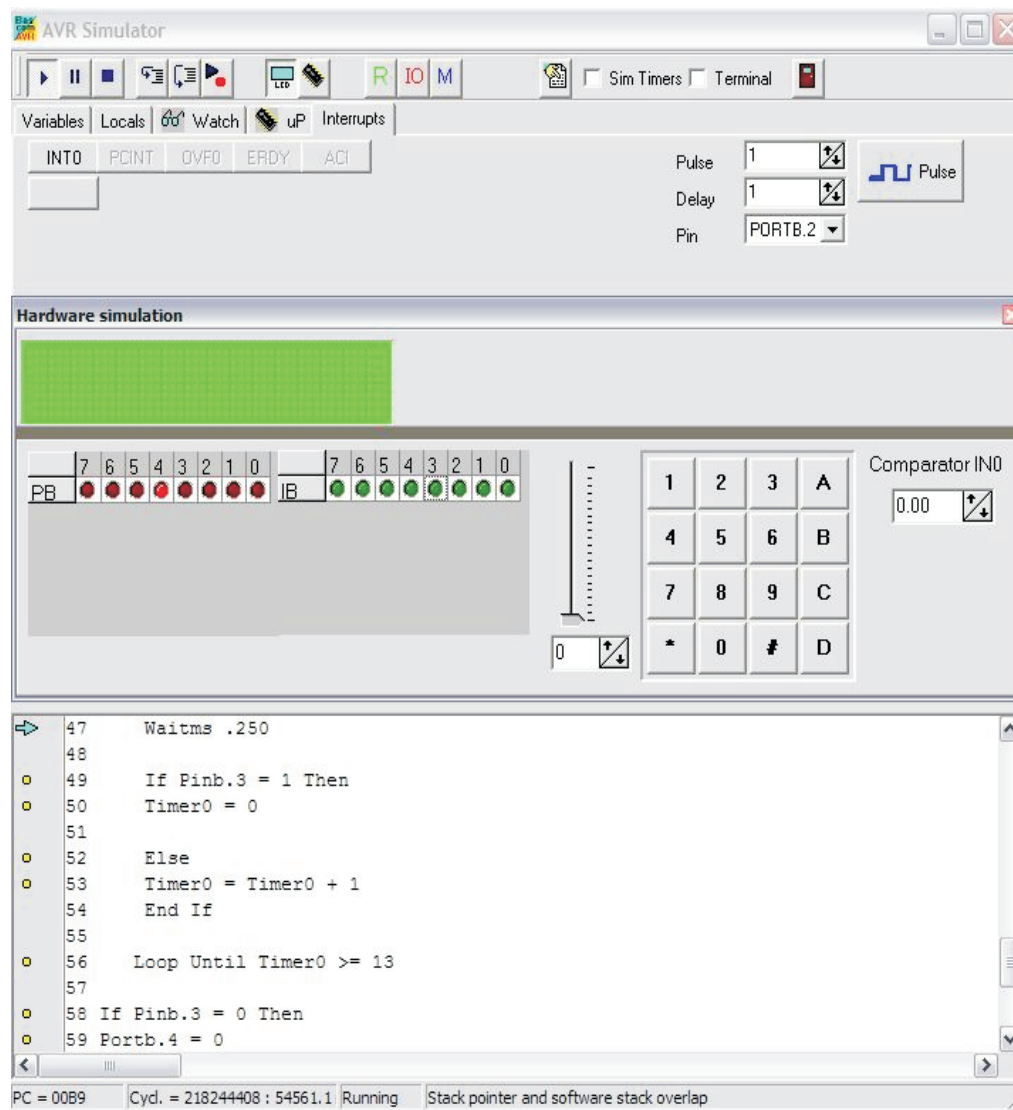


Figura 6.16: Estado de los puertos del ATiny12 cuando se genera una interrupción externa y la señal del micrófono en IB.3 se hace cero.

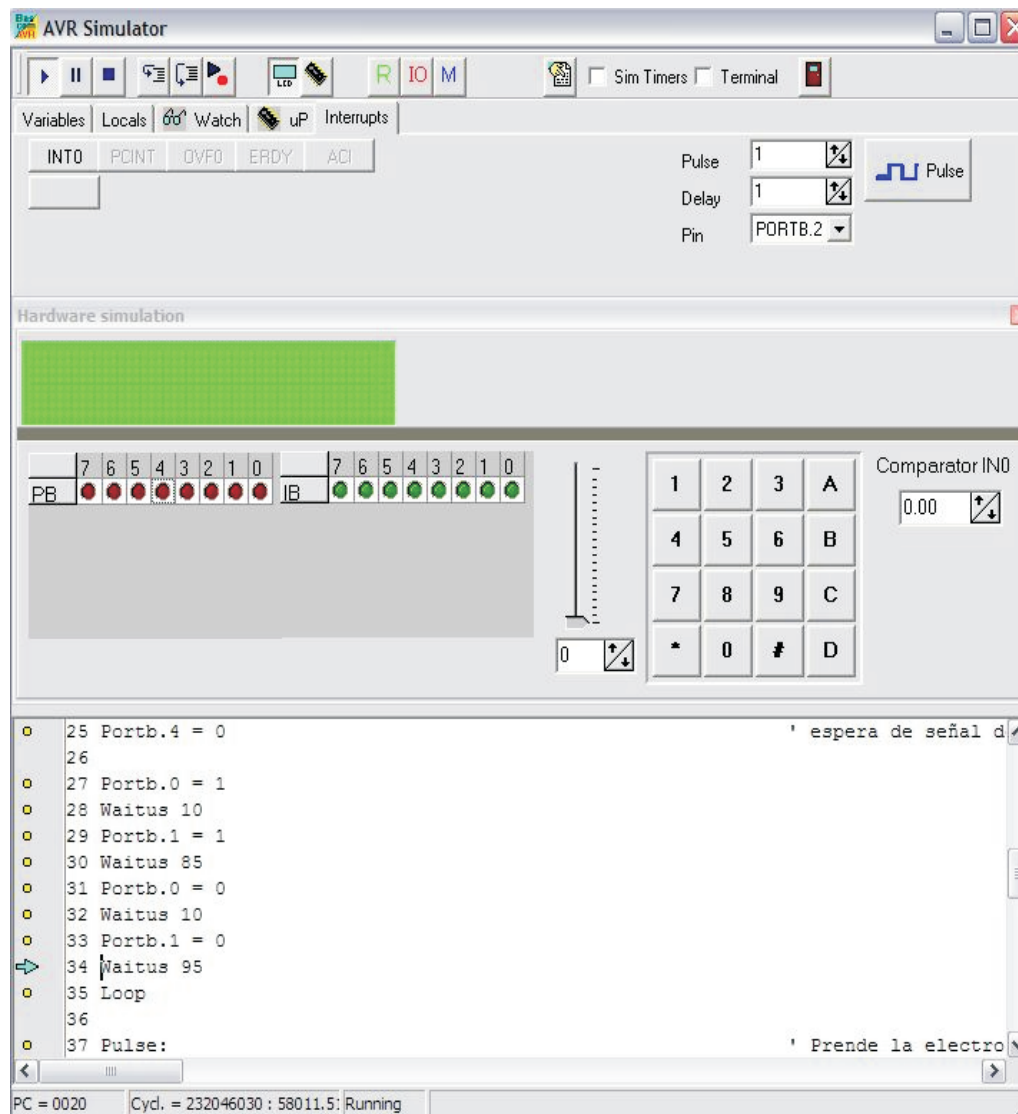


Figura 6.17: Estado de los puertos del ATiny12 cuando monitorea la señal de encendido, las señales de reloj no son perceptibles por su corta duración.

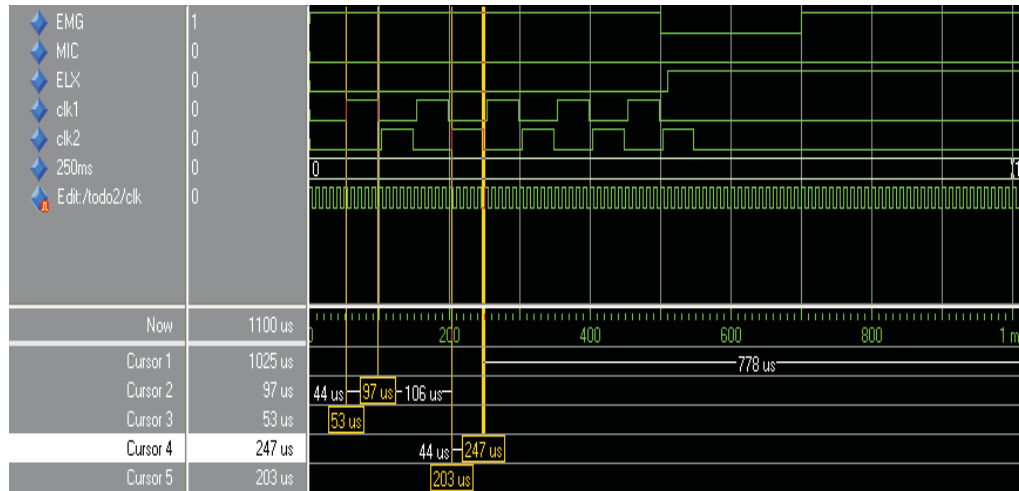


Figura 6.18: Señales para la conmutación del sistema de adquisición y acondicionamiento de la señal EMG. Las señales de conmutación clk1 y clk2 se envían sólo cuando la electrolaringe está apagada. En este caso la electrolaringe se enciende con un cero lógico.

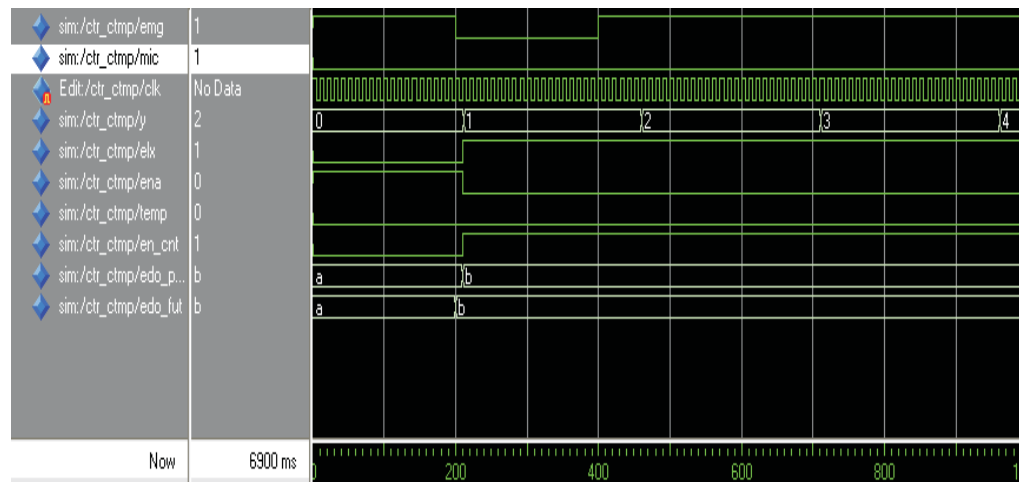


Figura 6.19: Estado de las señales importantes del programa de control al encender la electrolaringe. El conteo de los períodos de 250 ms continúa hasta alcanzar los 3 segundos, si durante este tiempo no existe señal del micrófono la electrolaringe se apaga.

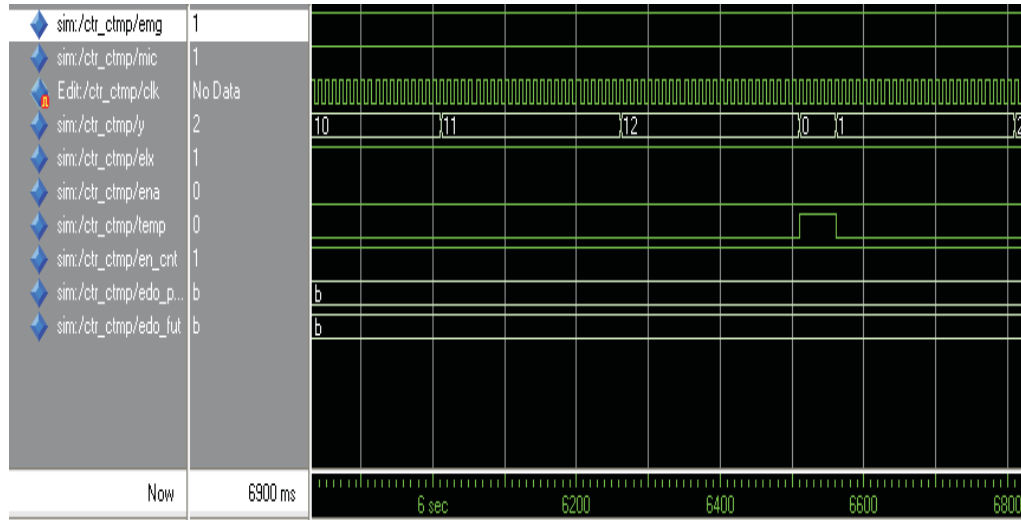


Figura 6.20: Cuando termina el período de tolerancia, si el paciente está hablando (condición que se hace notoria a través de la señal MIC) entonces la electrolaringe continua encendida.

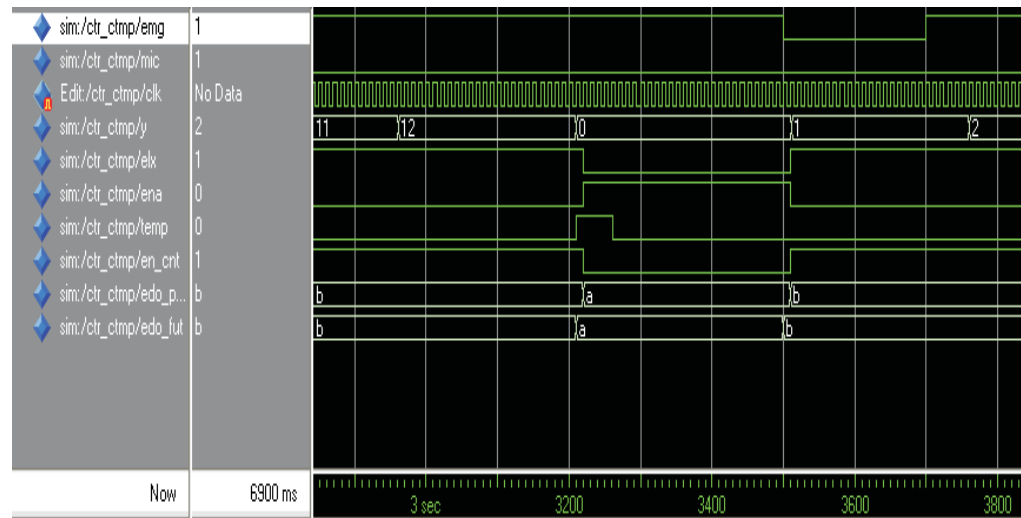


Figura 6.21: Sin embargo, cuando se alcanza el período de tolerancia de 3 segundos y el paciente no ha hablado, entonces la electrolaringe se apaga automáticamente para ahorrar energía.

Capítulo 7

Conclusiones

En el área médica, una prótesis se define como una extensión artificial que reemplaza una parte del cuerpo perdida a causa de heridas o males congénitos. A través del tiempo se ha ido desarrollando tecnología capaz de disminuir las incomodidades que un anexo artificial causa al paciente, tanto física como psicológicamente.

Una parte del éxito conseguido se debe al desarrollo de MEMS para el área biomédica. Los Sistemas Microelectromecánicos (MEMS) han incursionado en un amplio rango de aplicaciones por ser dispositivos con un alto nivel de funcionalidad. Entre algunas aplicaciones en la medicina se pueden mencionar pequeñas bombas para la inyección de medicamento, manufacturas de nanolitros de químicos y el desarrollo de un páncreas artificial [9].

Pensar en una pequeña contribución al creciente desarrollo de prótesis “inteligentes”, cuyo propósito principal es mejorar la calidad de vida del paciente, dio lugar al desarrollo de este proyecto. Comenzado en “Diseño de un Control Mioeléctrico de una Electrolaringe”, trabajo realizado por M.sC. Abril Sáenz [2] que aporta un prototipo diseñado con electrónica tradicional y que sirvió de guía para el diseño presentado en esta tesis, el sistema pudo desarrollarse bajo los lineamientos que marca el diseño con circuitos con capacitores conmutados usando tecnología CMOS.

Un dato importante que hay que recordar en el diseño de circuitos con capacitores conmutados, es que las señales de control nunca deben traslaparse. Se debe estar siempre atento al momento de conectar las señales de conmutación, pues un descuido puede causar enormes estragos en el

funcionamiento del circuito. Se puede decir que trabajar con circuitos con capacitores conmutados disminuye el análisis minucioso que generalmente involucran los circuitos análogos que usan transistores CMOS. Esto es porque las emulaciones de resistencia no tienen relación con la corriente y el voltaje, lo que hace que la atención se desvíe a la razón existente entre las capacitancias y la frecuencia de conmutación. Al momento de aventurarse al diseño de circuitos con capacitores conmutados es de gran importancia conocer las bases, como el análisis de fases. Esto es porque se puede encontrar varias funciones a las estructuras ya definidas si se conoce su principio de funcionamiento, lo que a la larga se traduce en ahorro de tiempo en el diseño.

La etapa de simulación es de suma importancia en el diseño de circuitos microelectrónicos porque es la única guía de eficiencia con la que cuenta el diseñador. A través de los resultados obtenidos en las pruebas se pueden apreciar las debilidades del diseño, lo que permite hacer cambios para mejorar la funcionalidad del circuito de acuerdo a los resultados deseados. Por medio de las simulaciones tanto del sistema de adquisición y acondicionamiento como del sistema de control, se puede ver que el sistema de encendido automático propuesto en este trabajo cumple con las expectativas del diseño. El sistema es capaz de procesar una señal EMG de forma satisfactoria, controlar el encendido de la prótesis laringea y enviar las señales de conmutación para los circuitos con capacitores conmutados.

Se espera que a la larga el trabajo expuesto en este documento pueda ser una base sólida para la realización de un circuito integrado. Este circuito integrado, con las especificaciones adecuadas podría llegar a cubrir otras necesidades además del control mioeléctrico “manos libres” para el encendido automático de una electrolaringe. Necesidades que requieran de un sistema de adquisición y acondicionamiento de señales electromiográficas.

Apéndice A

Tabla para filtros Butterworth normalizados de paso bajo

La tabla muestra los datos para el diseño en cascada de filtros Butterworth para distintos valores de n . Estos datos están expresados en forma normalizada para una frecuencia de corte de 1 Hz. Para convertir de frecuencias normalizadas a frecuencias actuales, se multiplican los valores de la tabla por la frecuencia de corte del filtro a diseñar [11].

$$f_0 = f_{0(tabla)} \times f_c \quad (\text{A.1})$$

n	f_{01}	Q_1	f_{02}	Q_2	f_{03}	Q_3	f_{04}	Q_4	f_{05}	Q_5	Att(dB) a $2f_c$
2	1	0.707	1								12.30
3	1	1.000	1								18.13
4	1	0.541	1	1.306							24.10
5	1	0.618	1	1.620	1						30.11
6	1	0.518	1	0.707	1	1.932					36.12
7	1	0.555	1	0.802	1	2.247	1				42.14
8	1	0.510	1	0.601	1	0.900	1	2.563			48.16
9	1	0.532	1	0.653	1	1.000	1	2.879	1		54.19
10	1	0.506	1	0.561	1	0.707	1	1.101	1	3.196	60.21

Figura A.1: Filtro Butterworth de paso bajo

Apéndice B

Diseño de un op amp de dos etapas

Antes de describir los pasos para el diseño del amplificador operacional de dos etapas, es importante tener en cuenta las condiciones señaladas por las ecuaciones B.1, B.2, B.3, B.4, B.5, B.6, B.7, B.8, B.9, B.10, B.11, B.12 y B.13.

$$g_{m1} = g_{m2} = g_{mI} \quad (\text{B.1})$$

$$g_{m6} = g_{mII} \quad (\text{B.2})$$

$$g_{ds2} + g_{ds4} = G_I \quad (\text{B.3})$$

$$g_{ds6} + g_{ds7} = G_{II} \quad (\text{B.4})$$

$$\text{SR} = \frac{I_5}{C_c} \quad (\text{B.5})$$

$$\text{Ganancia de la primera etapa } A_{v1} = \frac{-g_{m1}}{g_{ds2} + g_{ds4}} = \frac{-2g_{m1}}{I_5(\lambda_2 + \lambda_4)} \quad (\text{B.6})$$

$$\text{Ganancia de la segunda etapa } A_{v2} = \frac{-g_{m6}}{g_{ds6} + g_{ds7}} = \frac{-g_{m6}}{I_6(\lambda_6 + \lambda_7)} \quad (\text{B.7})$$

$$\text{GB} = \frac{g_{m1}}{C_c} \quad (\text{B.8})$$

$$\text{Polo de salida } p_2 = \frac{-g_{m6}}{C_L} \quad (\text{B.9})$$

$$\text{cero de RHP } z_1 = g_{m6}C_c \quad (\text{B.10})$$

$$\begin{aligned} \text{CMR positivo } V_{in}(max) &= V_{DD} - \sqrt{\frac{I_5}{\beta_3}} - |V_{T03}|(max) \\ &+ V_{T1}(min) \end{aligned} \quad (\text{B.11})$$

$$\begin{aligned} \text{CMR negativo } V_{in}(min) &= V_{SS} - \sqrt{\frac{I_5}{\beta_1}} - V_{T1}(max) \\ &+ V_{DS5}(sat) \end{aligned} \quad (\text{B.12})$$

$$\text{Voltaje de saturación } V_{DS}(sat) = \sqrt{\frac{2I_{DS}}{\beta}} \quad (\text{B.13})$$

Se recomienda también que antes de proceder al diseño del amplificador los siguientes parámetros estén definidos:

1. Ganancia de dc, $A_v(0)$
2. GB
3. ICMR
4. C_L
5. SR
6. Voltaje de oscilación de salida
7. Disipación de potencia P_{diss} .

B.1. Procedimiento de diseño de un op amp sin buffer

1. El diseño comienza escogiendo el valor de L que determinará la modulación de canal λ , que será necesaria para el cálculo de la ganancia.
2. Para el margen de fase deseado se debe escoger un valor mínimo de C_c definido por $C_c > 0.22C_L$, y para obtener un margen de fase de 60° se toma $z \geq 10GB$.

3. Determinar el valor mínimo de la corriente (I_5) de acuerdo a las ecuaciones B.14 y B.15.

$$I_5 = SR\dot{C}_c \quad (\text{B.14})$$

$$I_5 \cong 10 \left(\frac{V_{DD} + |V_{SS}|}{2T_s} \right) \quad (\text{B.15})$$

4. Diseñar $(W/L)_3$ de acuerdo a la especificación del voltaje de entrada.

$$(W/L)_3 = \frac{2I_3}{K'_3[V_{DD} - v_{in}(max) - |V_{T03}|(max) + V_{T1}(min)]^2} \geq 1$$

5. Verificar que el polo y cero debidos a C_{gs3} y $C_{gs4}(= 0.67W_3L_3C_{ox})$ no coincidan con el polo dominante, esto se logra asumiendo que p_3 es mayor a diez veces el valor del ancho de banda (GB).

$$\frac{g_{m3}}{2C_{gs3}} > 10GB$$

6. Buscar las relaciones $(W/L)_1=(W/L)_2$ de forma que se alcance el ancho de banda deseado.

$$g_{m1} = GB \cdot C_c \implies (W/L)_1 = (W/L)_2 = \frac{g_{m2}^2}{K'_2 I_5}$$

7. Buscar la relación para $(W/L)_5$ a partir del voltaje mínimo de entrada. Primero se calcula $V_{DS5}(sat)$.

$$V_{DS5}(sat) = V_{in}(min) - V_{SS} - \sqrt{\frac{I_5}{\beta_1}} - V_{T1}(max) \geq 100mV.$$

$$(W/L)_5 = \frac{2I_5}{K'_5[V_{DS5}(sat)]^2}$$

8. Encontrar $(W/L)_6$ y I_6 haciendo que el segundo polo sea 2.2 veces el ancho de banda ($p_2 = 2.2GB$)

$$g_{m6} = 2.2g_{m2}(C_L/C_c)$$

haciendo $V_{SG4} = V_{SG6}$

$$(W/L)_6 = (W/L)_4 \frac{g_{m6}}{g_{m4}}$$

Conociendo g_{m6} y $(W/L)_6$ resolvemos para I_6 .

$$I_6 = \frac{g_{m6}^2}{2K'_6(W/L)_6}$$

9. Alternativamente I_6 se puede calcular resolviendo para $(W/L)_6$ usando $(W/L)_6 = \frac{g_{m6}}{K'_6 V_{DS6}(sat)}$. Cabe aclarar que la propiedad de espejo de M3 y M4 no es siempre garantizada.
10. Diseñar $(W/L)_7$ para alcanzar las relaciones de corriente entre I_5 y I_6 .

$$(W/L)_7 = (I_6/I_5)(W/L)_5$$

11. Verificar las especificaciones de ganancia y disipación de potencia.

$$A_v = \frac{2g_{m2}g_{m6}}{I_6(\lambda_2 + \lambda_3)(\lambda_6 + \lambda_7)}$$

$$P_{diss} = (I_5 + I_6)(V_{DD} + |V_{SS}|)$$

12. Si no se cumplen las especificaciones de ganancia, el valor de las corrientes I_5 y I_6 se puede decrementar, o de la misma forma se pueden incrementar las relaciones (W/L) de M2 y M6. Por otro lado, si la disipación de potencia es muy alta entonces sólo pueden reducirse las corrientes I_5 y I_6 . La reducción de la corriente puede necesitar un incremento en algunos valores de la relación (W/L) de los transistores, y de esta forma satisfacer las oscilaciones en la entrada y la salida.
13. Simular el circuito para verificar que todas las especificaciones sean cumplidas.

B.2. Compensación de Miller

Es posible que durante el proceso de diseño aparezca un cero indeseable (RPH). Esto puede ocurrir porque el ancho de banda es muy grande o el valor de g_{m6} es muy pequeño. En este caso es bueno utilizar una resistencia

en serie con el capacitor C_c para compensar el circuito. Si se sabe que:

$$\begin{aligned} p_1 &= -\frac{g_{m1}}{A_v C_c} \\ p_2 &= -\frac{g_{m6}}{C_L} \\ p_4 &= -\frac{1}{R_z C_I} \\ z_1 &= \frac{-1}{R_z C_c - C_c/g_{m6}} \end{aligned}$$

Tomando en cuenta el valor de la ganancia obtenido por $A_v = g_{m1}g_{m6}R_I R_{II}$.

Para acomodar el cero sobre el polo p_2 :

$$R_z = \frac{1}{g_{m6}} \left(\frac{C_L + C_c}{C_c} \right) = \frac{1}{\sqrt{2K'_P(W/L)_6 I_6}} \left(\frac{C_L + C_c}{C_c} \right)$$

El valor de la resistencia R_z se emula a través del transistor M8. Este transistor opera en la región activa ya que la corriente dc a través de él es cero. Entonces R_z se escribe como:

$$R_z = \frac{1}{K'_P(W/L)_8 (V_{SG8} - |V_{TP}|)}$$

Por la relación de los voltajes en la región de saturación:

$$\begin{aligned} R_z &= \frac{1}{K'_P(W/L)_8} \sqrt{\frac{K'_P(W/L)_{10}}{2I_{10}}} = \frac{1}{(W/L)_8} \sqrt{\frac{(W/L)_{10}}{2K'_P I_{10}}} \\ (W/L)_8 &= \left(\frac{C_c}{C_L + C_c} \right) \sqrt{\frac{(W/L)_{10}(W/L)_6 I_6}{I_{10}}} \\ (W/L)_{11} &= \left(\frac{I_{10}}{I_6} \right) \left(\frac{W_6}{L_6} \right) \end{aligned}$$

Para realizar el diseño del amplificador operacional se utilizaron los parámetros de un modelo de nivel 3, para tecnología de $0.18 \mu\text{m}$ expuesto en [3]. Este modelo, es el mismo que se utilizó en el diseño del amplificador operacional por el método g_m/I_d .

Los datos obtenidos para las relaciones (W/L) de los transistores que conforman el circuito del amplificador operacional, así como algunas corrientes importantes y especificaciones deseadas se listan a continuación (notar que $(W/L) = S$).

$I_{D5} = 1.5 \times 10^{-5}$, $I_{D6} = 1.88 \times 10^{-4}$, ganancia = 89.835, $S_1 = 47.374$, $S_3 = 3.41$, $S_6 = 85.67$, $S_5 = 35.73$, $S_7 = 4.49 \times 10^2$, $S_8 = 10.70$, $R_z = 2.29 \times 10^3$.

Bibliografía

- [1] *Medical Instrumentation. Application and Design.* Webster, second edition, 1992.
- [2] Saenz Frías Julia Abril. Diseño de un control mioeléctrico de una electrolaringe. Master's thesis, ITESM Campus Monterrey, 2005.
- [3] P.E. Allen and D.R. Holberg. *CMOS Analog Circuit Design.* Oxford University Press, second edition, 2002.
- [4] D. Alzamora, D. Silage, and R. Yantorno. Implementation of a software model of the human glottis on a tms32010 dsp to drive an artificial larynx. 1993.
- [5] R. Jacob Baker. *CMOS, Circuit Design, Layout, and simulation.* IEEE Press Series on Microelectronic Systems. Wiley-Interscience., 2005.
- [6] Joseph J. Carr and John M. Brown, editors. *Introduction to Biomedical Equipment Technology.* Prentice Hall, fourth edition, 2001.
- [7] A. Dabrowski. *Multirate and multiphase Switched Capacitor Circuits.* CHAPMAN & HALL, 1997.
- [8] S.H. Day, M.S. Morse, and R.A. Day. A proposed control scheme for a vocal prothesis. 1990.
- [9] Mohamed Gad el Hak, Marc J. Madou, Hong Zhou, and et al, editors. *The CRC HANDBOOK of MECHANICAL ENGINEERING.* CRC Press LLC, second edition, 2005.
- [10] Center for Wireless Integrated Microsystems (WIMS). An nsf engineering research center.

-
- [11] Sergio Franco. *Design with Operational Amplifiers and Analog Integrated Circuits*. McGraw-Hill, third edition, 1995.
- [12] Ehab A. Goldstein, James T. Heaton, James B. Kobler, Garret B. Stanley, Robert E, and Hillman. Design and implementation of a hands-free electrolarynx device controlled by neck strip muscle electromyographic activity. *IEEE Transactions on Biomedical Engineering*, Vol. 51, 2004.
- [13] Gregorian. *CMOS Op-Amps*. J. Wiley Interscience, 1999.
- [14] R.R. Harrison and C. Charles. A low-power low-noise cmos amplifier for neural recording applications. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL.38, NO.6., 2003.
- [15] Sung-Mo Kang and Yusuf Leblebici, editors. *CMOS Digital Integrated Circuits*. McGraw-Hill, third edition, 2003.
- [16] Harina Kapoor. High quality speech for laryngectomized persons.
- [17] Y. Leblebici. *Design of VLSI Systems*. Ecole Polytechnique Fédérale de Lausanne, Integrated System Laboratory, DE 1015 Lausanne/VD - Switzerland. <http://www.epfl.ch>.
- [18] J. Lockwood. *The VLSI Handbook*. Boca Raton: CRC Press LLC, 2000.
- [19] C.J. De Luca. *Physiology and mathematics of myoelectric signals*. 1979.
- [20] Yuji Matsumuraa, Minoru Fukumia, Norio Akamatsua, and Kazuhiro Nakauraba. Recognition of wrist emg signal patterns using neural networks.
- [21] Roberto Merletti and Philip A. Parker. *Electromyography, Physiology, Engineering and Noninvasive Applications*. 2004.
- [22] Rafael Barea Navarro. *Electromiografía. Instrumentación Biomédica*, Departamento de Electrónica, Universidad de Alcalá.
- [23] José Mompín Poblet, editor. *Introducción a la Biotecnología*. Marcombo, Boixareu Editores, 1988.
- [24] Behzad Razavi. *Design for analog CMOS integrated*. Mc-Graw Hill, 2001.

-
- [25] L. Reyes, D. Perciante, and F. Silveira. Amplificador pasabajos diferencial a capacitores conmutados para aplicaciones biomédicas implantables. Proceedings VI Workshop de Iberchip, San Pablo, Brasil., 2000.
- [26] F. Silveira, D. Flandre, and P.G.A Jespers. A g_m/i_d based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on-insulator micropower ota. IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.31, NO.9., 1996.
- [27] Yannis Tsividis. *Operation and Modeling of The MOS transistor*. Oxford University Press, second edition, 1999.
- [28] Michigan University. Microsystem development at the u.m 1975-2000. 1995.